



HAL
open science

Nano sonde active intelligente pour mesures de bruit et de puissance dans la bande de fréquence 130-260 GHz

Victor Fiorese

► **To cite this version:**

Victor Fiorese. Nano sonde active intelligente pour mesures de bruit et de puissance dans la bande de fréquence 130-260 GHz. Micro et nanotechnologies/Microélectronique. Université de Lille, 2022. Français. NNT : 2022ULILN016 . tel-03958625

HAL Id: tel-03958625

<https://theses.hal.science/tel-03958625v1>

Submitted on 26 Jan 2023

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Préparée et soutenue publiquement à Saint-Martin-d'Hères le 08/09/2022

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITÉ

Spécialité : Électronique, microélectronique, nanoélectronique et micro-ondes

Par

Victor FIORESE

Ingénieur ENSEA

École Doctorale Sciences de l'Ingénierie et des Systèmes (ED ENGSYS) Lille Nord-de-France

Université de Lille

Institut d'Electronique, de Microélectronique et Nanotechnologies (IEMN)



Nano sonde active intelligente pour mesures de bruit et de puissance dans la bande de fréquence 130-260 GHz

Membres du jury :

Pr. Guillaume DUCOURNAU – IEMN Villeneuve d'Ascq

Pr. Nathalie DELTIMPLE – IMS Bordeaux

Pr. Pierre BLONDY – XLIM Limoges

Pr. Marina DENG – IMS Bordeaux

Pr. Dominique SCHREURS – Katholieke Universiteit Leuven

Mr. Daniel GLORIA – STMicroelectronics Crolles

Pr. Christophe GAQUIERE - IEMN Villeneuve d'Ascq

Pr. Emmanuel DUBOIS - IEMN Villeneuve d'Ascq

Dr. Simon BOUVOT – STMicroelectronics Crolles

Dr. Joao Carlos AZEVEDO GONCALVES – STMicroelectronics Crolles

Président du jury

Rapporteure

Rapporteur

Examinatrice

Examinatrice

Examineur

Co-directeur de thèse

Directeur de thèse

Invité

Invité

Table des matières

Glossaire	7
Introduction générale.....	10
Chapitre 1 : Contexte du besoin et état de l'art des solutions de caractérisation en bruit entre 130 GHz et 260 GHz	12
I.1 Contexte et applications aux fréquences millimétriques	12
I.1.1 Télécommunications : essor de la 5G, perspectives de la 6G et du spatial	12
I.1.2 Capteurs : Radiométrie, Radars, Imagerie THz	16
I.2 Caractérisation en bruit aux fréquences millimétriques : état de l'art et ses limitations	18
I.2.1 Fondamentaux de la mesure en bruit	18
I.2.2 État de l'art des sources de bruit aux fréquences millimétriques	24
I.2.3 État de l'art des bancs de mesure en bruit aux fréquences millimétriques	28
I.2.4 État de l'art du packaging aux fréquences millimétriques	32
I.2.5 Objectifs de la thèse : contribution au développement de sondes actives pour la caractérisation en bruit	34
I.3 Cahier des charges des différentes fonctions étudiées	35
I.3.1 Cahier des charges pour la source de bruit	35
I.3.1 Cahier des charges pour le boîtier	37
I.3.3 Cahier des charges pour le tuner	38
I.3.4 Récapitulatif du cahier des charges global	39
Conclusion du Chapitre 1	40
Références bibliographiques du Chapitre 1	41
Chapitre 2 : Développements sur silicium de circuits dédiés à la caractérisation en bruit	45
II.1 Source de bruit active pour caractérisation multi-impédances entre 130 et 260 GHz	45
II.1.1 Présentation de la technologie B55	45
II.2 Source de bruit stand-alone : adaptation des règles de dessin de l'état de l'art.	61
II.2.2 Conception	61
II.3 Conception de sources de bruit amplifiées à larges gammes d'ENR	90
II.3.1 Présentation des sources de bruit amplifiées	90
II.3.2 Résultats expérimentaux	92
II.4 Source de bruit active et tuner d'impédances pour caractérisation multi-impédance source pull	96
Conclusion du Chapitre 2	102
Principaux résultats	103
Perspectives.....	103

Références bibliographiques du Chapitre 2	104
Chapitre 3 : Développement d'une solution de packaging low-cost (boitier faible coût) pour des technologies Silicium aux fréquences millimétriques.....	105
III.1 Investigations menées autour de substrats low-cost pour assemblage de puces par flip chip	105
III.1.1 Évaluation de substrats à 2 couches métalliques	106
III.1.2 Conception du substrat à 6 couches métalliques pour l'assemblage des circuits B55 de mesure de bruit	116
III.2 Conception de boitier en bande G (140-220 GHz)	125
III.2.1 Évaluation de l'impression 3D métallique pour usinage de boitier split block	125
III.2.2 Fabrication de boitier split block par micro-usinage	133
Conclusion du Chapitre 3	142
Principaux résultats	143
Perspectives.....	143
Références bibliographiques du Chapitre 3 :	144
Chapitre 4 : Assemblages d'une source de bruit BiCMOS 55 nm en boitier : résultats expérimentaux entre 140 et 220 GHz.....	146
IV.1 : Présentation des échantillons réalisés et du plan d'expérience	146
IV.2 : Description des montages utilisés et résultats expérimentaux en DC et en paramètres S	155
IV.3 Résultats expérimentaux en puissances de bruit, extraction de l'ENR disponible	164
IV.4 Preuves de répétabilité et de robustesse, études statistiques générées par la mesure.....	169
IV.5 Essais d'assemblages avec variations de report de masse	172
IV. 6 Extraction de facteurs de bruit de DST à l'aide de la source de bruit développée, comparaison avec la source ELVA	174
IV.6.1 Extraction du NF d'un amplificateur III-V en connectique WR5 (MPA04-1).....	174
IV.6.2 Extraction du NF d'un transistor bipolaire NPNVHS <i>on wafer</i> en technologie BiCMOS 55 nm.....	182
IV.6.3 Études autour de la précision de mesure de NF	184
Principaux résultats	186
Perspectives.....	187
Références bibliographiques du Chapitre 4 :	188
Conclusion du Chapitre 4	189
Conclusion générale et perspectives.....	190
Liste des Figures.....	192
Liste des publications	199
Annexe : Algorithme de Lane	200

Résumé.....	201
Abstract.....	202

Remerciements

À travers ces quelques mots, je souhaite mentionner les personnes ayant contribué de près ou de loin au bon déroulement de ces 3 ans de thèse et à l'obtention des résultats qui y sont présentés.

C'est donc tout naturellement que je remercie en premier lieu Mme Nathalie Deltimple et M. Pierre Blondy pour la relecture attentive et détaillée de mon manuscrit, malgré le fait que celle-ci soit intervenue en plein cœur de l'été.

J'adresse également mes remerciements sincères à Mme Marina Deng et Mme Dominique Schreurs pour avoir répondu favorablement à mon invitation à participer à ce jury de thèse en tant qu'examinatrices.

J'exprime ma gratitude à mon encadrant industriel, M. Daniel Gloria, pour le suivi mis en place tout au long de ces travaux et ses nombreux conseils avisés, toujours dispensés avec calme, humilité et bienveillance.

Mes remerciements vont également à mes encadrants académiques Emmanuel Dubois, Christophe Gaquière et Guillaume Ducournau. Merci d'avoir mis en place ce sujet à très large spectre de compétences. Emmanuel et Guillaume, merci pour votre aide précieuse lors des campagnes de mesures faites à l'IEMN aussi bien pour la partie *on-wafer* que pour le test des circuits mis en boîtier et les nombreux essais de découpes laser. Christophe, merci pour ton support dans la mise en place de la collaboration avec MC2 Technologies pour la conception des différents boîtiers *split blocks*.

À mes collègues de iDNA RFSS, je souhaite montrer mon éternelle reconnaissance pour la quantité de connaissances et les bons moments partagés tout au long de mon stage de fin d'études et de ma thèse. Je remercie tout particulièrement Joao et Simon de m'avoir légué des blocs qui ont servi de pierre angulaire à ces travaux et pour les nombreuses discussions menées tout au long de cette thèse. Ces travaux auraient été plus délicats à mener sans votre accompagnement. Je vous dis également bravo pour avoir réussi à encaisser toutes mes blagues sans trop broncher. Merci à Fred pour les nombreux échanges autour des aspects techniques de cette thèse et de son utilité. Merci à Cédric, Florence, Ophélie, Gérard pour l'intégration aux *weeklys device* et les conseils dispensés. Je remercie également Romain, Michel, Metig, Cybelle et Sébastien pour les nombreux conseils liés au test RF qui m'ont servi au cours de ma thèse et continuent de m'aider dans ma nouvelle mission. Merci à Charly pour sa bonne humeur et à qui je souhaite un retour rapide parmi nous. Merci à Françoise pour le support avec Yield Explorer.

Un grand merci aux nombreux thésards, stagiaires et alternants que j'ai pu côtoyer dans cette équipe pendant presque 4 années, certains étant devenus des collègues au fur et à mesure des mois qui se sont écoulés. Merci à Francesco pour son humeur joviale et son expressivité transalpine, qui font de HFSS une véritable scène de théâtre. Merci à Vincent pour les discussions et les très beaux dessins de *front-end* de diodes Schottky, je te souhaite tout le meilleur pour la suite. Mes remerciements vont également à David Alexander, David, Baptiste et Julien pour les discussions joviales que nous avons pu avoir et les échanges techniques qui m'auront été utiles. Je vous souhaite une fin de thèse à la hauteur de vos attentes et de celles de vos encadrants. Merci à Rémy pour les discussions aussi bien techniques que musicales. J'adresse également mes remerciements aux alternants Joffray, Romain et Samuel et leur souhaite une bonne continuation.

Je tiens à remercier les nombreuses personnes de STMicroelectronics qui m'ont été d'une aide précieuse au cours de ces travaux. À ce titre, ma gratitude va à l'équipe DFund et à Laurence, Sandrine et Franck pour le support apporté lors des envois de structures sur MPW et les discussions autour des règles de dessin B55. Je transmets également mes sincères remerciements à l'équipe BEM&T et en particulier à

Jean-François, Fanny, Laurent et Jérôme pour le support lié au *design* des substrats organiques et le suivi lors des étapes de fabrication, complexifiée par l'impact du COVID.

Il m'est impossible d'oublier les heures passées à mesurer les circuits de cette thèse (ou de thèses précédentes), dans leur version *on-wafer* ou en boîtier. Je remercie donc tout particulièrement Sylvie pour ces campagnes de mesures qui me laissent de très bons souvenirs et les leçons de vie que tu sais si bien prodiguer. Je suis content d'avoir pu travailler avec toi et c'est un réel plaisir de t'accompagner pour poser des questions aux fournisseurs d'équipements de test RF dans différents salons. Un grand merci à Sophie pour son accueil au labo, sa générosité et sa bonne humeur. Je repars de nos conférences communes avec de superbes souvenirs. Merci à Étienne et à Vanessa pour leur aide dans certaines des mesures effectuées au cours de cette thèse.

Pour finir, je tiens à remercier ma nouvelle équipe Validation RF et mmW au sein de l'organisation RFC HDC de STMicroelectronics Grenoble pour leur accueil et leur confiance.

Glossaire

AP Alucap (aluminium).

ARCEP Autorité de régulation des communications électroniques, des postes et de la distribution de la presse.

ASE Amplified Spontaneous Emission. Bruit spontané d'émission.

BEOL Backend Of Line.

BGA Ball Grid Array.

BiCMOS Combinaison entre technologie bipolaire et technologie CMOS

BJ Binder Jetting. Impression 3D par jet de liant.

CAO Conception Assistée par Ordinateur.

CB Contacts électriques entre l'AP et le M8 du BEOL.

CCL Copper Clad Laminate.

CMS Composant Monté en Surface.

CNC Computer Numerical Control. Commande numérique par ordinateur.

CNES Centre national d'études spatiales.

CO Contacts électriques en tungstène entre le FEOL et le M1 du BEOL.

CORE Coeur diélectrique d'un substrat.

CPW Coplanar Waveguide. Guide d'ondes coplanaire.

CTE Coefficient d'expansion thermique.

DK Design Kit.

DOE Design Of Experiment. Plan de variation paramétrique expérimental.

DRC Design Rule Check.

DST Dispositif sous test.

EBM Electron Beam Melting. Fusion par faisceau d'électron.

EDFA Erbium-Doped Fiber Amplifier. Amplificateur dopé à l'Erbium

EDM Electrical Discharge Machining. Électroérosion par enfonçage

EDX Energy-Dispersive X-ray Spectroscopy. Spectroscopie de rayons X à dispersion d'énergie.

ENEPIG Electroless Nickel Electroless Palladium Immersion Gold.

ENIG Electroless Nickel Immersion Gold.

ENR Excess Noise Ratio. Rapport de bruit en excès par rapport au plancher de bruit.

EPIG Electroless Palladium Immersion Gold.

ESA European Spatial Agency. Agence Spatiale Européenne.

EUMETSAT European Organisation for the Exploitation of Meteorological Satellites. Organisation européenne pour l'exploitation des satellites météorologiques.

F Facteur de bruit.

FDM Fused deposition modeling. Dépôt de fil polymère fondu.

FEOL Frontend Of Line.

FGC Finite Ground Coplanar.

GaAs Gallium Arsenide. Arséniure de Gallium.

GSG Ground Signal Ground

HASL Hot Air Solder Leveling. Etamage par nivelage à air chaud.

HEG Hard Electrolytic Gold.

IA Intelligence Artificielle.

IF Intermediate Frequency. Fréquence intermédiaire.

IMPATT IMPact ionization Avalanche Transit-Time diode. Diode à avalanche à résistance négative aux hyperfréquences.

loE Internet of Everything. Internet du tout-connecté.
 loT Internet of Things. Internet des objets.
 ISIG Immersion Silver / Immersion Gold.
 ITU International Telecommunication Union. Union internationale des télécommunications.
 KPIs Key Performance Indicators. Indicateur clé de performance.
 LEO Low Earth Orbit. Orbite terrestre basse.
 LNA Low Noise Amplifier. Amplificateur à faible bruit.
 LO Local Oscillator. Oscillateur local.
 LTCC Low Temperature Co-Fired Ceramic. Céramique cuite à basse température.
 LVS Layout Versus Schematic.
 M2M Machine to Machine. Communication de machine à machine.
 MBE Molecular Beam Epitaxie. Epitaxie par jets moléculaires.
 MCM Multichip module. Module à multiples fonctions circuits.
 MDS Minimum Detectable Signal. Condition de puissance de signal RF reçue pour être en excès du seuil de sensibilité du récepteur de bruit.
 MetOp-SG Meteorological Operational Satellite - Second Generation. Satellite météorologique de seconde génération.
 MIM Métal Isolant Métal.
 MLS Micro Laser Sintering. Micro-frittage de poudre laser.
 mmW Millimeter-wave. Ondes millimétriques.
 MN Matching Networks. Réseaux d'adaptation d'impédance.
 MOM Métal Oxyde Métal.
 MOS Metal Oxyde Semiconductor
 MOVPE Metal Organic Vapor Phase Epitaxie. Epitaxie en phase vapeur aux organométalliques.
 NF Noise Figure. Figure de bruit.
 NF50 Méthode d'extraction des paramètres de bruit de type mono-impédance.
 NPNVHS NPN Very High Speed. Transistor bipolaire NPN à vitesse élevée de commutation.
 NS Noise Source. Source de bruit blanc électronique.
 OSP Organic Solderability Preservative. Passivation organique.
 OSPT Open Short Pad Thru.
 PCB Printed Circuit Board.
 Pcell Parametrized Cell.
 PJ Photopolymer Injection. Injection de Photopolymère.
 PO Polysilicium.
 PVD Physical Vapor Deposition. Evaporation par pulvérisation cathodique.
 QPSK Quadrature Phase Shift Keying. Modulation par changement de phase de signaux en quadrature.
 RF Radio-fréquence.
 SAS Suspended Air Stripline.
 SCADA Supervisory Control And Data Acquisition. Système de contrôle et d'acquisition de données en temps réel.
 SEM Scanning Electron Microscopy. Microscopie électronique à balayage.
 SiGe Silicon Germanium. Silicium Germanium.
 SiO2 Silicon Dioxide. Dioxyde de silicium (silice).
 SiP System-in-Package. Optimisation des fonctions circuits entre puces et boîtiers.
 SLA StereoLithography Apparatus. Stéréolithographie.
 SLM Selective Laser Melting. Fusion Laser Sélective.
 SLS Selective Laser Sintering. Frittage de poudre laser.
 SMD Surface Mount Devices.
 SNR Signal to Noise Ratio. Rapport de signal à bruit.

SoC System-on-Chip. Intégration d'un système complet sur une seule puce.
SoP System-on-Package. Intégration par empilement de circuits et de boîtiers.
STI Shallow Trench Isolation. Tranchées isolantes peu profondes de SiO₂.
TBH Transistor Bipolaire à Hétérojonction.
TBJ Transistor Bipolaire à Jonction.
TRM Thru Reflect Match.
UTC-PD Uni-Traveling-Carrier Photodiode.
VLEO Very Low Earth Orbit. Orbite terrestre très basse.
VNA Vector Network Analyzer.
WR5 Rectangular Waveguide with a cross section width of 50 mils.

Introduction générale

Le développement d'un grand nombre d'applications dans le domaine millimétrique s'adressant au marché grand public est visible depuis plusieurs années, comme l'atteste l'apparition de nombreux produits connectés liés à la 5G et aux télécommunications basées sur une solution spatiale. Des interfaces circuits fonctionnant à très haut débit de données ouvrent de nombreuses perspectives en termes d'applications de communications interpersonnelles et dans le secteur industriel avec l'automatisation croissante de nombreuses tâches. Pour des secteurs davantage liés à la sécurité et au médical, des radars avec une résolution toujours plus fine et des outils d'imagerie térahertz montrent des performances prometteuses pour le secteur médical. Ces différents secteurs peuvent compter sur les performances de circuits basés sur les technologies Silicium qui ont démontré, dans le cas des transistors bipolaires en technologie BiCMOS 55 nm de STMicroelectronics, des fréquences f_T/f_{max} de l'ordre de 320/370 GHz.

Ces chiffres rivalisent avec les performances démontrées avec les technologies III-V, mais pour un coût de production rapporté à un circuit plus faible. La plage de fréquence visée dans ces travaux valide donc le choix d'une technologie silicium BiCMOS. Pour permettre aux concepteurs de circuits d'établir les schémas fonctionnels, la simulation basée sur des modèles fiables est nécessaire. Ces modèles se basent sur des équations extraites à partir de mesures pour appréhender le comportement d'un composant. Aux fréquences dont il est question ici, les moyens industriels de test en paramètres S, en puissance et en bruit n'existent pas. La caractérisation en paramètres S permet de générer un modèle linéaire de composant, la caractérisation large signal permet de remonter à des figures de mérite telles que le gain en puissance et la linéarité.

Dans le cas de la caractérisation en bruit d'un transistor bipolaire, l'extraction de sa figure de bruit et des quatre paramètres de bruit est l'objectif visé et nécessite des moyens de test hyperfréquences spécifiques. À ces fréquences, les outils large bande tels que les sources de bruit, les récepteurs de bruit, les adaptateurs d'impédances et les sondes de puissance ne sont pour l'instant pas disponibles dans le cadre industriel pour faire ces études. Plusieurs thèses ont prouvé la possibilité de placer ces fonctions de caractérisation au plus proche du composant en technologie BiCMOS 55 nm de STMicroelectronics à tester, directement sur Silicium. Cette approche *in situ* montre certaines limitations notamment en termes de surface de Silicium allouée aux seuls circuits de tests et à la répétabilité des mesures pour différents composants. Une industrialisation des mesures est souhaitée dans le cadre de cette thèse, poussant l'intégration des fonctions circuits associées à la caractérisation dans des boîtiers de type *split blocks*. L'exposition de ces travaux de thèse se fera en trois parties.

Le premier chapitre donne un contexte des applications émergentes aux fréquences millimétriques et THz en mettant en valeur le besoin de test industriel à ces fréquences. Un rappel des solutions de caractérisations hyperfréquences en bruit entre 130 et 260 GHz est donné. Cet état de l'art permet d'avoir une vision des solutions de sources de bruit et des bancs de mesures disponibles. L'aspect *packaging* est également traité par une vue d'ensemble des technologies de mise en boîtier présentes aux fréquences millimétriques. En ayant cette vision, un cahier des charges est défini pour l'ensemble des éléments à concevoir. Le second chapitre décrit la technologie B55 utilisée lors de cette thèse au travers d'une présentation des composants utilisés. La présentation d'une source de bruit amplifiée sera faite. La partie multi-impédance sera présentée au travers des réseaux de lignes d'adaptation d'impédance par la méthode *source pull*. L'extraction de la fréquence de coupure de diodes utilisées en tant que sources de bruit y est également présentée. Le troisième chapitre propose une vue d'ensemble des développements liés à la mise en boîtier des circuits précédemment conçus et caractérisés *on wafer*. Un rappel des techniques conventionnelles de fabrication et de finition des substrats utilisés pour de l'assemblage de puces est fait.

Une présentation des différentes versions de substrats organiques réalisés est faite. Plusieurs méthodes de fabrication de boîtier sont données, une évaluation d'une technique d'impression 3D métallique est réalisée dans le cas de la fabrication d'un module WR5.

Chapitre 1 : Contexte du besoin et état de l'art des solutions de caractérisation en bruit entre 130 GHz et 260 GHz

I.1 Contexte et applications aux fréquences millimétriques

I.1.1 Télécommunications : essor de la 5G, perspectives de la 6G et du spatial

Un nombre croissant d'appareils connectés a fait son apparition ces dernières années dans le quotidien de nombre d'utilisateurs, que ce soit dans le cadre de l'électronique personnelle, des véhicules connectés ou du secteur de l'*IoE (Internet of Everything)*, une véritable révolution est en marche et touche de nombreux secteurs dans leur globalité. La 5G est en cours de déploiement dans de nombreux pays et constitue la cinquième génération de réseaux mobiles, succédant aux technologies de la 2G, 3G et 4G. La finalité est de proposer des débits plus élevés afin de faciliter les communications interpersonnelles pour le secteur du grand public et la cohabitation d'applications variées pour les entreprises à travers le déploiement d'un réseau mobile sous la forme d'une extension du réseau 4G d'ici à 2023. Si le passage de la 3G à la 4G a été complexe du fait de la non-couverture de certaines zones, le réseau mobile 5G n'est en principe qu'une extension du réseau 4G à travers l'ajout d'antennes émettrices et réceptrices. Ce réseau sera capable de faire transiter des données à des débits de l'ordre du Gb/s pour accompagner l'explosion du trafic mondial attendu d'ici à 2030 comme représenté Figure 1. La pénurie mondiale de semi-conducteurs récente exacerbée par le contexte de pandémie mondiale a renforcé la demande de nombreux consommateurs confinés. En conformité avec les règles de distanciation physique imposées dans les pays occidentaux par la pandémie de Covid-19, les consommateurs ont privilégié l'achat de véhicules plutôt que le recours aux transports en commun. Un véhicule construit après 2015 contient entre 1400 et 3500 puces et l'électronique représente désormais plus de 40 % de son coût [1]. Les recours aux services numériques, l'électroménager et les appareils connectés ont largement contribué à la demande de semi-conducteurs. Parmi les infrastructures accompagnant cette croissance exponentielle, les centres de données se multiplient au rythme de l'information produite par l'univers numérique : cinq milliards de milliards d'octets par jour, soit autant que toutes les données produites depuis les débuts de l'informatique jusqu'en 2003 [2]. Un phénomène nouveau d'essaimage de *cloud cities* spécialisées dans le stockage de données apparaît en Chine. Le plus grand centre de données de la planète occupe une surface de 600 000 mètres carrés dans la ville de Langfang. Le trafic lié aux données *M2M*, c'est-à-dire aux communications entre machines, sans intervention humaine directe, représente une part croissante exponentiellement qui deviendra significative à partir de 2028 (cf. Figure 1). Le *M2M* permettra l'automatisation des tâches, à l'instar de l'industrie 4.0¹ pour remplacer les systèmes traditionnels *SCADA (Supervisory Control And Data Acquisition)* où l'arbitrage humain reste au centre de la prise de décision, du *smart farming*, du secteur médical pour améliorer le suivi à domicile, l'assistance et la télémédecine. *A contrario*, l'architecture *M2M* sera étroitement liée à de l'IA² pour accélérer la prise de décision et la gestion de situation d'urgence dans des applications industrielles ou liées au secteur du grand public. [3] Ces dialogues entre robots ouvrent la voie à de nombreuses

¹ : Le terme d'industrie 4.0 désigne l'alliance des technologies numériques, de l'IoT, de la robotique et de l'intelligence artificielle pour produire mieux (produits personnalisés, plus sûrs, fabriqués plus rapidement) avec moins (moins de coûts, d'intrants et de déchets).

² : Le terme d'IA (intelligence artificielle) est défini par un ensemble de théories et de techniques mises en œuvre en vue de réaliser des machines capables de simuler l'intelligence humaine. L'intelligence artificielle (IA) vise donc à reproduire au mieux, à l'aide de machines, des activités mentales, qu'elles soient de l'ordre de la compréhension, de la perception, ou de la décision. Par là même, l'IA est distincte de l'informatique, qui traite, trie et stocke les données et leurs algorithmes. La création du concept d'IA est attribuée à Alan M. Turing en 1950 dans la description dans son article traitant du « jeu de l'imitation ».

applications. Depuis 2014, des « réseaux antagonistes génératifs » permettent à des logiciels de produire de fausses vidéos qui remplacent un visage ou modifient les propos d'une personnalité (*deepfake*). À ces réseaux s'opposent des algorithmes chargés de les détruire sans qu'aucun humain n'ait eu à produire les codes associés.

Dans le secteur de la finance, la spéculation automatisée représente 70 % des transactions mondiales et jusqu'à 40 % des titres échangés [2], faisant basculer un réseau conçu par et pour les humains vers des architectures Internet gérées par des machines. La confirmation de l'utilisation des cryptomonnaies et de la technologie de *blockchain* est par essence liée à de l'algorithmique produite à très grands volumes s'appuyant sur de nouvelles architectures réseaux de type 5G et 6G.

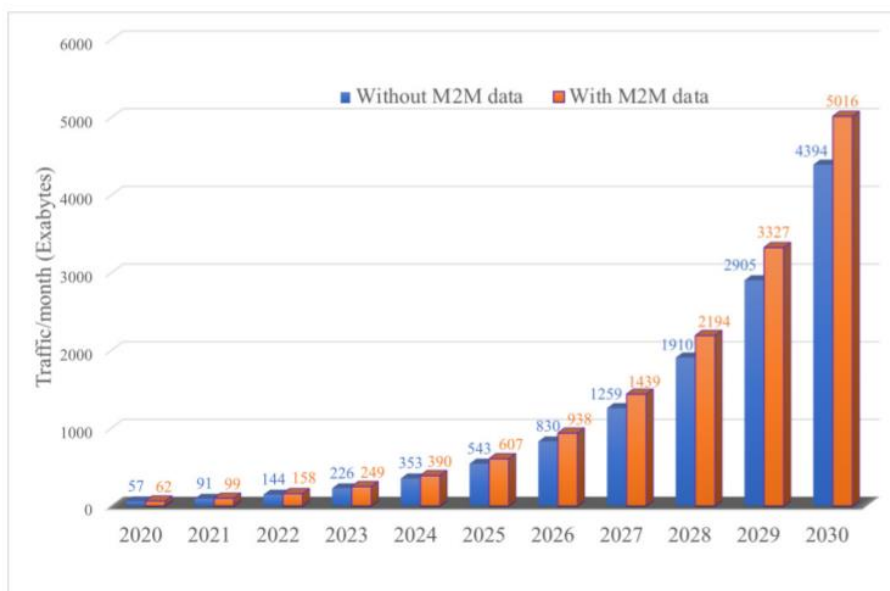


Figure 1 : Prévission de l'évolution du trafic mondial de données fourni par l'ITU (*International Telecommunication Union*). Une croissance annuelle de 55% est attendue entre 2020 et 2030 pour atteindre 5 016 Exabytes en 2030 [4].

Ces nouvelles architectures nécessitent des réseaux toujours plus performants pour permettre l'échange de quantités de données croissantes exponentiellement qui risquent de placer les réseaux 5G en sous capacité. La Figure 2 donne une comparaison des KPIs (*Key Performance Indicators*) de la 5G et de la 6G pour rendre compte des performances visées à travers ces futurs réseaux.

Characteristics	5G	6G
Individual data rate	1 Gbps	100 Gbps
DL data rate	20 Gbps	> 1 Tbps
U-plane latency	0.5 ms ¹	< 0.1 ms
C-plane latency	10 ms	< 1 ms
Mobility	up to 500 km/h	up to 1000 km/hr
DL spectral efficiency	30 bps/Hz	100 bps/Hz
Operating frequency	3 – 300 GHz ²	up to 1 THz

TABLE I
KPIs FOR 5G VERSUS 6G.

Figure 2 : Comparaison des principales caractéristiques de la 5G et de la 6G. [4]

En effet, bien que la 5G soit encore en cours de déploiement, bon nombre de discussions au sujet de la 6G ont déjà lieu parmi la communauté scientifique et les gouvernements. Une vision commence à se dessiner autour d'applications liées à la gestion des réseaux dans les grandes villes, pour lesquels le

pilotage sera assuré par de l'intelligence artificielle. Des structures réfléchissantes d'antennes réseaux sont à l'étude pour équiper de futurs bâtiments et des vitres pour augmenter la portée des réseaux sans fil. [5]

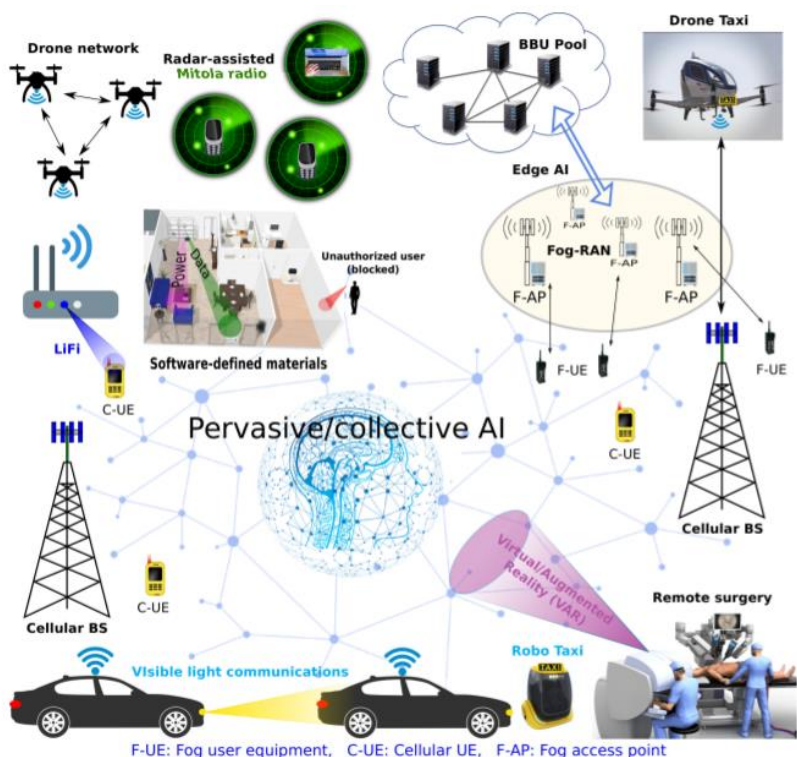


Figure 3 : Vision de la 6G et de ses potentielles utilisations. [4]

Ces avancées se traduisent par l'ouverture de nouvelles bandes de fréquences allouées à des applications visant à connecter différents terminaux utilisateurs par l'utilisation d'ondes radio. L'Arcep est l'organisme qui autorise les opérateurs mobiles à utiliser certaines fréquences radio sur lesquelles fonctionnent différentes générations de réseaux. Le fait de débloquer de nouvelles bandes de fréquences autour de fréquences toujours plus élevées permet de répondre à l'augmentation continue du trafic. Ainsi, la technologie 5G repose sur la génération de signaux autour d'une fréquence de 3,5 GHz, tandis que les futures générations de réseaux auront des bandes de fréquences centrées autour de 26 GHz.

Il est attendu que le réseau 6G s'appuie sur les infrastructures du réseau 5G, présent dans quatre strates, à savoir : les réseaux spatial, aérien, terrestre et maritime. Certaines applications sont représentées sur la Figure 3. Le réseau spatial est en charge de couvrir une large surface du globe et d'offrir un accès à un internet haut débit, c'est d'ailleurs l'un des aspects fondamentaux du projet Starlink poussé par SpaceX dont les prémises remontent à 2015 [6]. Deux constellations de satellites, LEO (Low Earth Orbit) et VLEO (Very Low Earth Orbit) formeront un total de 12 000 satellites opérant dans les bandes Ku (12 à 18 GHz) et Ka (26,5 à 40 GHz). Ce nouveau réseau mondial devrait être doté d'une intelligence se basant sur des concepts d'IA et de *machine learning* et permettra de fournir un service internet sur les orbites planétaires basses. Les points d'accès terrestres à ce réseau satellitaire se feront par l'intermédiaire de systèmes fonctionnant aux fréquences millimétriques. En effet, opérer à ces fréquences s'avère être le plus efficace pour effectuer des liaisons sans fils point à point de quelques kilomètres dans l'atmosphère terrestre. Plusieurs entreprises se sont d'ores et déjà bien implantées dans le marché de gestion du trafic de données aux fréquences millimétriques dans le cadre du déploiement des réseaux 5G et 6G. Des solutions de liaison

full-duplex en modulation QPSK dans des bandes de fréquence fonctionnent autour de 75 GHz pour une couverture réseau de 5 km [7]. D'autres modules réalisés par Ericsson et Deutsche Telekom ont mis en évidence des transmissions Backhaul sans fil à des débits de l'ordre de 100 Gb/s, sur une distance de 1,5 km [8]. La Figure 4 donne un aperçu des modules de transmission réalisés pour de la communication point à point sans fil déployés dans le cadre de réseaux 5G opérant aux fréquences millimétriques.

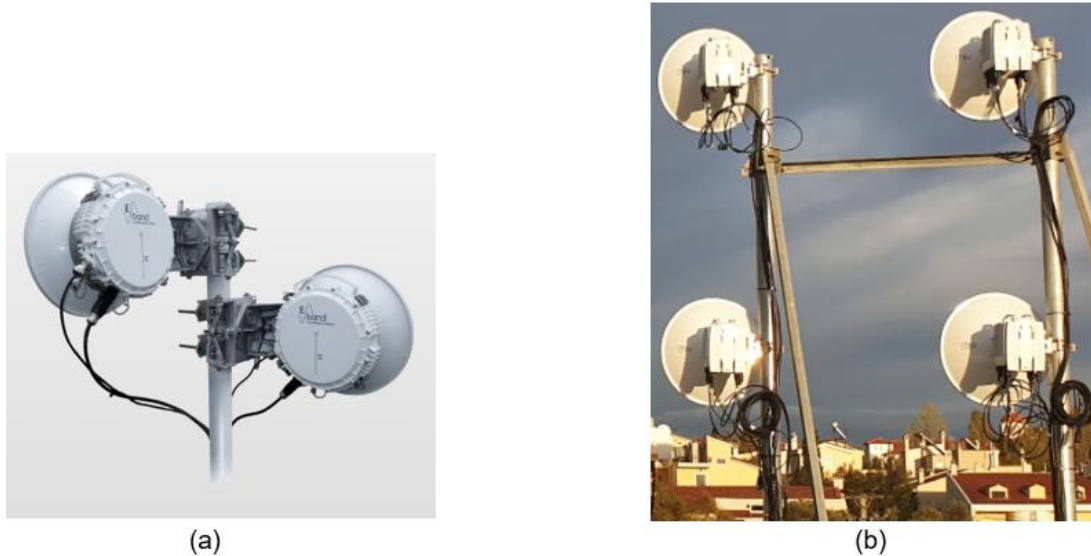


Figure 4 : Interfaces de communication sans fil satellitaire déployées dans le cadre de la 5G. (a) : E-band communication LLC. (b) : Ericsson et Deutsche Telekom.

De manière générale, l'augmentation de la fréquence de fonctionnement d'un système induit une bande passante accrue, autorisant le transfert de données à plus haut débit. Ces choix d'opérer aux fréquences millimétriques s'appuient également sur les réponses en fréquence de la transmission de signaux sous forme d'ondes transmises dans l'atmosphère terrestre. Les variations de l'atténuation en fonction de la fréquence de signaux sans fil dans l'atmosphère sont données Figure 5. Il est à noter que deux plages de fréquences sont particulièrement intéressantes pour adresser des transmissions par ondes électromagnétiques, à savoir les domaines spectraux du visible et du proche infrarouge, ainsi que le domaine des hyperfréquences, où le phénomène d'absorption est inexistant et l'atmosphère totalement transparente au rayonnement.

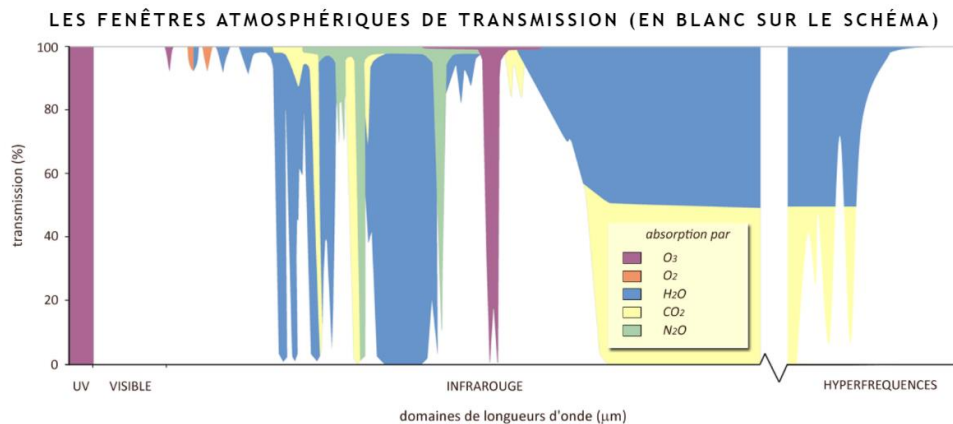


Figure 5 : Evolution de l'absorption atmosphérique des ondes électromagnétiques en fonction de la longueur d'onde. [9]

Ce constat permet de conclure sur un récapitulatif d'applications potentielles pour la 6G, répertoriées dans le tableau ci-dessous :

Tableau 1 : Application potentielles pour la 6G. Issu de [10] et remanié.

mmW et THz applications potentielles pour la 6G	
Capteurs sans fil	Contrôle de robots [11] Contrôle d'une flotte de drones [11] Véhicules autonomes [12]
Détection	Suivi de la qualité de l'air [13] Suivi de constantes biologiques [14] Détection de mouvements [15] Prévention d'un risque d'explosion [16]
Imagerie	Caméra mmW à vision nocturne [17] Radar à haute définition [18] Scan corporel THz [19]
Communication	Communication sans fil [20] Réseaux <i>backhaul</i> sans fil [21] Communication radio [22] Connectivité des <i>data centers</i> Téléchargement haut débit [23]
Localisation	<i>Tracking</i> haute précision [17], [24], [25]

I.1.2 Capteurs : Radiométrie, Radars, Imagerie THz

La radiométrie est l'un des secteurs porteurs d'applications récentes pour les circuits opérant aux fréquences millimétriques. Ces dernières années ont vu plusieurs réalisations de radiomètres pour des applications d'imagerie [26], [27] et pour la mesure de diverses données atmosphériques facilitant la conception de satellites [28] à fonction météorologique. Ces données permettront de mieux comprendre des changements climatiques et assureront un suivi avec une précision accrue du climat. D'ambitieux projets européens impliquant l'ESA, l'EUMETSAT (*European Organisation for the Exploitation of Meteorological Satellites*) et le CNES sont en train de planifier de nouvelles générations de satellites, à l'instar du projet MetOp-SG [29] qui est une seconde génération de satellites météorologiques fonctionnant par binômes dans des orbites comprises entre 823 et 848 km. Au total, 3 tandems seront envoyés, le premier lancement étant prévu pour Q1 2024. Le premier satellite embarque 6 instruments d'observation à son bord, parmi lesquels diverses solutions d'imagerie (infrarouge, proche-infrarouge, ultraviolet) et de captage son (interféromètre atmosphérique) afin d'offrir une connaissance très précise de la composition de l'atmosphère terrestre. Le second satellite comporte 4 instruments d'observations (radars de nébulosité) permettant de collecter des données sur la composition des océans et des nuages, en plus de servir de base de données aux autres satellites. Les Figure 6 Figure 7 donnent une vision de chaque satellite de seconde génération formant le tandem utilisé dans le cadre du projet MetOp-SG.

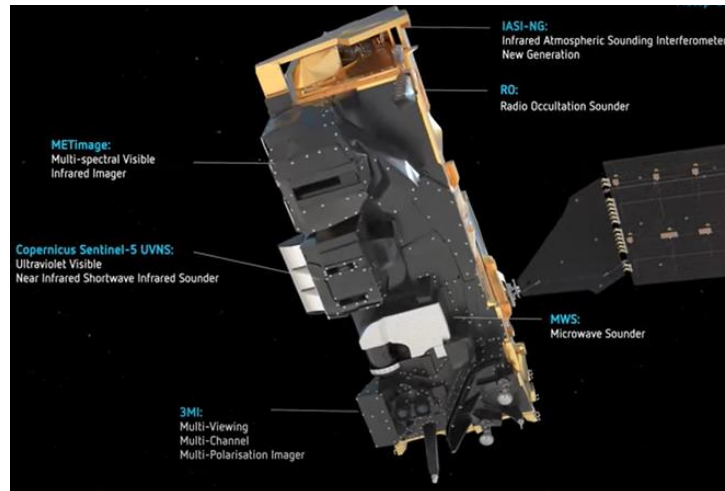


Figure 6 : MetOp-SG A [29]

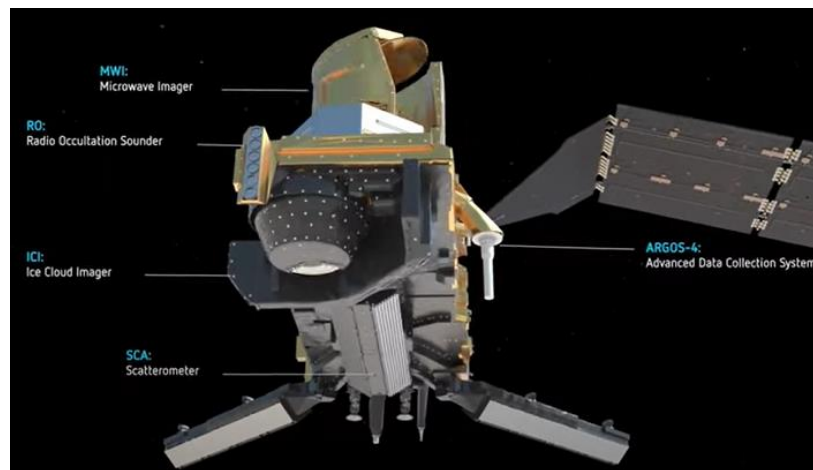


Figure 7 : MetOp-SG B [29]

Le secteur du radar connaît de récentes avancées, en particulier dans les applications de surveillance automobile, où la résolution est rendue meilleure par une augmentation de la fréquence de fonctionnement. Ainsi, plusieurs exemples de réalisations opérant à 24 GHz, 77 GHz et 120 GHz ont été développés sur des substrats GaAs et SiGe. Globalement, les capteurs radars de longue portée fonctionnent à 77 GHz, tandis que ceux dédiés à du contrôle de distance inter-véhicule fonctionnent à 120 GHz.

I.2 Caractérisation en bruit aux fréquences millimétriques : état de l'art et ses limitations

Cette partie va présenter les principes généraux de la mesure en bruit en rappelant les techniques fondamentales et les structures existantes d'un point de vue commercial et R&D aux fréquences millimétriques. Les limitations des solutions existantes amèneront de manière naturelle le cahier des charges de cette thèse.

I.2.1 Fondamentaux de la mesure en bruit

Avant de traiter de la mesure du bruit, il convient de rappeler ce qu'est le bruit et ses origines.

Les différentes formes du bruit dans un système électronique sont :

- Le bruit thermique, *a priori* blanc, est généré par l'agitation thermique des électrons au sein d'un conducteur de par sa composante résistive. La puissance de bruit associée s'exprime par :

$$P = kT\Delta_f \quad (1)$$

Avec k la constante de Boltzmann, T la température physique du système considéré et Δ_f la bande de fréquence considérée. Appliquée au transistor bipolaire, cette notion est étroitement liée aux caractères résistifs des accès de base et d'émetteur.

- Le bruit de grenaille, également appelé *shot noise*, est lié au caractère discret du courant électrique généré par les charges élémentaires. Ce bruit s'étudie par densité spectrale pour lisser l'impact du nombre d'électrons sur sa valeur. Dans le cadre d'un transistor bipolaire, ce bruit est dû à la traversée des porteurs de charges dans les jonctions PN polarisées.
- Le bruit de diffusion, lié aux fluctuations du courant dans les zones actives de composants.
- Le *flicker noise*, ou bruit en $1/f$, est une contribution au bruit essentiellement en basses fréquences présente dans tous les composants électroniques.
- Le bruit de génération-recombinaison est lié aux fluctuations aléatoires des taux de génération et recombinaison des paires électrons-trous.

Globalement, le bilan des sources de bruit au sein d'un transistor bipolaire est principalement lié au bruit thermique issu de la résistance de base, le bruit de grenaille lié à la jonction émetteur-base et à la jonction collecteur-base. Il est à noter que toutes ces contributions au bruit sont liées à des fluctuations aléatoires de la vitesse et de la charge des porteurs au sein des matériaux employés dans les composants.

La conception de circuits opérant aux fréquences millimétriques nécessite une connaissance précise des composants qui servent de briques élémentaires aux circuits. Il est possible de prédire le comportement de ces composants par le biais de modèles qui permettent au concepteur de donner des indices de confiance sur les valeurs de différents paramètres. En ayant la vision du comportement en petit signal, en puissance ou en bruit d'un composant, le concepteur est capable d'identifier les leviers d'amélioration des performances de son circuit, à l'instar du facteur de bruit dans le cadre d'un LNA situé en entrée d'une chaîne de réception RF (après le filtre d'antenne). L'élaboration des modèles reposant sur les mesures, la précision de celles-ci a un impact direct sur le niveau de confiance à donner à un circuit. Cette thèse se focalisant sur la mesure en bruit dans la bande de fréquence 130-260 GHz, plusieurs rappels sur la mesure en bruit seront faits dans cette partie.

Bien qu'il existe un grand nombre de bancs de mesure en bruit, il est possible de donner un schéma générique au principe de caractérisation en bruit, comme illustré sur la Figure 8 ci-dessous :

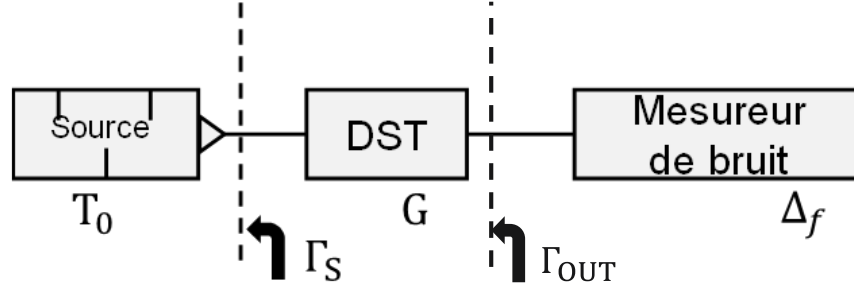


Figure 8 : Banc générique de mesure en bruit

La source de bruit (NS) a pour principale fonction de générer un niveau de bruit blanc connu dans la bande de fréquence de mesure.

Le mesureur de bruit détecte le niveau de puissance de bruit du signal en sortie du DST. Cette mesure se fait pour une impédance de sortie de la source de bruit Γ_s donnée.

La mesure en bruit a pour objectif de quantifier la contribution d'un DST au bruit d'un signal qui traverse un système. Cette contribution est définie par un ratio appelé facteur de bruit, noté F_{DST} lorsque exprimé en valeur linéaire et figure de bruit (NF) lorsque exprimé en dB :

$$F_{DST} = \frac{SNR_e}{SNR_s} \quad (2)$$

Le facteur de bruit d'un DST peut donc être vu comme une dégradation du ratio signal sur bruit lorsqu'un signal le traverse pour une impédance de source de bruit Γ_s donnée entre l'entrée (SNR_e) et la sortie (SNR_s). En effet, un amplificateur idéal aurait tendance à amplifier à la fois le signal et le bruit présentés à son entrée, par l'intermédiaire de son gain, en conservant un ratio signal sur bruit constant. En pratique, les composants qui constituent l'amplificateur possèdent des sources de bruit intrinsèques qui dégradent ce ratio.

Les caractéristiques SNR_e et SNR_s , respectivement le rapport signal à bruit en entrée et en sortie du DST, s'expriment comme suit :

$$SNR_{e,s} = \frac{S_{e,s}}{N_{e,s}} \geq 1 \quad (3)$$

Avec $S_{e,s}$ les puissances disponibles de signal et $N_{e,s}$ les puissances disponibles en bruit, en entrée et sortie du DST. Le facteur de bruit peut s'exprimer alors par :

$$F_{DST} = \frac{\frac{S_e}{N_e}}{\frac{S_s}{N_s}} = \frac{\frac{S_e}{N_e}}{\frac{GS_e}{N_a + GN_e}} = \frac{N_a + GN_e}{GN_e} \quad (4)$$

Avec G le gain en puissance disponible du DST et N_a le bruit ajouté par les sources de bruit intrinsèques au DST. Ces sources de bruit peuvent être de différentes natures. Au premier ordre, la principale cause du bruit dans la plupart des composants est d'origine thermique et résulte de la vibration des électrons et trous par effet de conduction électrique. L'usage est de considérer que l'ensemble des causes de bruit d'un système est une combinaison équivalente à un bruit thermique. À ce titre, il est possible d'établir un lien entre la puissance de bruit P générée par un composant et sa température :

$$P = k_B T \Delta_f [W] \quad (5)$$

Avec $k_B = 1.38 * 10^{-23} \frac{J}{K}$ la constante de Boltzmann, $T [K]$ la température et $\Delta_f [Hz]$ la bande-passante du système.

Dès lors, l'expression du facteur de bruit d'un DST peut s'exprimer par :

$$F_{DST} = \frac{N_a + GN_e}{GN_e} = \frac{N_a + k_B T_0 \Delta_f G}{k_B T_0 \Delta_f G} \quad (6)$$

Avec $T_0 = 290 K$ la température de référence de la source de bruit dont la valeur est équivalente à la température moyenne à laquelle les antennes satellites opèrent dans l'atmosphère terrestre.

Le facteur de bruit est souvent utilisé sous la forme de figure de bruit, notée NF [dB] qui s'exprime par :

$$NF = 10 \log(F) [dB] \quad (7)$$

Dans le cadre de la caractérisation d'un système à plusieurs étages, l'expression du facteur de bruit est modifiée par la contribution de chacun des éléments de la chaîne mesurée. La Figure 9 ci-dessous est une bonne illustration de cette expression dans le cas d'un système à n étages :

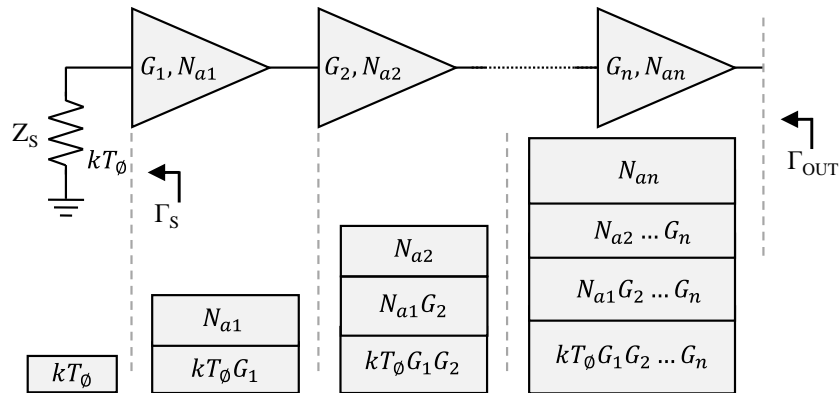


Figure 9 : Contribution au bruit d'un système à plusieurs étages [30]

De ce schéma découle une expression de facteur de bruit global, qui peut être généralisée à un système à n étages comme exprimé ci-dessous :

$$F_{sys} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_{n-1}} \quad (8)$$

Le gain total disponible est également utilisé dans le cas d'éléments cascades pour pouvoir extraire le facteur de bruit global. Il s'exprime par :

$$G_{av} = |S_{21}|^2 \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S S_{11}|^2 (1 - |\Gamma_{OUT}|^2)} \quad (9)$$

Avec Γ_S le coefficient de réflexion vu par le DST à son entrée et Γ_{OUT} le coefficient de réflexion à sa sortie. Pour pouvoir calculer le coefficient Γ_{OUT} du système global, une expression en fonction des paramètres S et du Γ_S est donnée par :

$$\Gamma_{OUT} = S_{22} + \frac{S_{21}S_{12}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (10)$$

Pour un dispositif passif, le facteur de bruit peut s'exprimer par :

$$F = 1 + \left(\frac{1}{G_{av}} - 1 \right) \frac{T_{amb}}{T_0} \quad (11)$$

Avec T_{amb} la température ambiante de mesure.

Une notion fondamentale liée au facteur de bruit est la température équivalente de bruit. D'un point de vue physique, il s'agit de la température à laquelle le circuit bruyant doit être placé pour générer un niveau de bruit identique à celui correspondant au facteur de bruit. L'équation suivante donne la relation entre le facteur de bruit et la température équivalente de bruit :

$$F = 1 + \frac{T_{eq}}{T_0} \quad (12)$$

Avec T_{eq} [K] la température équivalente de bruit, T_0 [K] la température de référence de la source de bruit.

La caractérisation en bruit d'un DST consiste à extraire son facteur de bruit. Pour être exhaustive, l'analyse doit être poussée afin d'obtenir les 4 paramètres de bruit du DST.

La mesure du facteur de bruit se fait principalement selon deux méthodes :

- Méthode du facteur Y ou méthode des deux températures
- Méthode *cold source*

L'extraction des 4 paramètres de bruit d'un DST se fait également selon deux méthodes :

- Méthode NF50
- Méthode multi-impédance

Les paragraphes suivants décrivent l'ensemble de ces méthodes.

1.2.1.1 Méthodes de mesure du facteur de bruit

Les principales méthodes de mesure du facteur de bruit d'un DST sont :

- La méthode du facteur Y ou méthode des deux températures

La méthode du facteur Y utilise une source de bruit fonctionnant sous deux états. Cette méthode a pour principal avantage de pouvoir être appliquée à n'importe quel DST. Lorsqu'une source de bruit est utilisée sous deux états de polarisation, elle génère deux niveaux de puissance de bruit distincts. Ces niveaux de puissance de bruit sont mesurés et notés usuellement P_{HOT} lorsque la source de bruit est polarisée dans

un état « haut » (ou ON) et P_{COLD} quand la source de bruit est dans un état « bas », c'est-à-dire placée dans un état où elle génère moins de bruit car polarisée avec un signal plus faible³ qu'à l'état « haut ». Ces deux conditions de polarisation permettent de définir le niveau de puissance de bruit en excès par rapport au plancher de bruit de -174 dBm/Hz que génère la source de bruit, noté ENR :

$$ENR = 10 \log \left(\frac{T_{HOT} - T_{COLD}}{T_0} \right) \text{ [dB]} \quad (13)$$

Le ratio des puissances de bruit mesurées en état ON et OFF permet de définir le facteur Y, comme illustré par la relation suivante :

$$Y = \frac{P_{HOT}}{P_{COLD}} \quad (14)$$

Ce facteur, couplé à l'ENR, donne accès aux différentes valeurs de facteur de bruit mesurées par l'équation :

$$F_{DST} = \frac{ENR - (Y - 1) \left(\frac{T_{COLD}}{T_0} - 1 \right)}{Y - 1} \quad (15)$$

- La méthode *cold source*

La méthode *cold source* se fait quant à elle pour un seul état de polarisation de la source de bruit, mais nécessite la connaissance du gain en puissance disponible du dispositif sous test pour pouvoir remonter au facteur de bruit à l'aide de la mesure de la puissance de bruit en sortie du DST considéré :

$$F_{DST} = \frac{P_{avDST}}{G_{avDST} k T_0 \Delta_f} \quad (16)$$

1.2.1.2 Extraction des 4 paramètres de bruit d'un DST

La méthode multi-impédance est une méthode ayant pour principal avantage d'être applicable quel que soit le DST à caractériser.

Jusqu'à présent, la notion de mesure en bruit était présentée de manière à couvrir n'importe quel DST et ne concernait que la mesure du F_{DST} . Cette mesure se fait à une impédance de source Z_S donnée, en injectant une puissance de bruit connue en entrée du DST et en mesurant la dégradation du ratio signal sur bruit en sortie à l'aide du mesureur de bruit.

Dans le cas où le DST est un transistor, un jeu de paramètres doit être mesuré pour une caractérisation en bruit exhaustive. En effet, l'adaptation d'impédance entre la source de bruit et le DST a un impact sur la

³ : L'intérêt de choisir de travailler avec un état bas polarisé ou non polarisé sera explicité dans la suite de ce manuscrit.

valeur du facteur de bruit d'un DST. Cette mesure repose sur l'utilisation d'un *tuner* d'impédances dans un montage de type *source-pull*. En pratique, la mesure en bruit consiste dans un premier temps à extraire le facteur de bruit du DST, puis les 4 paramètres de bruit listés ci-dessous :

- F_{min} le facteur de bruit minimal
- $R_n [\Omega]$ la résistance équivalente de bruit
- $Y_{opt} = G_{opt} + jB_{opt}$ l'admittance de source à laquelle $F_{DST} = F_{min}$

Une représentation graphique largement répandue est donnée sur la figure suivante, où l'ensemble des facteurs de bruit mesurés à une admittance de source Y_s donnée défini un cône selon la loi quadratique suivante :

$$F(Y_s) = F_{min} + \frac{R_n}{G_s} |Y_s - Y_{opt}|^2 \quad (17)$$

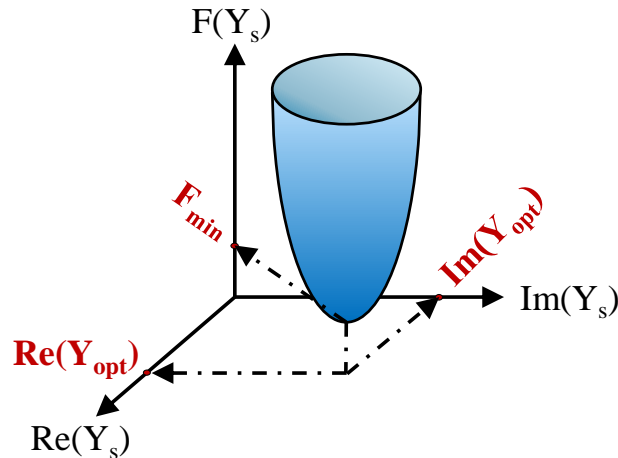


Figure 10 : Allure de $F(Y_s)$ d'un transistor

De cette équation, il vient que R_n donne la concavité de la surface : plus R_n est faible, plus l'erreur sera permise sur l'adaptation d'impédances en entrée du DST autour de l'admittance optimale. Cet aspect est particulièrement important lors de la conception d'amplificateurs faible bruit où l'utilisation de transistors à faibles valeurs de R_n est souhaitable afin de limiter les effets sur F_{DST} des désadaptations vis-à-vis de l'admittance présentée à l'entrée du transistor. L'algorithme introduit par Richard Q. Lane [31] permet d'extraire ces quatre paramètres de bruit. Le choix des points d'impédance est crucial pour la précision de l'extraction des quatre paramètres de bruit. Un poids peut être défini pour ajuster la précision de l'extraction, comme proposé par Simon Bouvot au cours de sa thèse [32]. En théorie, quatre impédances sont suffisantes pour extraire les quatre paramètres de bruit du composant. En pratique, la valeur mesurée du facteur de bruit du DST est sensible aux désadaptations et l'impédance de source présentée au DST peut varier. Pour minimiser l'incertitude de l'extraction des quatre paramètres de bruit, des constellations avec de nombreux points sont présentées, soit à l'aide de synthétiseurs d'impédance, soit à l'aide de structures de transistors pré-adaptés comme c'est le cas dans cette thèse. Seize structures de réseaux d'adaptation ont ainsi été dessinées pour tenter d'extraire les 4 paramètres de bruit d'un transistor bipolaire NPNVHS en technologie SiGe BiCMOS 55 nm dans la bande G. Cette méthode a comme inconvénient de multiplier le nombre de mesures, induisant une incertitude à chaque posé de pointes RF non négligeable sur une station de *probing* manuelle. Finalement, la méthode ayant également recours à une étape algorithmique

via Lane, il est délicat d'en conclure véritablement sur une incertitude et de la mettre en comparaison avec la méthode NF50 présentée ci-après.

A *contrario*, la méthode NF50⁴ se base sur la mesure du facteur de bruit d'un DST en lui présentant une impédance fixe de 50 Ω et sur un schéma équivalent petit signal avec les sources de bruit extrait à partir de la mesure en paramètres S de ce DST. La méthode est à ce jour valable pour les transistors à effet de champ. Cette méthode est basée sur l'extraction des sources de bruit liées au drain et à la grille et du coefficient de corrélation de ces deux sources de bruit [33]. De nouveaux modèles ont ensuite proposé une non-corrélation entre les sources de bruit précédemment évoquées, afin de pouvoir extraire les 4 paramètres de bruit à partir d'une seule mesure en bruit [34]. Cette méthode ne peut donc s'appliquer qu'à un seul type de transistor donné, contrairement à la méthode multi-impédances qui permet en théorie de caractériser n'importe quel composant. Idéalement, son impédance optimale en bruit doit être incluse dans la constellation d'impédances générée par le dispositif source-pull. Cette méthode a déjà pu être éprouvée pour des transistors MOS [35], [33] et s'appuie sur la théorie présentée dans [5], [6], [37], [38] en revanche, l'hypothèse de non-corrélation n'est pas encore vérifiée pour les transistors bipolaires, ce qui limite actuellement le champ d'application de cette approche. Le schéma équivalent utilisé pour l'extraction des 4 paramètres de bruit d'un MOS avec les hypothèses de non-corrélation des sources de bruit est donné Figure 11.

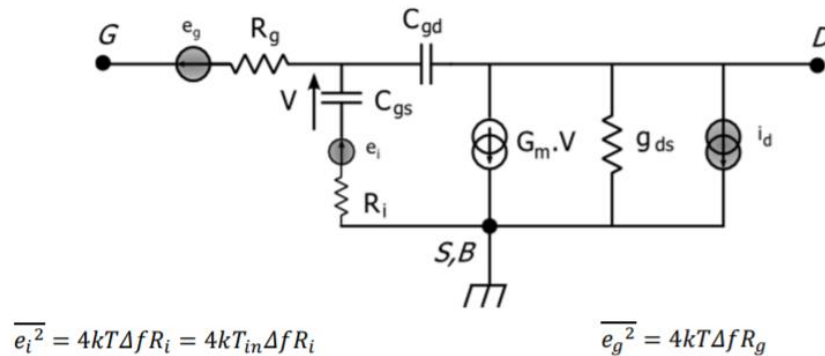


Figure 11 : Schéma équivalent avec sources de bruit non corrélées d'un transistor MOS utilisé dans le cadre d'une extraction par la méthode NF50. [39]

Cette thèse ayant pour but de développer des sondes de mesure en bruit sans être limité par le choix du DST, la méthode multi-impédance a été privilégiée.

La partie suivante s'attache à décrire la partie matérielle liée aux mesures en bruit aux fréquences millimétriques, à travers un état de l'art des blocs existants et une description des blocs élémentaires nécessaires à la mesure en bruit.

I.2.2 État de l'art des sources de bruit aux fréquences millimétriques

Il est possible de dégager quelques grandes familles de circuits utilisés comme sources de bruit, notamment :

- Les sources de bruit commerciales

⁴ : La méthode NF50 désigne à la fois le mode de mesure dans lequel le facteur de bruit est mesuré sous une impédance de source de 50 Ω et la méthode d'extraction analytique des quatre paramètres de bruit.

- Les photodiodes
- Les diodes à jonction Schottky, polarisées en régime d'avalanche, en technologie silicium ou III-V

1.2.2.1 Solutions commerciales

Des solutions de sources de bruit en boîtier existent chez la plupart des fournisseurs de matériel de caractérisation RF. En général, ces sources de bruit peuvent être utilisées sous deux états de polarisation qui permettent d'extraire leur ENR. Parmi celles-ci, il est possible de citer les solutions proposées par Keysight avec l'U1831C USB qui propose un ENR de 15 dB jusqu'à 26.5 GHz, ou le modèle 346CK01 qui génère un ENR de 7 dB à 50 GHz. La source de bruit commerciale disponible à l'IEMN est une source ELVA ISSN-06 qui permet d'adresser des mesures en bruit entre 110 et 170 GHz. Cette source est constituée d'une diode IMPATT (IMPact ionization Avalanche Transit-Time diode) qui peut être polarisée sous deux états afin d'extraire un ENR dont la valeur typique est de 12.5 dB dans la bande de fréquence susmentionnée.



Figure 12 : Source de bruit ELVA ISSN-06 disponible à l'IEMN.

Au-delà de 170 GHz, il n'existe pas de solution de source de bruit commerciale, ce qui a poussé de récents travaux de thèse à développer des solutions alternatives pour pallier ce manque.

1.2.2.2 Photodiodes

Les photodiodes sont également des composants d'intérêt pour la génération de bruit aux fréquences millimétriques. Des travaux menés sur des diodes de type UTC ont permis de mettre en exergue des niveaux d'ENR de l'ordre de 30 dB jusqu'à 300 GHz [40], d'autres travaux se focalisant sur des bandes de fréquences plus restreintes, de 0 à 20 GHz, ont mis en évidence des ENR allant jusqu'à 62 dB à l'aide de ces composants [41]. Le principe de fonctionnement repose sur la conversion opto-électrique d'un bruit optique en un bruit électrique à l'aide d'un convertisseur constitué d'une photodiode p-i-n ou UTC [42], [43]. Le concept est représenté sur la Figure 13. Le bruit généré est qualifié de bruit spontané d'émission (ASE) dans ces travaux. La véritable source de bruit est en réalité l'EDFA, dont le bruit optique est converti par la photodiode en bruit électrique. Un EDFA a l'avantage de pouvoir générer un bruit optique dans une très large bande de fréquence comprise entre 3 et 5 THz. Ce bruit est généré par l'interaction des photons produits par émission spontanée avec des ions terres rares présents dans la fibre de l'EDFA. En couplant cette source à une photodiode à haute fréquence de coupure, la démonstration d'un signal électrique à haute fréquence a été rendue possible.

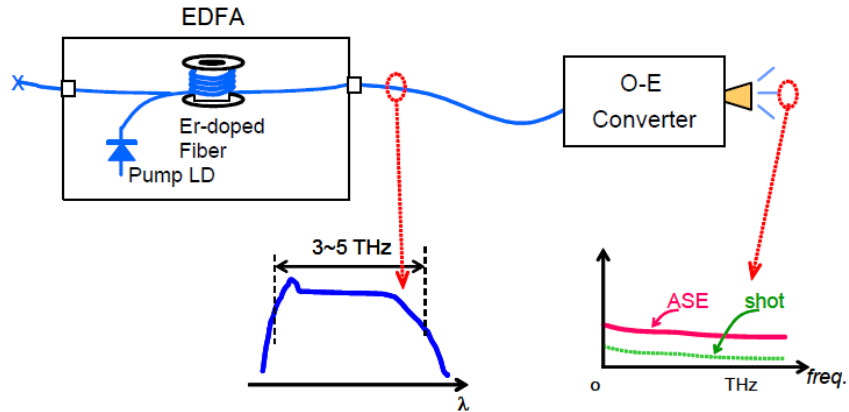


Figure 13 : Schéma-bloc d'illustration du concept de génération de bruit sub-terahertz à partir d'une source photonique utilisant un amplificateur dopé à l'Erbium (EDFA) et un convertisseur opto-électrique. [43]

De manière similaire aux diodes à état solide, un pilotage des niveaux d'ENR générés est possible à l'aide du contrôle du photo-courant injecté au travers de la fibre optique. Des travaux ont montré un contrôle permettant d'atteindre des températures équivalentes de bruit en sortie de telles sources de bruit excédant 300 000 K, comme illustré ci-dessous :

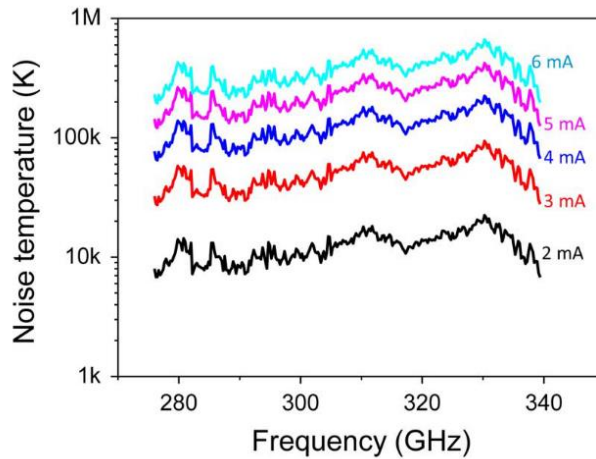


Figure 14 : Température équivalente de bruit générée à la sortie d'une photodiode UTC sous différents photocourants. [40]

En outre, des sources de bruit photoniques intégrées sur silicium ont été développées jusque 170 GHz dans le cadre des travaux de thèse de Sandrine Oeuvrard [44]. Cette source de bruit repose sur l'éclairage d'une photodiode en Germanium sur Silicium par une source optique qui est ensuite convertie en un bruit blanc électrique par cette photodiode. Des démonstrateurs ont été réalisés afin de mesurer le facteur de bruit d'un transistor bipolaire en technologie BiCMOS 55 nm en bande W et D. Une difficulté de ce type de caractérisation est la gestion des parasites générés par l'interconnexion entre la puce photonique et la puce BiCMOS 55 nm. Le wire-bonding génère des inductances parasites non-négligeables aux fréquences millimétriques, mais reste une technologie disponible plus rapidement à l'échelle d'une thèse que le report par *copper pillar bumping*. Un des démonstrateurs réalisés dans [44] est représenté Figure 15.

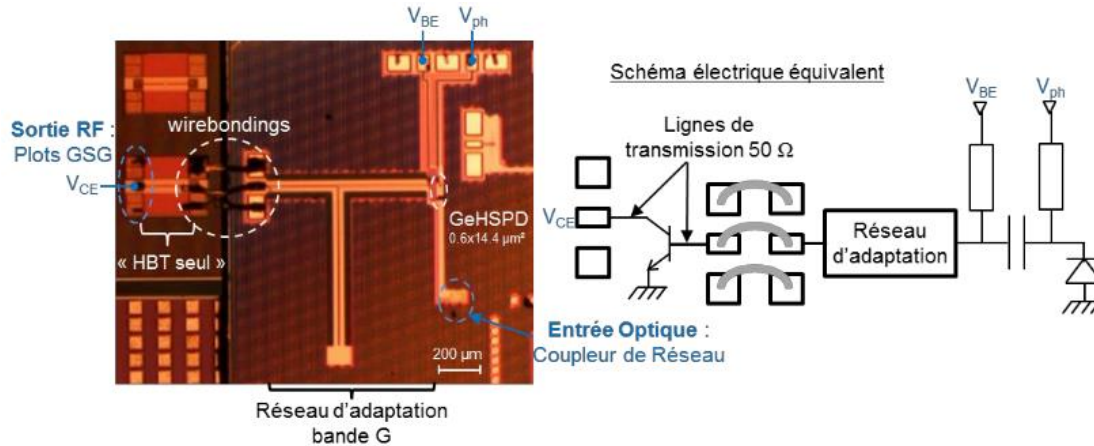


Figure 15 : Photographie et schéma équivalent d'une photodiode GeHSPD adaptée connectée par wire-bonding au TBH BiCMOS 55 nm mis en plot pour sa caractérisation en bruit.[44]

Les deux solutions de sources de bruit précédemment introduites ont démontré des performances les rendant utilisables aux fréquences millimétriques. Il semble néanmoins qu'un vide est à combler pour rendre possible la caractérisation en bruit à l'échelle industrielle au-delà de 110 GHz.

1.2.2.3 Diodes de bruit sur silicium

L'utilisation de diodes Schottky en tant que sources de bruit a été introduite dès les années 80 avec l'apparition de diodes sur substrats GaAs démontrant des niveaux d'ENR de 10 dB en bande R et Q⁵ [45]. Ce fonctionnement repose sur le bruit généré par les collisions aléatoires entre porteurs de charge placés dans un état d'énergie très élevé lié au champ électrique présent dans la zone de déplétion à l'interface PN (ou Schottky)⁶. Plusieurs équipes ont montré dans de récents travaux [46]–[49] de larges gammes d'ENR atteignables grâce à une polarisation variable de diodes en technologie SiGe BiCMOS 55 nm, permettant de couvrir la caractérisation en bruit de nombreux circuits jusqu'à 260 GHz. La Figure 16 montre les résultats d'ENR extraits au cours des travaux de thèse de Joao Carlos Azevedo Goncalves [47].

⁵ : Bande Q : 33 à 50 GHz. Bande R : 26.5 à 40 GHz.

⁶ : Ce phénomène est expliqué plus en détail au cours du Chapitre 2.

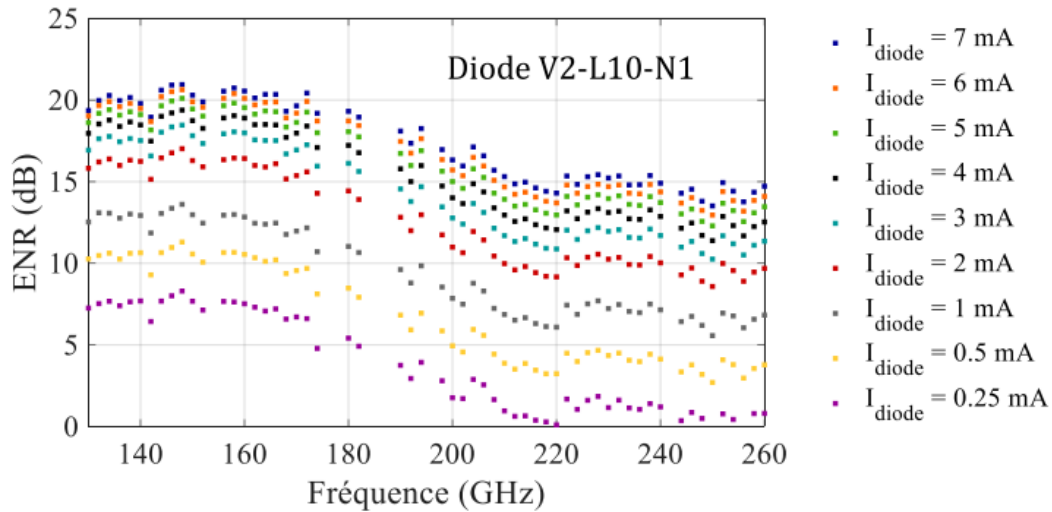


Figure 16 : Niveaux d'ENR disponibles générés par une diode Schottky en technologie SiGe BiCMOS 55 nm sous différents courants de polarisation. [50]

Cette dernière solution a été privilégiée au cours de la présente thèse, pour sa facilité d'intégration et les valeurs d'ENR atteignables avec des *front-ends* de diode similaires.

1.2.3 État de l'art des bancs de mesure en bruit aux fréquences millimétriques

1.2.3.1 Description des solutions de test

Cette thèse s'inscrit dans une longue lignée de travaux de recherche ayant permis de développer des solutions de mesures de bruit dans des bandes de fréquences toujours plus étendues afin d'ouvrir des perspectives de marchés et d'applications précédemment décrites. Nous commencerons par décrire les solutions de caractérisation *on-wafer* en rapport avec l'approche multi-impédances.

De nombreuses études ont été menées afin de concevoir une partie des éléments clés du *setup* de mesure de bruit au plus près du dispositif à caractériser. Ainsi, Marina Deng a développé au cours de sa thèse un synthétiseur d'impédances lui permettant d'extraire les 4 paramètres de bruit d'un transistor TBH en technologie B9MW en bande D (130-170 GHz) [51]. Ces extractions ont montré une faisabilité de la mesure avec des valeurs de NF_{min} extraites entre 4 et 8 dB et une déviation entre deux points de fréquence successifs de ± 1 dB. La résistance de bruit R_n met en évidence des valeurs comprises entre 40 et 100 Ω avec une déviation moyenne de ± 20 Ω entre deux points de fréquence successifs. Une méthode de contrôle de la validité des 4 paramètres extraits a été appliquée à chaque points de fréquence. Cette méthode s'appuie sur l'équation suivante :

$$1 \leq \frac{4NT_0}{T_{min}} \leq 2 \quad (18)$$

Avec $T_0 = 290\text{ K}$ la température de référence du plancher de bruit, N le paramètre de Lange défini par $N = R_n G_{opt}$ et T_{min} la température équivalente de bruit liée au facteur de bruit F_{min} par la relation $T_{min} = (F_{min} - 1)T_0$. Cette équation permet d'avoir un regard critique sur les 4 paramètres à la fois et a été calculée pour chaque point de fréquence entre 130 et 170 GHz [52]. La figure suivante donne l'évolution de ce critère de validité en bande G :

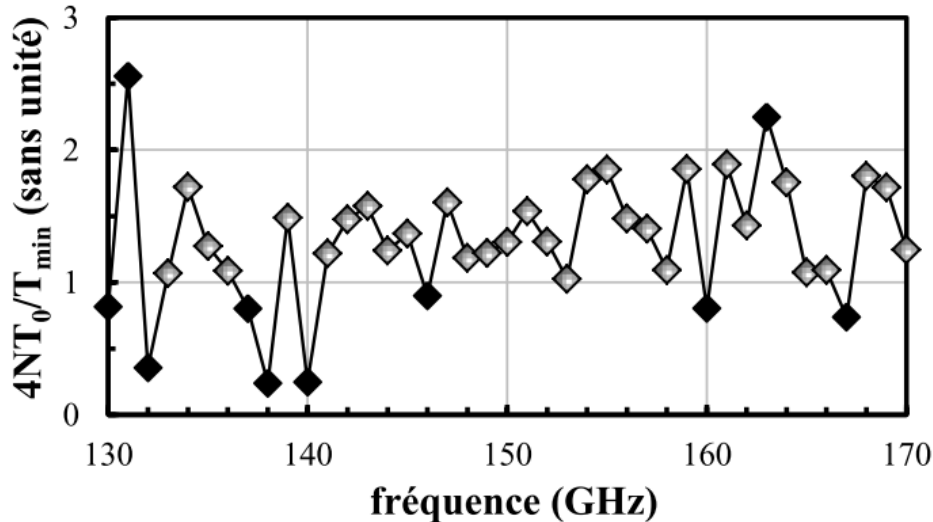


Figure 17 : Vérification de la validité des 4 paramètres de bruit extraits en bande D, les points noirs sont considérés comme invalides [53].

Si la faisabilité a été démontrée lors de ces travaux, Simon Bouvot a par la suite extrait les 4 paramètres de bruit d'un transistor bipolaire en BiCMOS 55 nm dans la même plage de fréquences avec une dispersion moindre. Ces travaux se basent sur le développement d'un synthétiseur d'impédances passif et d'un amplificateur faible bruit (conçu en entrée) fonctionnant en bande D [54]. Ce tuner est capable de générer 64 états d'impédance, ce qui permet une certaine largesse vis-à-vis du minimum théorique de 4 impédances pour extraire les 4 paramètres de bruit. Certains états d'impédance n'étant pas pertinents car proches d'autres états et n'intersectant pas forcément plusieurs cercles à facteur de bruit constant. Un algorithme de tri des impédances a été développé afin de ne sélectionner que les points d'impédance d'intérêt pour appliquer l'algorithme de Lane. Les extractions ont mené aux résultats donnés Figure 18 :

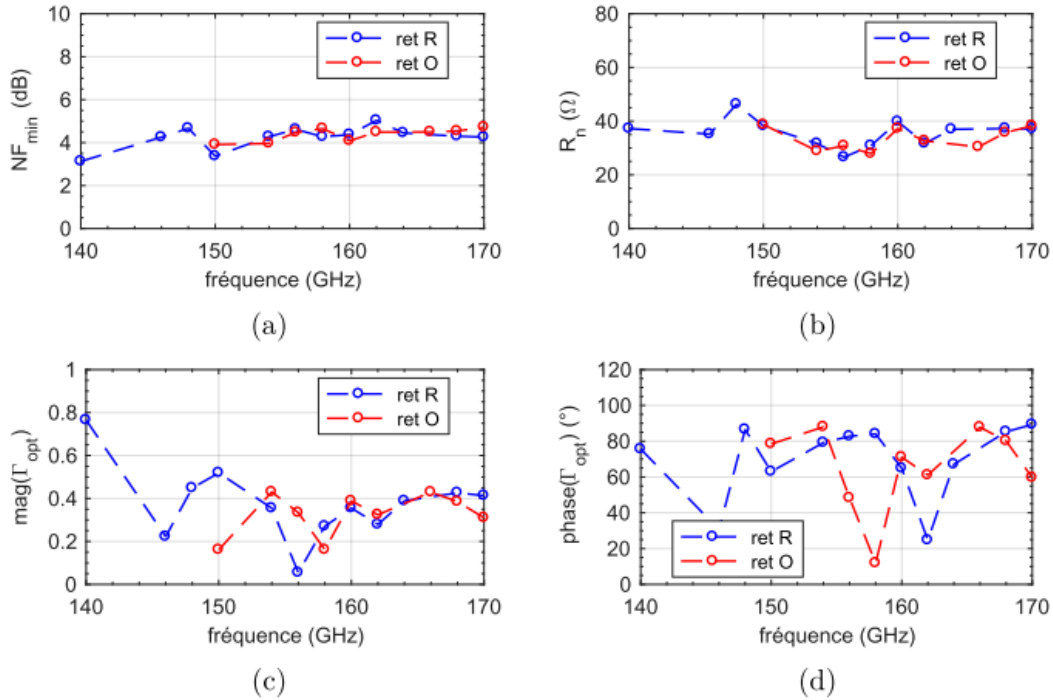


Figure 18 : Résultats d'extraction des 4 paramètres de bruit d'un transistor NPN B55 en bande D pour un courant de polarisation $I_b = 10 \mu A$ [32] La géométrie est de type CBECB, une longueur d'émetteur $L_e = 5 \mu m$ et une largeur d'émetteur $W_e = 0,2 \mu m$.

Il est donc possible d'extraire les 4 paramètres de bruit grâce à des solutions on-wafer jusqu'à 170 GHz avec la méthode multi-impédances.

En parallèle, des sources de bruit sur silicium ont été réalisées et permettent de couvrir un besoin de génération de bruit *on-wafer* jusque 260 GHz pour les technologies B55.

Les solutions sur table viennent compléter ces développements. Des récepteurs de bruit ont été réalisés au cours de travaux de thèse de Laurent Poulain entre 140 et 170 GHz et de Joao Carlos Azevedo Goncalves entre 170 et 220 GHz.

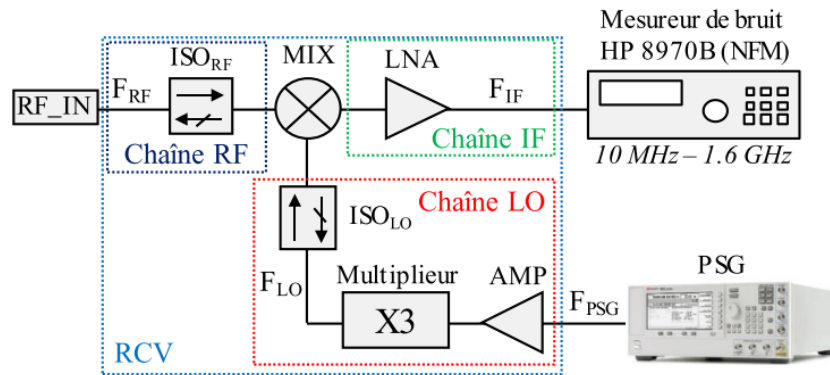


Figure 19 : Schéma bloc du récepteur de bruit sur table opérant au-delà de 170 GHz disponible à l'IEMN [30].

Ce récepteur est basé sur une architecture faisant intervenir une chaîne de réception RF, une chaîne IF et une chaîne LO. La transposition du signal RF vers la bande de fréquence du mesureur de bruit se fait grâce

au mélangeur et à un oscillateur local. En parallèle, des solutions de source de bruit commerciales citées précédemment existent jusque 170 GHz. Il est possible de donner une vue globale des solutions de caractérisation à la fois *on-wafer* et sur table pour la mesure de facteur de bruit aux fréquences submillimétriques et millimétriques. La figure ci-dessous donne un aperçu des solutions commerciales et celles développées au cours de travaux de collaboration entre STMicroelectronics et l'IEMN. Pour ce qui est de l'extraction des 4 paramètres de bruit, la méthode multi-impédances est pour l'instant envisageable jusqu'à 170 GHz. La méthode NF50 est limitée à ce jour à des transistors MOS.

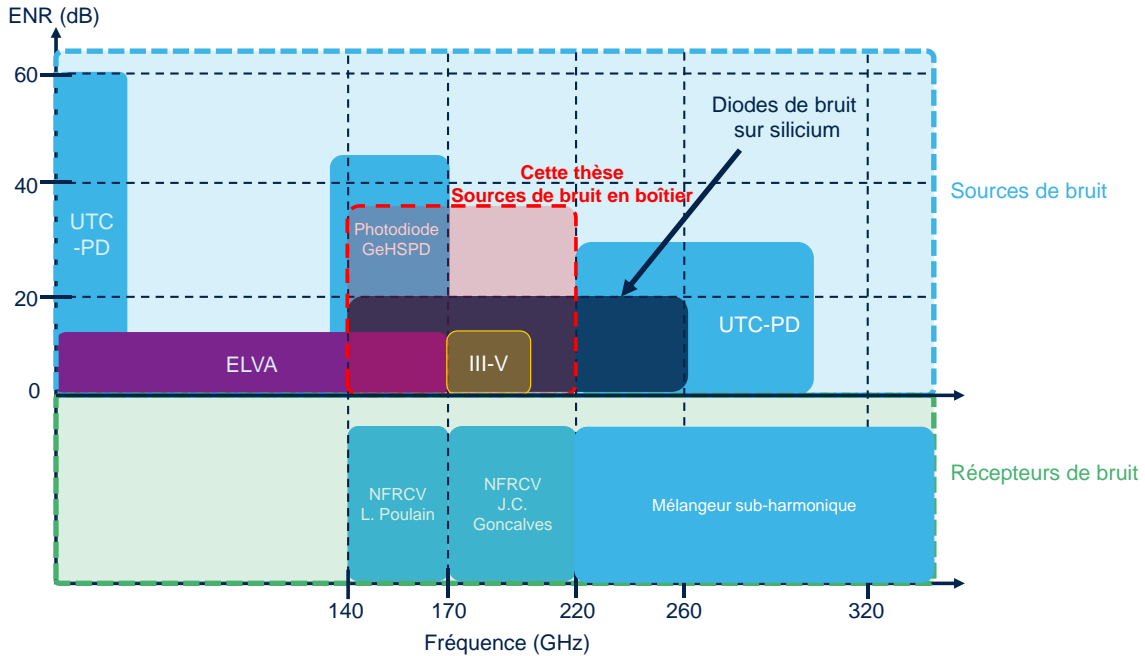


Figure 20 : Etat de l'art de la couverture fréquentielle de la mesure de facteur de bruit. La contribution de cette thèse à l'échelle de la source de bruit est de proposer une solution sur silicium intégrée avec des niveaux d'ENR excédant les solutions commerciales.

L'objectif de cette thèse concernant la source de bruit sera détaillé dans la partie 1.3.1.

La couverture fréquentielle de l'extraction des 4 paramètres de bruit est donnée sur la Figure 21 et est limitée par l'étendue fréquentielle des synthétiseurs d'impédance.

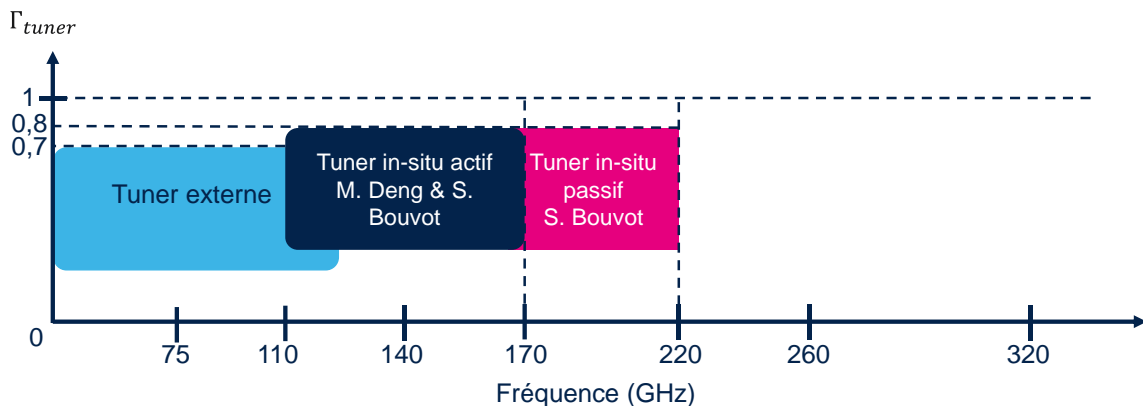


Figure 21 : Couverture fréquentielle des synthétiseurs d'impédances.

Le constat est que l'extraction des 4 paramètres de bruit est théoriquement faisable jusque 220 GHz, pour une technologie de circuit donnée, puisque les sources de bruit opérant à ces fréquences sont des diodes en technologie BiCMOS 55 nm.

1.2.4 État de l'art du packaging aux fréquences millimétriques

Pour s'inscrire dans la logique d'augmentation des performances attendues des réseaux sans fils destinés aux applications émergentes décrites précédemment, de nouvelles techniques de mise en boîtier des circuits associés ont été mises en œuvre. Il s'agit des concepts de SoC (System-on-Chip), SIP (System-in-Package) et SoP (System-on-Package) décrits sur la figure suivante :

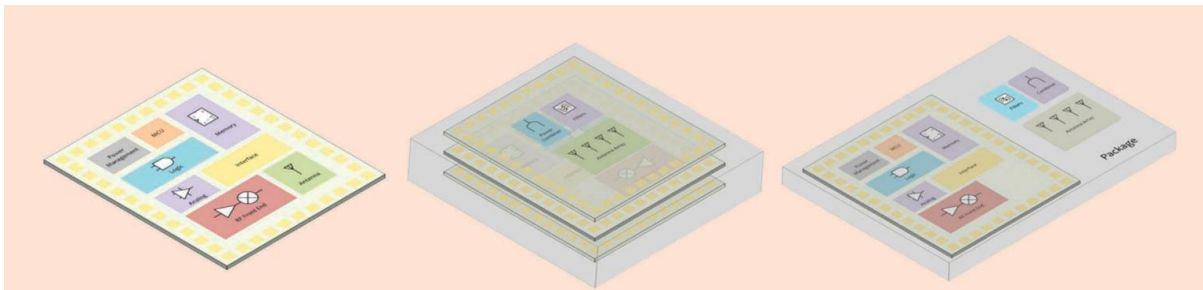
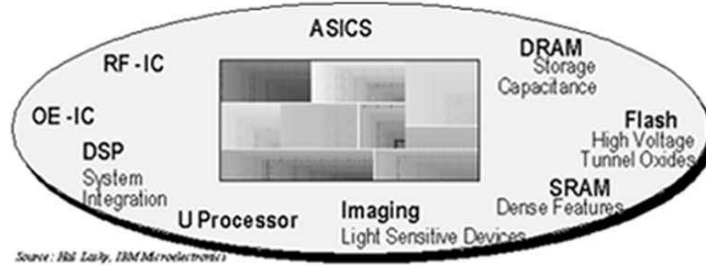


Figure 22 : Illustration des 3 techniques de mise en boîtier répondant aux nouvelles exigences des applications émergentes aux fréquences mmW. De gauche à droite : SoC, SIP et SoP.

L'approche SoC [55] est une intégration totale du système sur un seul substrat, la partie antennaire s'il y en a une est intégrée aux différentes chaînes de traitement du signal. Cette approche a vu certaines limitations avec l'augmentation constante de l'intégration de transistors sur une même puce, mais aussi certains composants passifs gourmands en surface. L'approche SIP [56] privilégie l'intégration des différentes fonctions circuits sur plusieurs substrats eux-mêmes assemblés. Cette approche 3D a ouvert le champ des possibles en interconnectant différents substrats de manière verticale. Le boîtier intégrant ces différents substrats entre en jeu uniquement dans la connexion entre substrats. Enfin, l'approche SoP [57] confère une part davantage importante au boîtier, qui intègre certaines fonctions, par exemple antennaires. Ceci contribue à réduire la surface des circuits et le coût global du produit. Des fonctions passives peuvent être réalisées à l'aide du boîtier, tels que des filtres et des guides d'ondes. Cette logique d'intégration est similaire à l'approche MCM (multichip module) mais pousse plus loin l'intégration en utilisant les potentialités du boîtier. La figure suivante donne une illustration plus détaillée de ces approches :

SOC

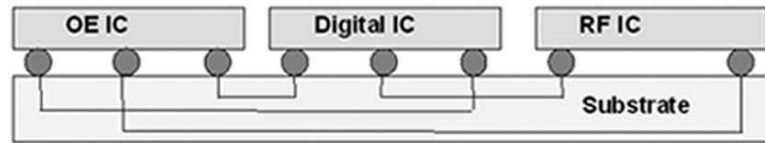
a) Complete system on one chip



Source: IBM Early IBM Microelectronics

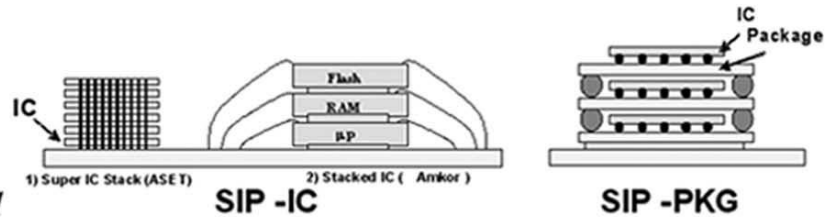
MCM

b) Interconnects components



SIP

c) Stacked chips or packages for reduced form factors



SOP

d) Optimizes functions between ICs and package. Miniaturizes systems.

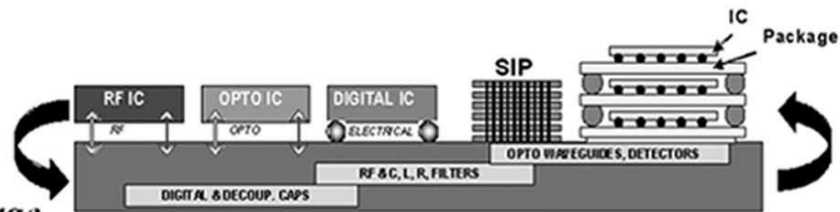


Figure 23 : Principes illustrés des approches d'intégration SiP, Soc, SOP et MCM.

Le packaging de circuit aux fréquences millimétriques a été fait de manière majoritaire sur des substrats de type quartz et pour des circuits en technologie III-V, en particulier au-delà de 110 GHz. Dès lors, le report de la puce se fait par *wirebonding* et sur quelques échantillons, du fait du coup de fabrication lié aux différents matériaux utilisés dans ces réalisations. Ce coût est détaillé dans le Chapitre 3 et induit l'absence d'outil d'assemblage à l'échelle industrielle pour effectuer de la mise en boîtier de circuits en technologie III-V sur de tels substrats. Les récents progrès des technologies silicium, en particulier des technologies CMOS et BiCMOS [58] génèrent un regain d'intérêt pour cette filière dans le champ d'applications mmW et THz. Ainsi, certaines réalisations de circuits dans le cadre de communication sans fil ont été réalisées au-delà de 100 GHz [59], [60].

De manière globale, le *packaging* aux fréquences millimétriques et THz repose sur l'utilisation de boîtiers métalliques usinés dans lesquels des interconnexions vers la puce montée sur substrats sont faites grâce à des guides d'ondes. Un exemple de réalisation de mise en boîtier reposant sur un substrat de quartz est donné sur la figure ci-dessous :

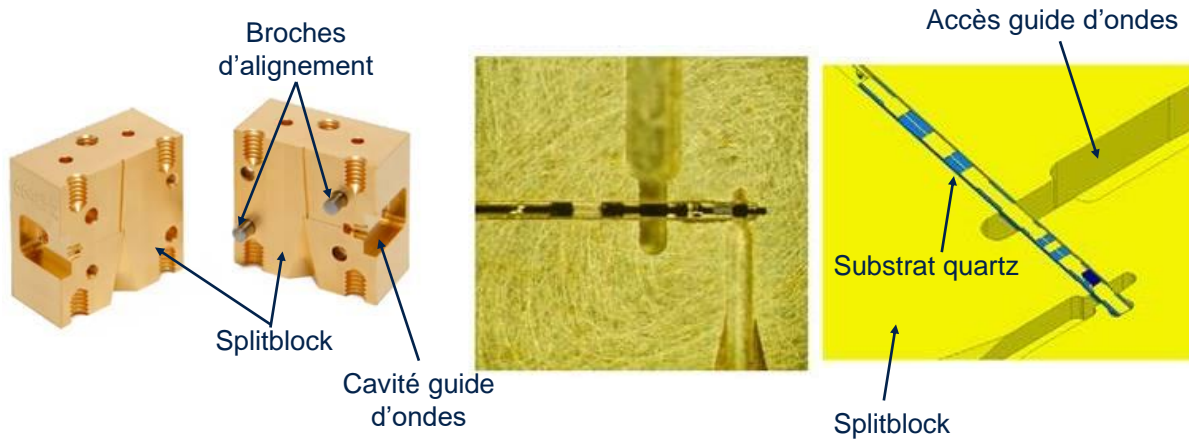


Figure 24 : Exemple de mise en boîtier en technologie III-V aux fréquences millimétriques.

I.2.5 Objectifs de la thèse : contribution au développement de sondes actives pour la caractérisation en bruit

Avec la connaissance de ce contexte, la présente thèse se positionne de manière à proposer des solutions de caractérisation en bruit pour couvrir la bande de fréquence 140-220 GHz. Plusieurs thèses ont prouvé la possibilité de placer les fonctions de caractérisation au plus proche du composant à tester en technologie BiCMOS 55 nm de STMicroelectronics, directement sur Silicium. Cette approche *in-situ* montre certaines limitations notamment en termes de surface de Silicium allouée aux seuls circuits de tests et à la répétabilité des mesures pour différents composants et contraint le choix à une seule technologie de composant à caractériser. Une industrialisation des mesures est souhaitée dans le cadre de cette thèse, poussant l'intégration des fonctions circuits associées à la caractérisation dans des boîtiers de type *split blocks*. Le schéma de principe regroupant les principaux objectifs de cette thèse est donné ci-dessous :

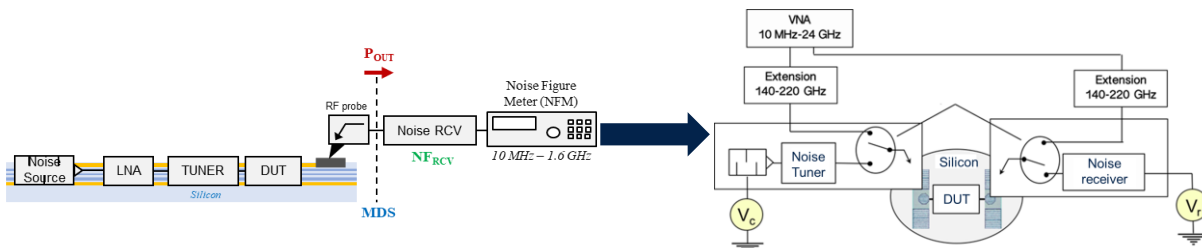


Figure 25 : Evolution de l'approche on-wafer vers une approche de sondes de mesures hyperfréquences instrumentées.

Il s'agit donc de :

- Développer les boîtiers permettant d'intégrer les fonctions circuits relatives à la mesure de bruit
- Concevoir ou adapter les fonctions circuits pour les intégrer dans les boîtiers servant de corps de sonde

I.3 Cahier des charges des différentes fonctions étudiées

I.3.1 Cahier des charges pour la source de bruit

Dans le but de pouvoir disposer d'un moyen de caractérisation en bruit compatible avec plusieurs technologies de circuits et de mettre à profit les circuits développés au cours de précédents travaux, cette thèse vise une mise en boîtier de circuits dans la bande 140-220 GHz (bande G). À ces fréquences, il est parfois difficile de garantir la fiabilité et la précision de la mesure de bruit. Cette difficulté tient dans la définition de la condition du MDS, qui correspond à un minimum de puissance de bruit à appliquer à l'entrée du récepteur de bruit. En bande G, les récepteurs de bruit existants ont des figures de bruit de l'ordre de 10 dB [61]. Nous pouvons formuler l'hypothèse d'un DST à faible gain, par exemple un transistor NPNVHS en configuration série sur un *setup* de mesure de figure de bruit en facteur Y standard représenté Figure 26 :

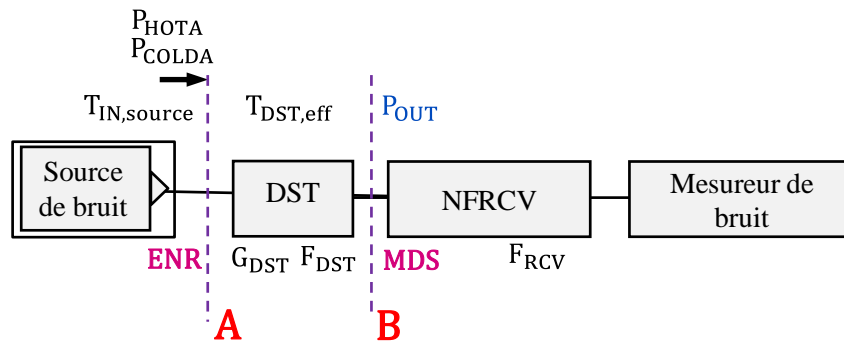


Figure 26 : Setup standard de mesure de figure de bruit selon la méthode du facteur Y.

Cette condition est un bilan de puissances de bruit qui s'écrit selon l'équation suivante :

$$P_{OUT} = G_{DST} k_B (T_{DST} + T_{IN}) \Delta_f \geq 2 F_{RCV} k_B T_a \Delta_f \quad (19)$$

Avec P_{OUT} la puissance de sortie du système de mesure de bruit constitué de la source de bruit et du DST, G_{DST} le gain en puissance disponible du DST, T_{DST} la température de bruit effective du DST, T_{IN} celle de la source de bruit, T_a la température ambiante, k_B la constante de Boltzmann, F_{RCV} le facteur de bruit du récepteur de bruit et Δ_f sa bande passante. D'un point de vue schématique et transcrit en dB, cette inégalité s'interprète comme la nécessité de générer un niveau de puissance de bruit excédant le facteur de bruit du récepteur de 3 dB (cf. Figure 27).

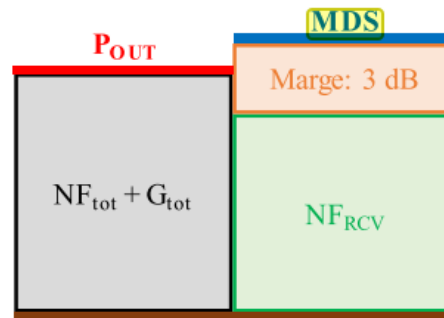


Figure 27 : Schéma représentatif de la condition du MDS [30].

Pour être en lien avec de précédents travaux, le DST considéré ici est un transistor bipolaire NPNVHS en technologie B55 en configuration Nx(CBEB)-C avec une longueur et une largeur d'émetteur respectivement de 5,56 μm et 0,2 μm et polarisé sous un courant de base de 10 μA . Dans ces conditions, de précédents travaux ont montré qu'un tel DST a les performances suivantes en bande G :

- $NF_{moyen} = 8 \text{ dB}$
- $G_{av\ moyen} = 4 \text{ dB}$

Il s'agit de valeurs moyennes extraites pour 64 états d'impédances d'entrée générées à l'aide d'un tuner. En outre, les accès de type sondes GSG i220 Infinity Waveguide probe de chez Formfactor ont des pertes moyennes estimées à 3 dB en bande G.

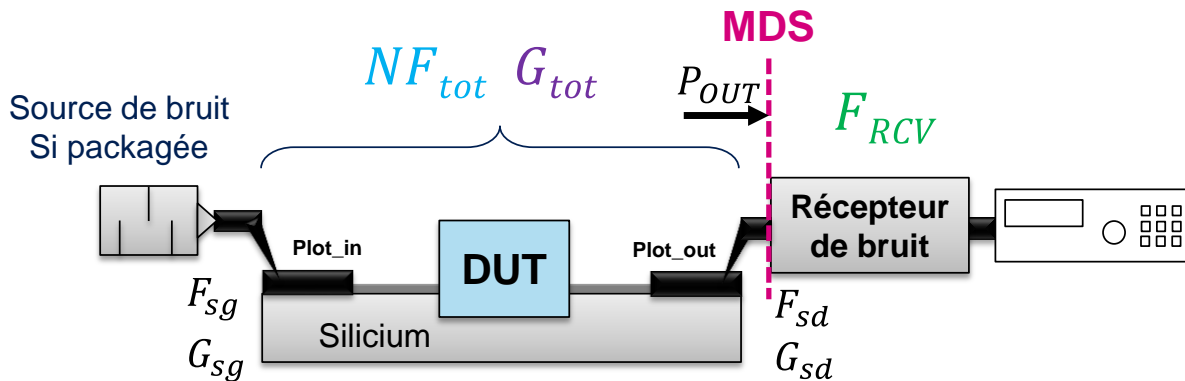


Figure 28 : Schéma bloc du setup d'une mesure en bruit avec la future source de bruit mise en boîtier pour expression du bilan de puissance.

Avec la connaissance de ces éléments, il vient :

$$F_{tot} = F_{sg} + \frac{F_{DST} - 1}{G_{sg}} + \frac{F_{sd} - 1}{G_{sg}G_{DST}}$$

Avec F_{sg} et F_{sd} les facteurs de bruit des sondes gauche et droite et G_{sg} les pertes de la sonde de gauche, F_{DST} et G_{DST} le facteur de bruit et le gain du DST avec les plots d'entrée et de sortie. Nous ferons l'hypothèse que $F_{sd} = F_{sg} = \frac{1}{G_{sg}} = \frac{1}{G_{sd}}$

L'application numérique donne $NF_{tot} + G_{tot} = 9,52 \text{ dB}$.

Avec l'hypothèse du récepteur de bruit ayant un facteur de bruit de 10 dB, il vient que la source de bruit doit avoir à minima une dynamique, i.e. un différentiel entre P_{HOT} et P_{COLD} de 3,48 dB en sortie de boîtier. Dans le mode de mesure facteur Y, l'état OFF est en théorie impossible à mettre en œuvre pour valider cette condition du MDS. L'état ON doit quant à lui correspondre à un état de polarisation suffisamment élevé pour excéder ces 3,48 dB. De précédents travaux ont montré comment pallier ce problème de validation du MDS lors de l'utilisation de la source de bruit à l'état bas, en utilisant cet état polarisé [30].

De ces calculs, il est possible de retenir que la source de bruit doit avoir un ENR le plus constant possible dans la bande G et que sa dynamique à l'état haut doit être au minimum de 3,48 dB. Ceci est largement envisageable en pratique avec les solutions de sources de bruit de diodes SiGe évoquées précédemment.

Il est à noter toutefois que ce bilan ne tient pas compte des pertes d'insertion dans les transitions du boîtier. Ceci est détaillé dans la partie suivante.

I.3.1 Cahier des charges pour le boîtier

Le boîtier ayant des fréquences opérationnelles limitées par les accès guides d'ondes, la bande de fréquence visée sera automatiquement celle dictée par le fonctionnement d'un guide d'onde WR5, soit 140-220 GHz. Plusieurs transitions sont présentes dans la mise en boîtier et doivent être optimisées :

- La transition entre la puce et le substrat
- La transition entre le substrat et le boîtier

La littérature donne plusieurs réalisations de transitions entre substrats organiques et boîtiers, parmi lesquelles des transitions de type plan E débouchant dans des cavités guides d'ondes rectangulaires. Le principe est de transformer un mode de propagation de type coplanaire d'un signal RF dans le substrat vers le mode de propagation majoritaire d'un guide d'ondes rectangulaire métallique TE₁₀ à l'aide d'un tronçon de ligne opérant comme une antenne [62]–[69]. Le fait d'utiliser des guides d'ondes à ces fréquences s'explique par les faibles pertes d'insertion des signaux véhiculés sous forme d'ondes électromagnétiques et par un choix de dimensionnel varié permettant de couvrir un large spectre fréquentiel. La cavité entourant la ligne du substrat doit cependant être suffisamment petite pour filtrer les modes guides d'ondes et laisser passer uniquement les modes de propagation liés à la ligne (microstrip, ou autre, cf. tableau suivant). La Figure 29 ci-dessous donne un bon exemple de ce genre de réalisations visibles aux fréquences millimétriques.

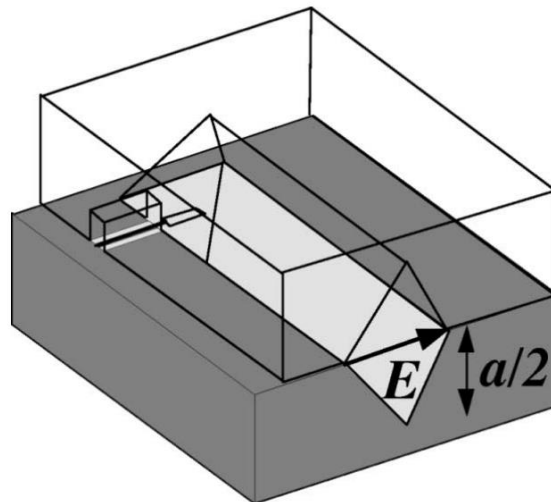


Figure 29 : Vue schématique d'une transition plan E entre une ligne FGC (*finite-ground coplanar*) et un guide d'onde "diamant" sur silicium en bande W [62].

Un compromis est à trouver en ce qui concerne la quantité de substrat à placer à l'intérieur de la cavité guide d'ondes. En effet, la quantité d'énergie électro-magnétique stockée dans le substrat est proportionnelle à l'épaisseur de substrat baignant dans la cavité guide d'ondes. Réduire cette quantité améliore le niveau des pertes d'insertion de la transition, mais il faut également garantir une certaine solidité de l'objet. C'est le compromis trouvé et décrit au Chapitre 3. De nombreuses transitions existent aux fréquences millimétriques entre des substrats majoritairement organiques ou céramiques. Ces transitions se font en général entre des lignes de type *stripline* suspendues positionnées dans le plan où le maximum d'énergie électromagnétique est véhiculé par le mode de propagation TE₁₀ du guide d'ondes, soit le plan milieu de la plus grande face. Le Tableau 2 donne un aperçu de l'état de l'art des transitions substrats vers guides d'ondes.

Géométrie de ligne substrat	Fréquence (GHz)	Niveau moyen des pertes d'insertion (dB)	Référence
FGC	85 - 115	0,5	[62]
Microstrip	75-90	0,23	[63]
Microstrip	500-750	2	[64]
Microstrip	66-98	0,42	[65]
Shielded Microstrip	95-110	0,8	[66]
CPW	95-110	1,2	[67]
FGC	95-110	0,45	[68]
FGC	95-110	0,48	[69]
CPW	260-320	1,2	[70]
Rectangulaire coaxiale	8-13	0,1	[71]
Rectangulaire coaxiale	8-13	0,5	[72]
Stripline	110-170	1	[73]
Stripline	24-30	1,4	[74]
Stripline	26,3-40	0,15	[75]
Stripline	55-70	0,3	[76]
Stripline	10-12	1	[77]
Stripline	0-65	1,2	[78]
Stripline	34-50	0,25	[79]
Stripline	26,5-34	0,1	[80]
Stripline	28-38	0,2	[81]

Tableau 2 : Etat de l'art des transitions substrat vers guide d'ondes aux fréquences sub-mmW et mmW.

Au vu de cet état de l'art, il semble raisonnable de se fixer un objectif de niveau moyen de pertes d'insertion en bande G de la future transition substrat vers guide d'ondes de l'ordre de 1,5 dB.

I.3.3 Cahier des charges pour le tuner

L'aspect multi-impédances a été traité en 2 phases. Une phase temporaire utilisant des réseaux d'adaptation d'impédances à l'entrée du DST doit permettre de valider l'utilisation de l'algorithme de Lane aux fréquences considérées. L'étape suivante consiste à émuler des impédances similaires à celles générées par les réseaux de *matching* à l'aide d'un tuner d'impédances placé dans le boîtier. La stratégie d'intégration de ces blocs est donnée Figure 30. L'intégration est prévue en 3 phases. La phase ultime doit intégrer la source de bruit multi-impédances dans un boîtier de type split block. Au vu des impédances de source optimales en bruit d'un transistor NPNVHS en B55 entre 140 et 220 GHz, la couverture d'impédances du tuner doit être telle que $\Gamma > 0,5$. Le synthétiseur d'impédances doit être capable de générer

au minimum 16 impédances pour pouvoir prendre en compte les incertitudes liées aux désadaptations et aux incertitudes de mesure présentes à ces fréquences⁷.

I.3.4 Récapitulatif du cahier des charges global

Le tableau suivant résume l'ensemble des spécifications définies précédemment.

Source de bruit	Boitier	Synthétiseur d'impédances
$ENR_{av} \geq 3,5$ dB en bande G	Pertes d'insertion $\leq 1,5$ dB	$\Gamma \geq 0,5$

⁷ : Les fournisseurs d'appareils de mesure se donnent un objectif de précision de 0,1 dB sur le facteur de bruit et 0,02 dB sur les paramètres S jusqu'à 110 GHz.

Conclusion du Chapitre 1

Ce premier chapitre a permis de décrire la caractérisation en bruit aux fréquences millimétriques et a donné une vision globale d'applications et de l'intérêt à développer ce type de mesures. Les notions élémentaires liées au bruit et utilisées au cours de ce manuscrit ont été définies. Un rappel des méthodes usuelles de mesures et d'extraction des paramètres de bruit a été fait. La limitation fréquentielle et fonctionnelle des solutions commerciales ou présentes à l'échelle des laboratoires ont mis en exergue l'intérêt de ce sujet de thèse, dont l'objectif est de disposer de moyens de caractérisation en bruit et en puissance intégrés dans des sondes afin de pouvoir adresser la mesure de plusieurs technologies de circuit avec une répétabilité et une fiabilité industrielles. À titre d'illustration, la figure suivante donne une bonne représentation de l'objectif final visé. Les travaux décrits ici ont contribué au développement de la source de bruit en boîtier.

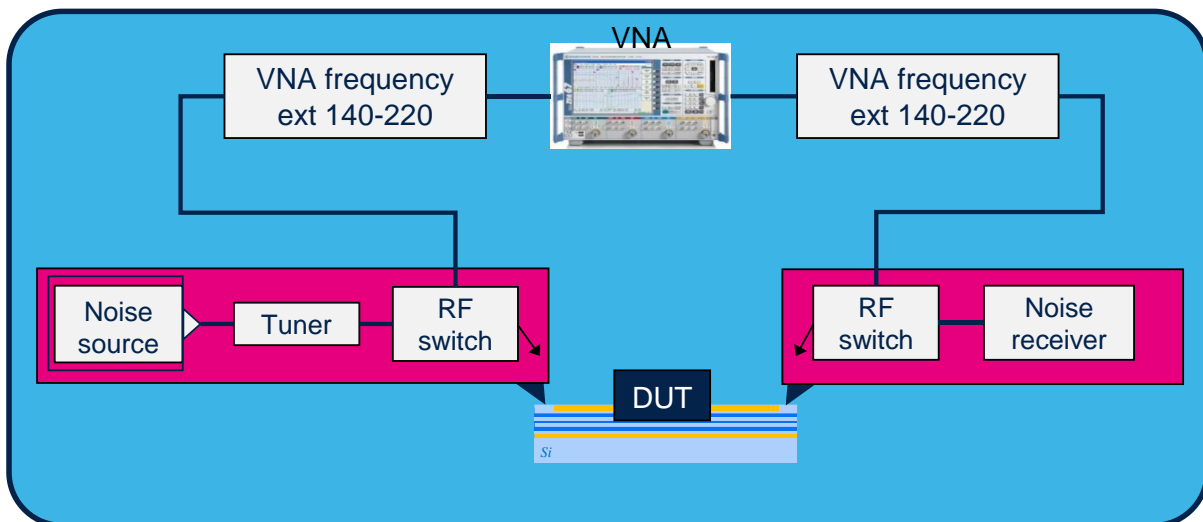


Figure 30 : Contribution de la thèse : réalisation de sondes de mesures instrumentées pour la mesure en bruit et puissance en bande G.

Références bibliographiques du Chapitre 1

- [1] Deloitte, “Semiconductors-the next wave. Opportunities and winning strategies for semiconductor companies,” 2019. www.deloitte.com.
- [2] G. Pitron, “Quand le numérique détruit la planète,” *Le Monde Dipl.*, vol. Octobre, 2021.
- [3] Matooma, “Le guide du Machine to Machine,” 2021. <https://www.matooma.com/fr/s-informer/univers-du-m2m-et-iot#chapter-one-url>.
- [4] F. Tariq, M. R. A. Khandaker, K. K. Wong, M. A. Imran, M. Bennis, and M. Debbah, “A Speculative Study on 6G,” *IEEE Wirel. Commun.*, vol. 27, no. 4, pp. 118–125, 2020, doi: 10.1109/MWC.001.1900488.
- [5] S. V. Hum and J. Perruisseau-Carrier, “Reconfigurable reflectarrays and array lenses for dynamic antenna beam control: A review,” *IEEE Trans. Antennas Propag.*, vol. 62, no. 1, pp. 183–198, 2014, doi: 10.1109/TAP.2013.2287296.
- [6] J. Foust, “SpaceX’s space-internet woes,” *Spectr. IEEE*, pp. 50–51, 2019.
- [7] Eband Communications LLC, “E-Link 1000Q-FP,” 2019. <https://e-band.com/products/e-link-1000q-fp/>.
- [8] Deutsche Telekom et Ericsson, “Deutsche Telekom and Ericsson top 100Gbps over microwave link,” 2019. <https://www.ericsson.com/en/press-releases/2019/5/deutsche-telekom-and-ericsson-top-100gbps-over-microwave-link>.
- [9] UVED, “Absorption et transmission atmosphériques,” 2008. <https://e-cours.univ-paris1.fr/modules/uved/envcal/html/rayonnement/3-rayonnement-atmosphere/3-1-absorption-transmission-atmospherique.html>.
- [10] T. S. Rappaport *et al.*, “Wireless communications and applications above 100 GHz: Opportunities and challenges for 6g and beyond,” *IEEE Access*, vol. 7, pp. 78729–78757, 2019, doi: 10.1109/ACCESS.2019.2921522.
- [11] M. P. S. Chinchali, A. Sharma, J. Harrison, A. Elhafsi, D. Kang, E. Pergament, E. Cidon, S. Katti, “Network offloading policies for cloud robotics: A learning-based approach,” 2019. <https://arxiv.org/abs/1902.05703>.
- [12] Y. Qian, M. Chen, J. Chen, M. S. Hossain, and A. Alamri, “Secure Enforcement in Cognitive Internet of Vehicles,” *IEEE Internet Things J.*, vol. 5, no. 2, pp. 1242–1250, 2018, doi: 10.1109/JIOT.2018.2800035.
- [13] M. Tonouchi, “Cutting-edge THz technology,” *Nat. Photonics*, 2007.
- [14] X. F. Teng, C. C. Y. Poon, Y. T. Zhang, and P. Bonato, “Wearable Medical Systems for p-Health,” *IEEE Rev. Biomed. Eng.*, vol. 1, pp. 62–74, 2008, doi: 10.1109/RBME.2008.2008248.
- [15] H. Aggrawal, P. Chen, and M. M. Assefzadeh, “Gone in a Picosecond,” *IEEE Microw. Mag.*, no. December, pp. 24–38, 2016.
- [16] D. M. Mittleman, R. H. Jacobsen, R. Neelamani, R. G. Baraniuk, and M. C. Nuss, “Gas sensing using terahertz time-domain spectroscopy,” *Appl. Phys. B Lasers Opt.*, vol. 67, no. 3, pp. 379–390, 1998, doi: 10.1007/s003400050520.
- [17] and G. C. . T. Mohammed Aladsani , Ahmed Alkhateeb, “LEVERAGING MMWAVE IMAGING AND COMMUNICATIONS FOR SIMULTANEOUS LOCALIZATION AND MAPPING,” pp. 4539–4543, 2019.
- [18] M. J. W. Rodwell *et al.*, “100-340GHz Systems: Transistors and Applications,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2018-Decem, pp. 14.3.1-14.3.4, 2019, doi: 10.1109/IEDM.2018.8614537.
- [19] G. Valušis, A. Lissauskas, H. Yuan, W. Knap, and H. G. Roskos, “Roadmap of terahertz imaging 2021,” *Sensors*, vol. 21, no. 12, pp. 1–51, 2021, doi: 10.3390/s21124092.
- [20] S. Koenig *et al.*, “Wireless sub-THz communication system with high data rate enabled by RF photonics and active MMIC technology,” *2014 IEEE Photonics Conf. IPC 2014*, vol. 3, pp. 414–415, 2014, doi: 10.1109/IPCon.2014.6995424.
- [21] T. S. Rappaport, Y. Xing, G. R. MacCartney, A. F. Molisch, E. Mellios, and J. Zhang, “Overview of Millimeter Wave Communications for Fifth-Generation (5G) Wireless Networks-With a Focus on Propagation Models,” *IEEE Trans. Antennas Propag.*, vol. 65, no. 12, pp. 6213–6230, 2017, doi: 10.1109/TAP.2017.2734243.

- [22] V. Petrov, A. Pyattaev, D. Moltchanov, and Y. Koucheryavy, "Terahertz band communications: Applications, research challenges, and standardization activities," *Int. Congr. Ultra Mod. Telecommun. Control Syst. Work.*, vol. 2016-Decem, pp. 183–190, 2016, doi: 10.1109/ICUMT.2016.7765354.
- [23] V. Petrov, D. Moltchanov, and Y. Koucheryavy, "Applicability assessment of terahertz information showers for next-generation wireless networks," *2016 IEEE Int. Conf. Commun. ICC 2016*, 2016, doi: 10.1109/ICC.2016.7511129.
- [24] O. Kanhere and T. S. Rappaport, "Millimeter Wave Position Location using Multipath Differentiation for 3GPP using Field Measurements," *2020 IEEE Glob. Commun. Conf. GLOBECOM 2020 - Proc.*, vol. 2020-Janua, 2020, doi: 10.1109/GLOBECOM42002.2020.9348110.
- [25] O. Kanhere and T. S. Rappaport, "Position Locationing for Millimeter Wave Systems," *2018 IEEE Glob. Commun. Conf. GLOBECOM 2018 - Proc.*, 2018, doi: 10.1109/GLOCOM.2018.8647983.
- [26] X. Bi, "Silicon-Based sub-THz Radiometers for Passive Imaging," *Proc. 2018 IEEE 7th Asia-Pacific Conf. Antennas Propagation, APCAP 2018*, pp. 169–170, 2018, doi: 10.1109/APCAP.2018.8538291.
- [27] C. Viegas, B. Alderman, J. Powell, H. Liu, H. Wang, and R. Sloan, "Millimeter wave radiometers for applications in imaging and non-destructive testing," *2015 8th UK, Eur. China Millim. Waves THz Technol. Work. UCMMT 2015*, pp. 3–6, 2016, doi: 10.1109/UCMMT.2015.7460610.
- [28] B. Thomas *et al.*, "Millimeter & sub-millimeter wave radiometer instruments for the next generation of polar orbiting meteorological satellites - MetOp-SG," *Int. Conf. Infrared, Millimeter, Terahertz Waves, IRMMW-THz*, pp. 5–7, 2014, doi: 10.1109/IRMMW-THz.2014.6956005.
- [29] EUMETSAT, "Metop-Second Generation," 2020. <https://www.eumetsat.int/metop-sg>.
- [30] J. C. A. Goncalves, "Développement de bancs de caractérisation pour la mesure de bruit et la détection de puissance entre 130 GHz et 260 GHz," Université de Lille, 2019.
- [31] R. O. Lane, "The Determination of Device Noise Parameters," *Proc. IEEE*, vol. 57, no. 8, pp. 1461–1462, 1969, doi: 10.1109/PROC.1969.7311.
- [32] S. Bouvot, "Contribution au BIST in-situ : Intégration sur silicium d'un banc de caractérisation en bruit en bande D," Université de Lille, 2018.
- [33] A. Van Der Ziel, "Thermal Noise in Field-Effect Transistors," *Proc. IRE*, pp. 1808–1812, 1962.
- [34] M. W. Pospieszalski, "Modeling of noise parameters of MESFET's and MODFET's and their frequency and temperature dependence," *IEEE MTT-S Int. Microw. Symp. Dig.*, vol. 1, pp. 385–388, 1989, doi: 10.1109/mwsym.1989.38745.
- [35] G. Dambine, H. Happy, F. Danneville, and A. Cappy, "A New Method for On Wafer Noise Measurement," *IEEE Trans. Microw. Theory Tech.*, vol. 41, no. 3, 1993.
- [36] R. Pucel, D. Massé, and R. Bera, "Performance of GaAs MESFET Mixers at X Band," *IEEE Trans. Microw. Theory Tech.*, 1976.
- [37] B. Carne, A. Cappy, R. FAuquembergue, E. Constant, and G. Salmer, "Noise Modeling in Submicrometer-Gate FET's," *IEEE Trans. Electron Devices*, vol. 28, no. 7, pp. 784–789, 1981, doi: 10.1109/T-ED.1981.20431.
- [38] Y. Ando and T. Itoh, "DC, Small-Signal, and Noise Modeling for Two-Dimensional Electron Gas Field-Effect Transistors Based on Accurate Charge-Control Characteristics," *IEEE Trans. Electron Devices*, vol. 37, no. 1, pp. 67–78, 1990, doi: 10.1109/16.43802.
- [39] B. Dormieu, "Modélisation compacte des transistors MOS nanométriques pour applications RF et millimétriques," Université de Lille, 2012.
- [40] H. J. Song and M. Yaita, "On-wafer noise measurement at 300 GHz Using UTC-PD as noise source," *IEEE Microw. Wirel. Components Lett.*, vol. 24, no. 8, pp. 578–580, 2014, doi: 10.1109/LMWC.2014.2324762.
- [41] B. Vidal, "Broadband Photonic Microwave Noise Sources," *IEEE Photonics Technol. Lett.*, vol. 32, no. 10, pp. 592–594, 2020, doi: 10.1109/LPT.2020.2986739.
- [42] E. Eichen, J. Schlafer, W. Rideout, and J. McCabe, "Wide-Bandwidth Receiver/Photodetector Frequency Response Measurements Using Amplified Spontaneous Emission from a Semiconductor Optical Amplifier," *J. Light. Technol.*, vol. 8, no. 6, pp. 912–916, 1990, doi: 10.1109/50.54509.
- [43] H. J. Song, N. Shimizu, T. Furuta, A. Wakatsuki, and T. Nagatuma, "Photonic generation of sub-terahertz noises and its application to spectroscopy measurement," *Proc. 38th Eur. Microw. Conf. EuMC 2008*, no. October, pp. 373–376, 2008, doi: 10.1109/EUMC.2008.4751466.
- [44] S. CEUVRARD, "Caractérisation d'une photodiode Germanium sur Silicium en vue d'une utilisation

- source de bruit intégrée TéraHertz,” *Lille1*, pp. 1–147, 2014.
- [45] P. P. Tong, N. G. Fernandez, J. M. Gladstone, and E. G. Cristal, “New Millimeter Wave Noise Sources With High Reliability,” *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 525–528, 1987, doi: 10.1109/mwsym.1987.1132450.
- [46] N. Ehsan, J. Piepmeier, M. Solly, S. Macmurphy, J. Lucey, and E. Wollack, “A robust waveguide millimeter-wave noise source,” *Eur. Microw. Week 2015 “Freedom Through Microwaves”, EuMW 2015 - Conf. Proceedings; 2015 45th Eur. Microw. Conf. Proceedings, EuMC*, pp. 853–856, 2015, doi: 10.1109/EuMC.2015.7345898.
- [47] J. C. A. Gonçalves *et al.*, “Millimeter-wave noise source development on SiGe BiCMOS 55-nm technology for applications up to 260 GHz,” *IEEE Trans. Microw. Theory Tech.*, vol. 67, no. 9, pp. 3732–3742, 2019, doi: 10.1109/TMTT.2019.2926289.
- [48] F. Alimenti, G. Simoncini, G. Brozzetti, D. Dal Maistro, and M. Tiebout, “Millimeter-wave avalanche noise sources based on p-i-n diodes in 130 nm SiGe BiCMOS technology: Device characterization and CAD modeling,” *IEEE Access*, vol. 8, pp. 178976–178990, 2020, doi: 10.1109/ACCESS.2020.3027384.
- [49] F. Alimenti, G. Tasselli, C. Botteron, P. A. Farine, and C. Enz, “Avalanche Microwave Noise Sources in Commercial 90-nm CMOS Technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 5, pp. 1409–1414, 2016, doi: 10.1109/TMTT.2016.2549522.
- [50] J. C. Azevedo Goncalves, “Développement de bancs de caractérisation pour la mesure de bruit et la détection de puissance entre 130 Hz et 320 GHz,” Université de Lille, 2019.
- [51] M. Deng *et al.*, “Millimeter-wave in situ tuner: An efficient solution to extract the noise parameters of SiGe TBHs in the whole 130-170 GHz range,” *IEEE Microw. Wirel. Components Lett.*, vol. 24, no. 9, pp. 649–651, 2014, doi: 10.1109/LMWC.2014.2331762.
- [52] M. W. Pospieszalski, “Interpreting Transistor Noise,” *IEEE Microw. Mag.*, no. August, pp. 59–71, 2010.
- [53] M. Deng, “Contribution à la caractérisation et la modélisation jusqu’à 325 GHz de transistors TBH des technologies BiCMOS,” 2014.
- [54] S. Bouvot *et al.*, “A 140 GHz to 160 GHz active impedance tuner for in-situ noise characterization in BiCMOS 55 nm,” *2017 IEEE Int. Symp. Radio-Frequency Integr. Technol. RFIT 2017*, pp. 153–155, 2017, doi: 10.1109/RFIT.2017.8048233.
- [55] R. W. L.-R. Zheng, H. Tenhunen, “Performance and cost trade-offs for SoC, SoP and 3-D integration,” 2012. <https://www.yumpu.com/en/document/view/22482689/3d-system%0A-soc-and-sop-kth>.
- [56] L. R. Zheng, X. Duo, M. Shen, W. Michielsen, and H. Tenhunen, “Cost and performance tradeoff analysis in radio and mixed-signal system-on-package design,” *IEEE Trans. Adv. Packag.*, vol. 27, no. 2, pp. 364–375, 2004, doi: 10.1109/TADVP.2004.828818.
- [57] R. R. Tummala, “SOP: What is it and why? A new microsystem-integration technology paradigm—Moore’s law for system integration of miniaturized convergent systems of the next decade,” *IEEE Trans. Adv. Packag.*, vol. 27, no. 2, pp. 241–249, 2004, doi: 10.1109/TADVP.2004.830354.
- [58] A. Gauthier, “Etude et Développement d’une Nouvelle Architecture de Transistor Bipolaire à Hétérojonction Si / SiGe Compatible avec la Technologie CMOS FD-SOI,” Université de Lille, 2019.
- [59] I. Abdo *et al.*, “A 300GHz wireless transceiver in 65nm CMOS for IEEE802.15.3d using push-push subharmonic mixer,” *IEEE MTT-S Int. Microw. Symp. Dig.*, vol. 2020-Augus, pp. 623–626, 2020, doi: 10.1109/IMS30576.2020.9224033.
- [60] N. Dolatsha *et al.*, “A compact 130GHz fully packaged point-to-point wireless system with 3D-printed 26dBi lens antenna achieving 12.5Gb/s at 1.55pJ/b/m,” *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 60, pp. 306–307, 2017, doi: 10.1109/ISSCC.2017.7870383.
- [61] S. Bouvot *et al.*, “A D-band passive receiver with 10 dB noise figure for in-situ noise characterization in BiCMOS 55 nm,” *SiRF 2017 - 2017 IEEE 17th Top. Meet. Silicon Monolith. Integr. Circuits RF Syst.*, pp. 107–110, 2017, doi: 10.1109/SIRF.2017.7874385.
- [62] Y. Lee, J. P. Becker, J. R. East, and L. P. B. Katehi, “Fully micromachined finite-ground coplanar line-to-waveguide transitions for W-band applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 3, pp. 1001–1007, 2004, doi: 10.1109/TMTT.2004.823580.
- [63] Y. Tikhov, J. W. Moon, Y. J. Kim, and Y. Sinelnikov, “Refined characterization of E-plane waveguide to microstrip transition for millimeter-wave applications,” *Asia-Pacific Microw. Conf. Proceedings, APMC*, p. 29, 2000, doi: 10.1109/apmc.2000.926043.

- [64] V. Hurm *et al.*, "GaAs microstrip-to-waveguide transition operating in the WR-1.5 waveguide band (500-750 GHz)," *Asia-Pacific Microw. Conf. Proceedings, APMC*, pp. 145–147, 2012, doi: 10.1109/APMC.2012.6421527.
- [65] A. U. Zaman, V. Vassilev, P. S. Kildal, and H. Zirath, "Millimeter Wave E-Plane Transition from Waveguide to Microstrip Line with Large Substrate Size Related to MMIC Integration," *IEEE Microw. Wirel. Components Lett.*, vol. 26, no. 7, pp. 481–483, 2016, doi: 10.1109/LMWC.2016.2574995.
- [66] E. S. Li, G. Tong, and D. C. Niu, "Full W-Band Waveguide-to-Microstrip Transition With New E-Plane Probe," *IEEE Microw. Wirel. Components Lett.*, vol. 23, no. 1, pp. 9–11, 2013.
- [67] C. Wang, Y. Yao, J. Wang, X. Cheng, J. Yu, and X. Chen, "A Wideband Contactless CPW to W - Band Waveguide Transition," *IEEE Microw. Wirel. Components Lett.*, vol. 29, no. 11, pp. 706–709, 2019, doi: 10.1109/LMWC.2019.2945242.
- [68] J. P. Becker, S. Member, Y. Lee, S. Member, J. R. East, and L. P. B. Katehi, "A Finite Ground Coplanar Line-to-Silicon Micromachined Waveguide Transition," vol. 49, no. 10, pp. 1671–1676, 2001.
- [69] Y. Lee, J. P. Becker, J. R. East, and L. P. B. Katehi, "A Micromachined Finite Coplanar Line-to-Silicon Micromachined Waveguide Transition For Millimeter and Submillimeter Wave Applications," *IEEE MTT-S Dig.*, pp. 1871–1874, 2002.
- [70] H. J. Song, H. Matsuzaki, and M. Yaita, "Sub-Millimeter and Terahertz-Wave Packaging for Large Chip-Width MMICs," *IEEE Microw. Wirel. Components Lett.*, vol. 26, no. 6, pp. 422–424, 2016, doi: 10.1109/LMWC.2016.2537789.
- [71] C. Guo *et al.*, "A 3-D Printed E -Plane Waveguide Magic-T Using Air-Filled Coax-to-Waveguide Transitions," *IEEE Trans. Microw. Theory Tech.*, vol. 67, no. 12, pp. 4984–4994, 2019.
- [72] J. Li *et al.*, "A Full X - Band Fully 3 - D Printed E - Plane Rectangular - Coax - to - Waveguide Transition," *IEEE MTT-S Dig.*, pp. 2019–2022, 2019.
- [73] D. Gu, X. Lu, and R. Ginley, "Efficient Rectangular Waveguide-To-Stripline Transition in D-Band," *IEEE Microw. Wirel. Components Lett.*, vol. 27, no. 8, pp. 688–690, 2017, doi: 10.1109/LMWC.2017.2723941.
- [74] H. A. Diawuo and Y. B. Jung, "Waveguide-to-stripline transition design in millimeter-wave band for 5g mobile communication," *IEEE Trans. Antennas Propag.*, vol. 66, no. 10, pp. 5586–5589, 2018, doi: 10.1109/TAP.2018.2854364.
- [75] G. A. Kumar and D. R. Poddar, "Broadband Rectangular Waveguide to Suspended Stripline Transition Using Dendritic Structure," *IEEE Microw. Wirel. Components Lett.*, vol. 26, no. 11, pp. 900–902, 2016, doi: 10.1109/LMWC.2016.2615009.
- [76] S. Lei, Y. X. Guo, and L. C. Ong, "CPW to stripline transitions in LTCC for millimeter-wave applications," *Asia-Pacific Microw. Conf. Proceedings, APMC*, vol. 2, pp. 20–22, 2005, doi: 10.1109/APMC.2005.1606430.
- [77] Z. Li, K. Xu, N. Chordas-Ewell, D. Ren, J. H. Choi, and R. Wu, "Via-Less Waveguide-to-Stripline Transition Using 2D Electromagnetic Bandgap Structure," *2020 50th Eur. Microw. Conf. EuMC 2020*, no. January, pp. 57–60, 2021, doi: 10.23919/EuMC48046.2021.9338057.
- [78] S. Bulja, D. Mirshekar-Syahkal, and M. Yazdanpanahi, "Novel wide-band transition between Finite Ground Coplanar Waveguide (FGCPW) and balanced stripline," *Eur. Microw. Week 2009, EuMW 2009 Sci. Prog. Qual. Radiofreq. Conf. Proc. - 4th Eur. Microw. Integr. Circuits Conf. EuMIC 2009*, no. September, pp. 301–303, 2009.
- [79] J. Guo, J. Xu, Y. Cui, Z. Xu, and C. Qian, "Q-band Waveguide-to-Suspended-Stripline Transition with DC/IF Return Path," *Proc. Asia-Pacific Microw. Conf.*, pp. 6–8, 2014.
- [80] B. Glance and R. Trambarulo, "A Waveguide to Suspended Stripline Transition," *IEEE Trans. Microw. Theory Tech.*, vol. 21, no. 2, pp. 117–118, 1973, doi: 10.1109/TMTT.1973.1127938.
- [81] R. Głogowski, J. F. Zürcher, C. Peixeiro, and J. R. Mosig, "Ka-band Rectangular Waveguide to Suspended Stripline Transition," *IEEE Microw. Wirel. Components Lett.*, vol. 23, no. 11, pp. 575–577, 2013, doi: 10.1109/LMWC.2013.2281408.

Chapitre 2 : Développements sur silicium de circuits dédiés à la caractérisation en bruit

Ce chapitre a pour objectif de présenter l'ensemble des conceptions de circuits silicium de cette thèse, à la fois pour de la mesure sous pointes mais aussi pour des fonctions mises en boîtier. L'objectif de cette thèse étant surtout l'intégration dans des boîtiers de fonctions utiles à de la mesure en bruit, certains circuits ont été repris de travaux existants pour les adapter à une mise en boîtier ou menés en parallèle à ceux-ci.

Le développement de ces circuits a suivi un ordre logique et une complexité croissante pour se rapprocher de l'objectif final : caractériser un transistor bipolaire en bande G à l'aide d'une source de bruit active multi-impédance en boîtier.

Une présentation de la technologie BiCMOS 55nm de STMicroelectronics sera faite, puis l'adaptation d'un design de source de bruit *standalone* en configuration flip-chip aux nouvelles exigences du DRM⁸ sera montrée. Une présentation d'un DOE de diodes en configuration 2 ports proposant de nouvelles règles de dessins utilisées en tant que sources de bruit sera détaillée. Enfin, une présentation des conceptions de source de bruit amplifiée et de source de bruit amplifiée avec tuner d'impédances sera faite.

II.1 Source de bruit active pour caractérisation multi-impédances entre 130 et 260 GHz

II.1.1 Présentation de la technologie B55

La technologie BiCMOS 55 nm (B55) de STMicroelectronics se situe dans une lignée de technologies silicium destinées à servir de nombreuses applications liées à la RF. La constante montée en fréquence pour adresser des marchés toujours plus exigeants en termes de bande-passante (cf. Chapitre 1) est une conséquence des moyens déployés pour réaliser des transistors bipolaires ayant des longueurs d'émetteur de plus en plus faibles. La génération actuelle présente des longueurs d'émetteur de 55 nm et donne son nom à la technologie B55. Au sein de ce même nœud, la technologie BiCMOS 55X est celle qui retient l'attention aujourd'hui des technologues de STMicroelectronics pour adresser des applications liées au contexte 5G et 6G.

⁸ L'acronyme *DRM* désigne le *Design Rule Manual*, document qui rassemble l'ensemble des règles de dessin, codées dans le *Design Kit* (DK) utilisé par les designers lors de la conception et permettant un contrôle automatique à l'aide d'un *Design Rule Check* (DRC).

DRM peut également désigner le *Design Rule Manager*, personne en charge de discuter les règles de dessin de la technologie utilisée par les designers. Ces règles, qui sont amenées à être révisées avec la montée en maturité de la technologie, symbolisent les limites de fabrication de la technologie.

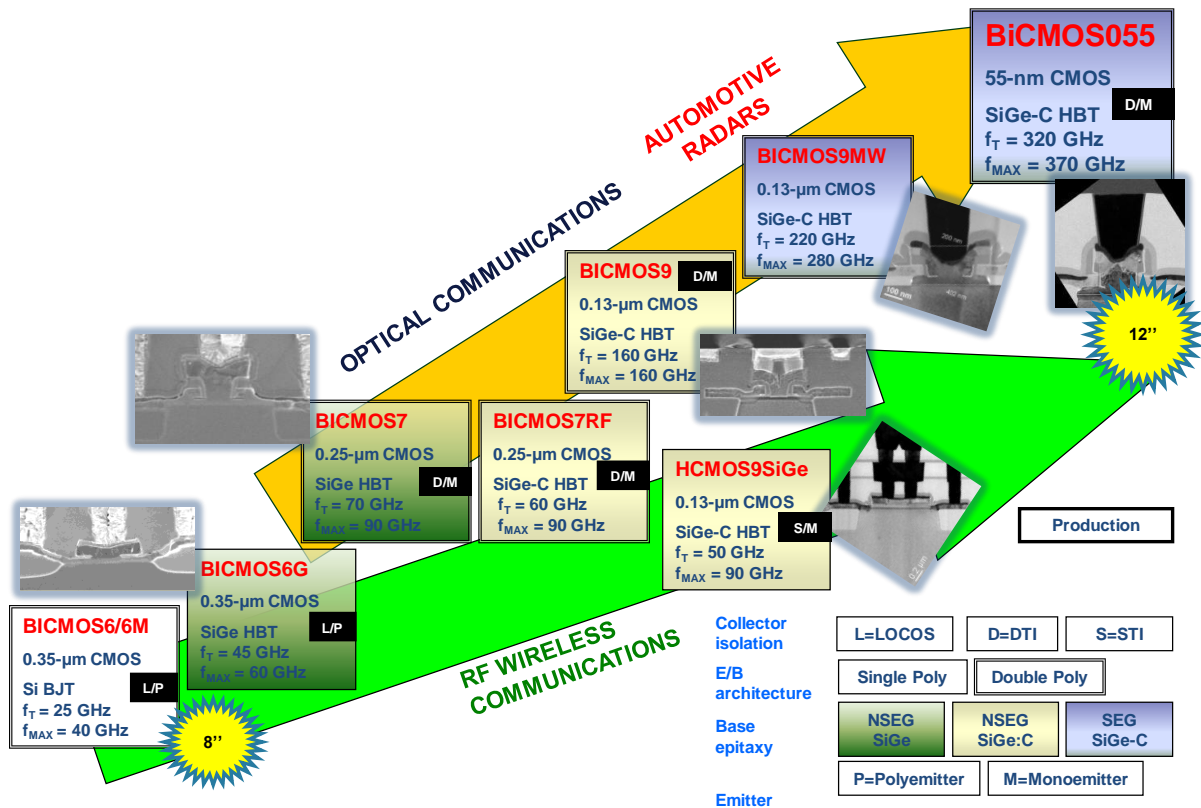


Figure 31 : Vision globale des applications liées aux différentes générations des technologies BiCMOS sous propriété STMicroelectronics.

II.1.1.1 Présentation du Backend Of Line (BEOL)

La technologie B55 de STMicroelectronics est composée de deux parties distinctes : le *Backend Of Line* (BEOL) et le *Frontend Of Line* (FEOL). Le BEOL joue le rôle d'interface entre le FEOL et les pointes de mesure reliées aux différents appareils de test et fait également la liaison entre la puce Silicium et le boîtier. En B55, le BEOL est constitué de 8 niveaux de métallisation en cuivre⁹ (8ML), dont l'épaisseur varie. Les niveaux de métaux les plus bas (M1 à M5) sont les plus fins et les moins espacés verticalement. Les niveaux intermédiaires M6 et M7 ont une épaisseur plus importante, le dernier niveau de métallisation M8 est le plus épais. Pour réaliser les zones de contact entre le silicium et les pointes de mesure, des plages d'alucap (Aluminium) sont réalisées par dépôt PVD (évaporation ou pulvérisation cathodique) de matériaux conducteurs, ou par croissance épitaxiale de silicium polycristallin pour les interconnexions de courte distance. Ces plages sont encapsulées dans une épaisseur de passivation. Des ouvertures dans la couche de passivation sont faites pour garantir un contact électrique avec les pointes de mesure. Cette architecture multicouche permet d'organiser le routage des signaux dans un empilement de cuivre conducteur entouré d'oxyde de silicium SiO₂. Ce matériau a la particularité de réduire les éventuels couplages capacitifs entre colonnes de conducteurs de par sa faible constante diélectrique ($\epsilon_{SiO_2} = 4$). L'oxyde de silicium s'obtient par oxydation sèche ou humide. L'oxyde sec s'obtient par oxydation thermique du silicium sous atmosphère d'O₂, à des températures comprises entre 900°C et 1100°C. De cette manière, il est possible d'obtenir un

⁹ Le nombre de niveaux de métallisations de la partie BEOL est variable, cette souplesse permet à STMicroelectronics de proposer des technologies à coûts adaptables en fonction des besoins clients, bien que la partie la plus coûteuse d'un point de vue process et matériaux utilisés soit constituée par le FEOL.

isolant de très bonne qualité électrique mais de croissance lente réservée aux couches minces. L'oxyde humide est obtenu sous atmosphère de vapeur d'eau et présente une croissance plus rapide, mais une qualité électrique moindre. Il est réservé à la réalisation de couches épaisses isolant les régions actives du semi-conducteur des interconnexions. Les connections entre les différents niveaux de cuivre se font par des matrices de via dont la densité est dictée par un ensemble de règles de process. Le contact entre le FEOL et le niveau M1 du BEOL se fait par un morceau de tungstène (CO). Le contact entre le métal M8 du BEOL et la couche d'aluminium (AP) se fait par un via spécifique appelé CB. La hauteur du stack métallique du BEOL permet d'utiliser la technologie B55 pour réaliser des inductances, des lignes de transmission et des capacités performantes plus spécifiquement aux fréquences millimétriques. Usuellement, le signal RF est routé dans le niveau M8 tandis que le retour de masse se fait dans les niveaux de métaux inférieurs. La Figure 32 ci-dessous est un schéma simplifié du BEOL de la technologie B55.

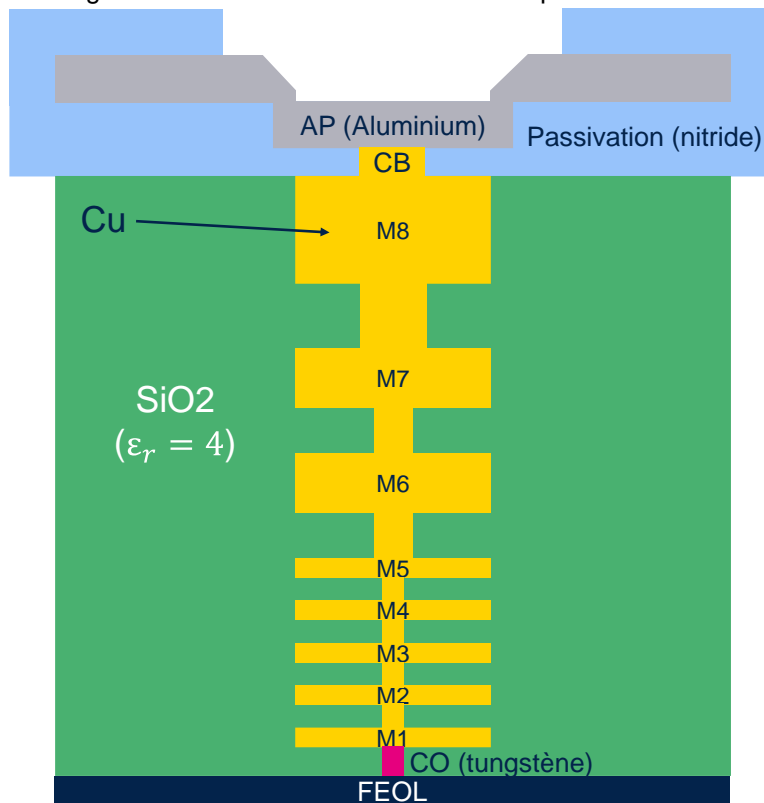


Figure 32 : Vue schématique du BEOL de la technologie B55 8ML

II. 1. 1.2 Présentation du Frontend Of Line (FEOL)

Le FEOL est la zone du silicium qui contient les régions dopées et des implants. Ces zones servent à définir les fonctions propres des composants actifs à l'instar des diodes et transistors. Pour les équipes travaillant sur le développement des procédés de fabrication des technologies silicium, le FEOL désigne l'ensemble des étapes de fabrication réalisées pour les transistors. Pour réaliser des zones de semi-conducteur avec un dopage, une nature et une épaisseur variables, plusieurs techniques existent. Parmi elles, il est possible de citer la diffusion de dopants, l'implantation ionique et l'épitaxie. Le procédé de diffusion de dopants est le plus répandu pour obtenir une jonction. Ce procédé s'effectue à haute température (environ 1200°C) afin de permettre aux atomes d'impureté dopantes, tels que l'arsenic, de les faire pénétrer dans le réseau

cristallin du silicium. La durée de diffusion peut atteindre plusieurs dizaines de minutes pour une profondeur de quelques microns. L'implantation ionique consiste à accélérer des ions dopants et à les projeter en surface du substrat. Cette technique rend possible de forts dopages très peu profonds, difficilement réalisables par diffusion. Les ions sont stoppés par chocs sur les atomes du réseau cristallin, il est nécessaire d'effectuer un recuit rapide pour réarranger les atomes du cristal et les atomes dopants. Ce procédé est plus rapide que la technique de diffusion. L'épitaxie consiste à faire croître sur un substrat une couche de semi-conducteur. Pour ce faire, deux techniques sont utilisées : le dépôt par réaction chimique en phase vapeur (CVD) et le dépôt par évaporation ou projection moléculaire (PVD). [1]

D'un point de vue historique, les technologies BiCMOS ont été mises en concurrence avec les technologies CMOS principalement pour des aspects financiers et de performances RF.

Un des avantages de la technologie BiCMOS est qu'elle bénéficie d'implantations spécifiques liées aux besoins du transistor bipolaire tout en gardant les avantages de la technologie CMOS. STMicroelectronics est pionnière dans le développement de technologies BiCMOS dans un nœud technologique CMOS 55 nm et améliore plusieurs aspects du transistor bipolaire dans le cadre du développement de la technologie BiCMOS55X, à savoir :

- Développement d'une nouvelle architecture de TBH
- Optimisation du profil vertical du transistor bipolaire afin de diminuer le temps de transit vertical et augmenter la fréquence de transition f_T .
- Travail sur la fiabilité de la fabrication du collecteur

Ces améliorations visent à augmenter les valeurs de fréquences limites constituant les deux figures de mérite RF dynamiques principales des TBH, à savoir f_{max} et f_T . Ces paramètres seront développés dans le paragraphe suivant pour le transistor bipolaire.

II.1.1.3 Présentation des composants utilisés, performances et modèles associés

Ce paragraphe donne une vision d'ensemble des composants utilisés au cours de la conception des circuits réalisés en technologie B55.

Le concept du TBH a été introduit par Shockley en 1948. Si l'idée avait été introduite, la réalisation pratique n'aurait pu se faire à cause des limitations des moyens de fabrication disponibles à cette époque. De nos jours, les techniques d'épitaxie telles que la MBE (Molecular Beam Epitaxie) ou la MOVPE (Metal Organic Vapor Phase Epitaxie) permettent de générer des couches dont l'épaisseur et le dopage sont contrôlés de manière très fine sur des substrats de grande taille. Le TBH est basé sur la structure classique du transistor bipolaire à jonctions (TBJ) dans laquelle la jonction émetteur-base est remplacée par une hétérojonction. L'amélioration des performances du TBH par rapport au TBJ est à l'hétérojonction ; qui permet de présenter aux trous une barrière de potentielle plus élevée qu'aux électrons. Ceci se traduit par une meilleure efficacité d'injection de l'émetteur, autorisant un surdopage de la base, ce qui contribue à diminuer la résistance de base parasite associée. La structuration verticale procure au TBH une bonne isolation des jonctions de la surface ainsi que des interfaces avec le substrat. La figure suivante est une vue TEM en coupe d'un transistor bipolaire organisé selon une structure verticale classique et une vue layout d'une topologie de transistor NPNVHS utilisé au cours de cette thèse.

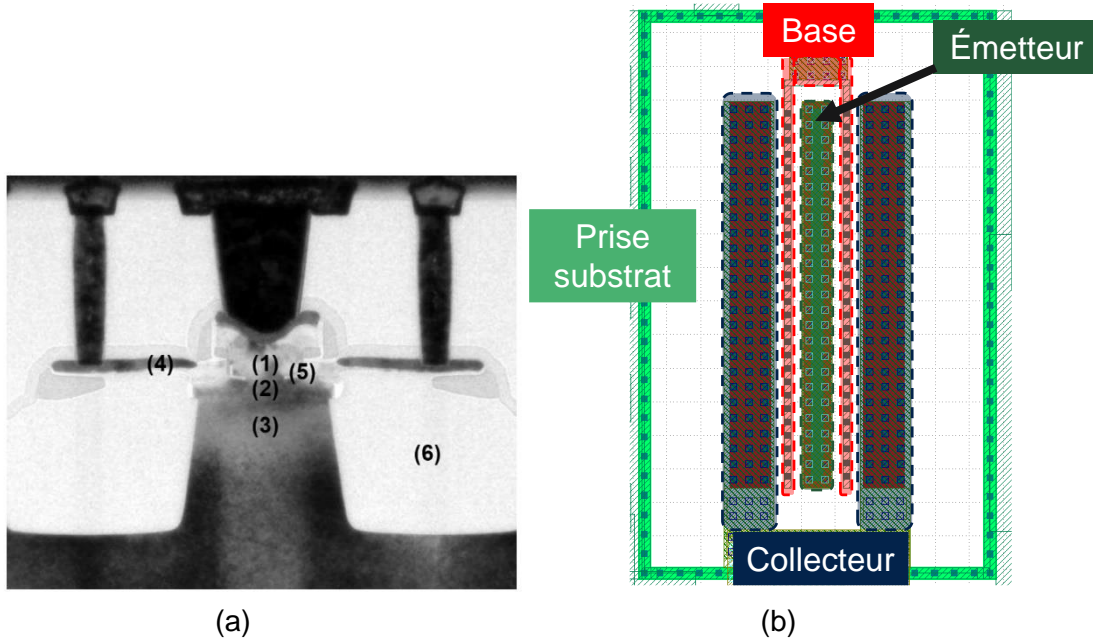


Figure 33 (a) : Imagerie TEM d'un transistor bipolaire. (1) : Emetteur. (2) : Base intrinsèque en SiGe. (3) : Collecteur. (5) : Espaceurs internes. (6) : STI [2]. (b) : Vue CAD layout d'un transistor NPNVHS de topologie Nx(CBEB)-C en technologie SiGe BiCMOS 55 nm

Plusieurs paramètres clés sont étudiés lors de l'utilisation de transistors TBH en RF.

La fréquence de transition est directement liée au temps de transit du TBH. Ce temps de transition correspond à la faculté à faire transiter les porteurs de l'émetteur vers le collecteur. Un TBH ayant un f_T élevé aura une consommation plus faible pour un gain donné et une plage de fréquences de fonctionnement plus élevée¹⁰. Ce paramètre est extrait à partir du gain en courant petit signal h_{21} comme illustré sur la Figure 34 ci-dessous :

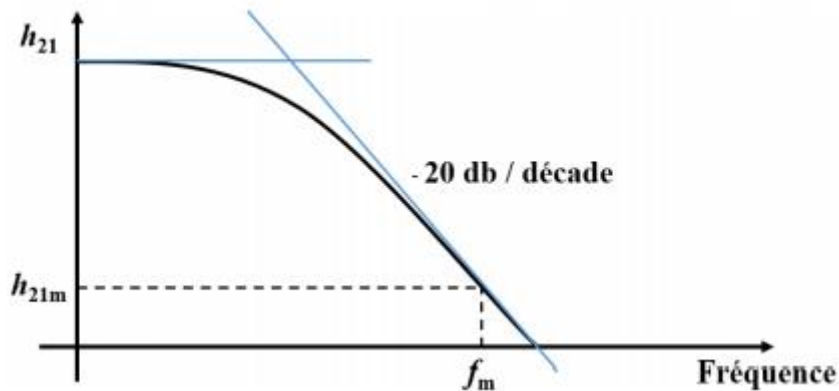


Figure 34 : Méthode d'extraction de la fréquence de transition à partir du gain en courant en petit signal [2]

La fréquence de transition peut alors être définie par la relation :

¹⁰ Il est illusoire de souhaiter concevoir des circuits fonctionnant à des fréquences qui excèdent la f_T des TBH du circuit.

$$f_T = h_{21m} f_m \quad (1)$$

Ce paramètre peut également être exprimé à l'aide du schéma équivalent d'un TBH, dans lequel les effets jonction base-collecteur et base-émetteur sont modélisées par des capacités, comme illustré ci-dessous. La recherche d'un modèle équivalent linéaire universel et fiable est un sujet d'actualité et commun à plusieurs composants RF. Pour être complet, le modèle du TBH doit inclure d'une part les éléments parasites du composant qui permettent d'expliquer ses performances dynamiques et d'autre part les phénomènes physiques secondaires qui modifient les caractéristiques du composant. Les éléments parasites sont en grande partie liés aux régions neutres du composant, qui induisent des résistances parasites. En particulier, la résistance de base R_B est responsable de la dégradation des performances RF du composant. Le schéma équivalent distingue alors la partie intrinsèque de la partie extrinsèque du composant tenant compte des parasites liés aux accès à la base, à l'émetteur et au collecteur. Pour déterminer les potentiels appliqués à la partie intrinsèque du composant, il est important de prendre en compte les pertes ohmiques introduites par ces accès.

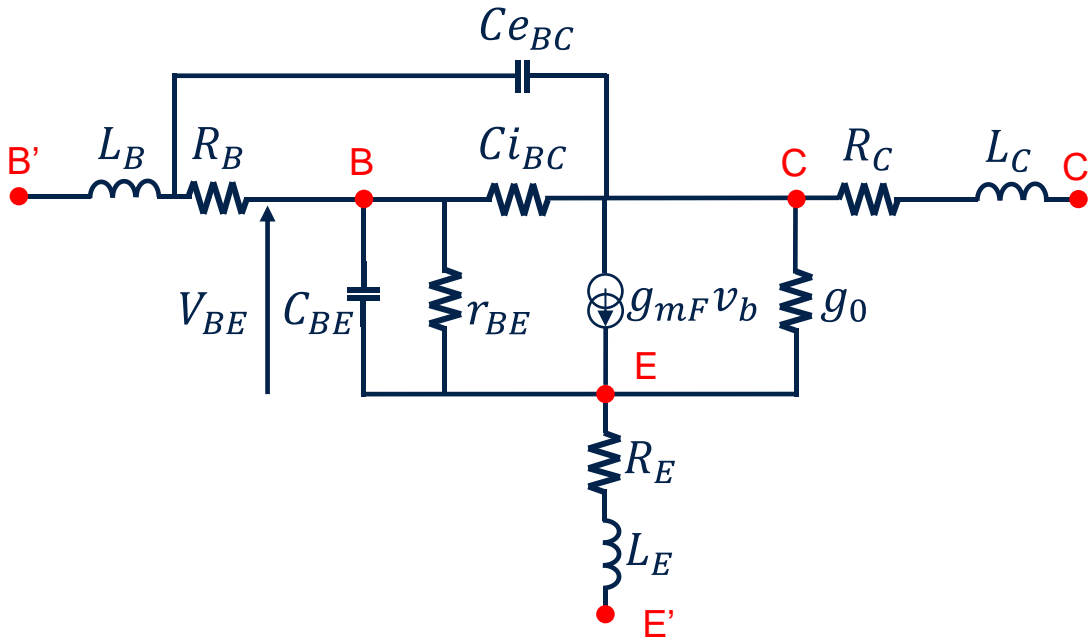


Figure 35 : Schéma équivalent linéaire petit signal du TBH. L_B, L_C, L_E sont les inductances d'accès de base, de collecteur, d'émetteur. R_B, R_C, R_E sont les résistances parasites de base, de collecteur et d'émetteur. Ce schéma prend en compte les parasites intrinsèques et extrinsèques du composant.

Avec g_{mF} la transconductance du transistor définie telle que

$$g_{mF} = \frac{dI_C}{dV_{BE}} \approx \frac{q}{n_F k T} I_C \quad (2)$$

Avec n_F un coefficient d'idéalité, k la constante de Boltzman, T la température physique de la jonction base-émetteur, I_C le courant de collecteur. C_{eBC} et C_{iBC} désignent respectivement les capacités extrinsèques et

intrinsèques de la jonction base-collecteur, g_0 est la conductance de sortie, r_{BE} est la résistance dynamique de la diode base-émetteur, telle que

$$r_{BE} = \frac{dV_{BE}}{dI_B} \quad (3)$$

Avec V_{BE} le potentiel base-émetteur, I_B le courant de base.

De plus,

$$g_0 = \frac{dI_C}{dV_{CE}} \quad (4)$$

Avec I_C le courant de collecteur et V_{CE} le potentiel collecteur-émetteur.

Dès lors, l'expression de f_T s'écrit :

$$f_T = \frac{1}{2\pi(\tau_F + (R_c + R_E)C_{i_{BC}} + \frac{kT}{qI_C}(C_{i_{BC}} + C_{BE}))} \quad (5)$$

Avec k la constante de Boltzmann, q la charge électrique élémentaire, T la température et τ_F le temps de transit en direct, i.e. lorsque le TBH fonctionne normalement.

Cette fréquence de transition peut être obtenue à partir d'une mesure en paramètres S du transistor, en passant par la matrice hybride associée. Lorsque le gain dynamique du transistor h_{21} est égal à 0dB en condition de court-circuit en sortie, i.e. pour $v_{ce} = 0 V$, l'extraction de f_T est faisable. Pour donner un sens physique à cette expression, il est possible de l'interpréter comme la somme des éléments parasites du transistor contribuant à retarder le transfert des électrons entre l'émetteur et le collecteur.

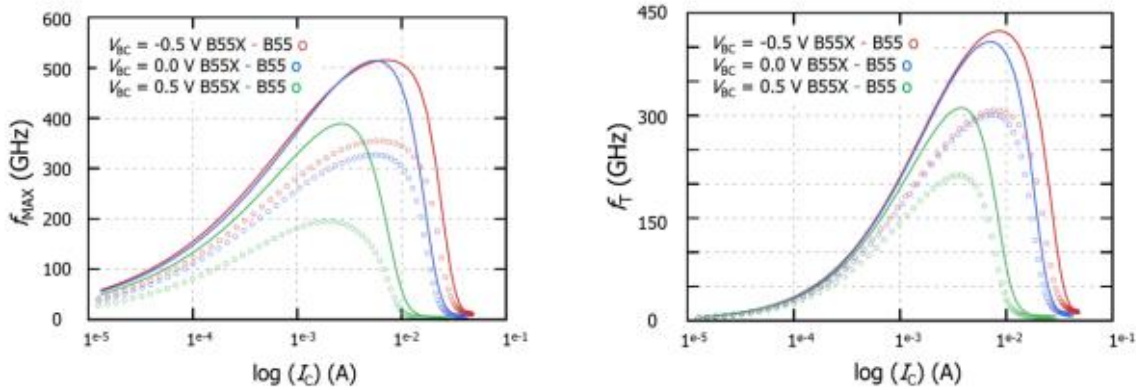


Figure 6 : Comparaison des performances fréquentielles des TBH en technologies BiCMOS55X (B55X) et BiCMOS55 (B55) obtenues par simulations TCAD pour une largeur et une longueur d'émetteur de 0.2 μm et 5 μm respectivement en topologie Nx(CBEB)-C. [2]

L'autre figure de mérite d'intérêt pour le transistor est la fréquence maximale d'oscillation, notée f_{max} . Cette fréquence est obtenue lorsque le gain en puissance en émetteur commun U , ou gain de Mason, vaut 0 dB et est définie par :

$$f_{max} = \sqrt{U} f_m \quad (6)$$

La méthode d'extraction graphique est donnée sur la Figure 36 ci-dessous :

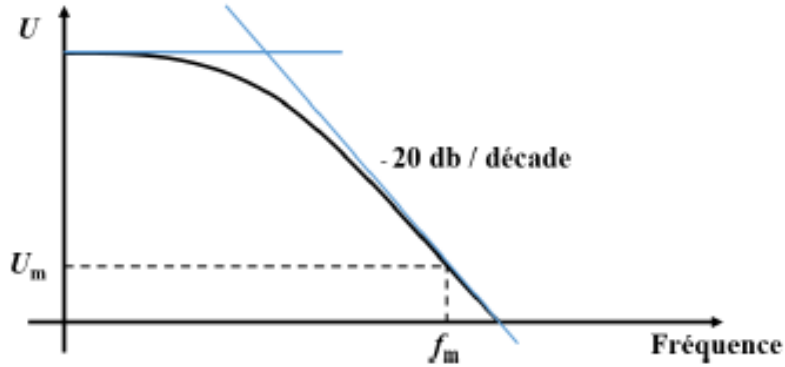


Figure 36 : Méthode d'extraction de f_{max} en fonction du gain de Mason U

Une relation lie ces deux figures de mérite au travers de la résistance de base R_B et de la capacité de jonction base-collecteur C_{BC} :

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (7)$$

La résistance de base peut être diminuée en jouant sur le dopage de la base et sa géométrie. La capacité C_{BC} dépend quant à elle de la topologie du collecteur et de son dopage.

Le modèle utilisé dans les simulations de schémas de circuits faisant intervenir le transistor NPNVHS du DK B55 est le modèle HICUM Level 2. Ce schéma prend en compte l'ensemble des phénomènes physiques en jeu au sein du TBH. Il permet de couvrir les parasites capacitifs liés aux jonctions base-émetteur, base-collecteur et collecteur-substrat, les effets tunnel au sein de la jonction base-émetteur, la résistance série équivalent ainsi que le bruit en basse fréquence et en RF. Le schéma associé à cette modélisation est donné sur la figure ci-après. Ce modèle est plus complet que celui présenté dans le secteur académique (cf. Figure 35).

- C_{SU} et R_{SU} modélisent les effets résistifs et capacitifs du substrat.
- La base intrinsèque est modélisée par R_{Bi} et C_{RBi}
- La jonction base-collecteur est modélisée par le réseau constitué de $R_{\mu i}$, $C_{\mu i}$ et $R_{\mu x}$, $C_{\mu x}$ d'un point de vue extrinsèque au transistor
- La jonction base-émetteur est modélisée par $R_{\pi i}$, $C_{\pi i}$ et $R_{\pi x}$, $C_{\pi x}$ d'un point de vue extrinsèque au transistor
- L'accès au substrat par le collecteur est modélisé par C_{CS}

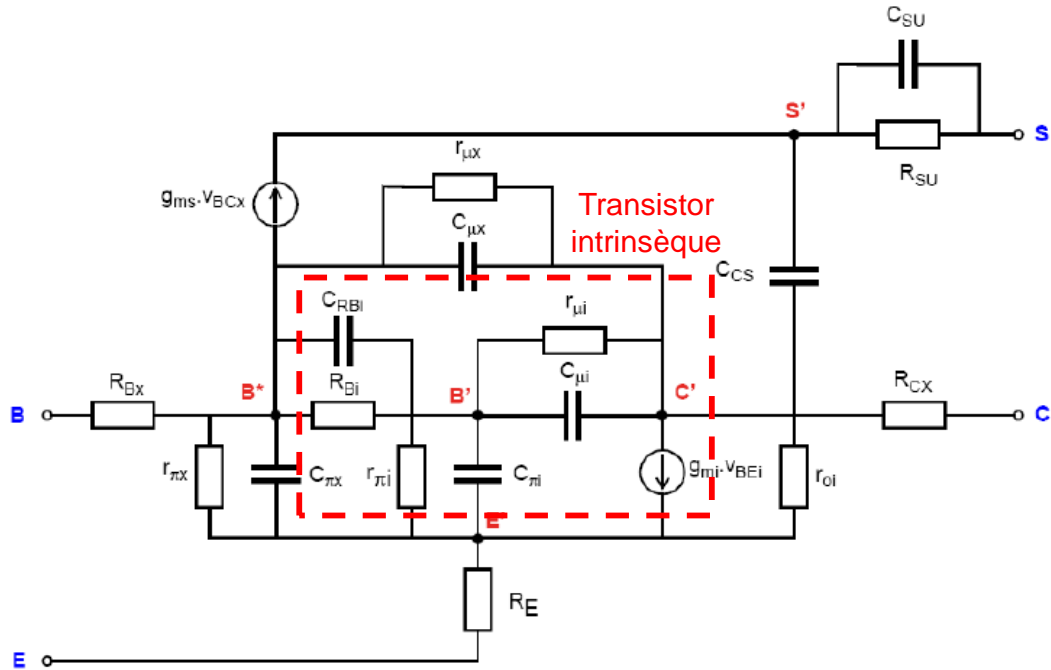


Figure 37 : Schéma équivalent d'un transistor bipolaire NPNVHS en technologie SiGe BiCMOS 55 nm selon le modèle HICUM Level 2. Issu d'une communication interne à STMicroelectronics.

Cette thèse ayant pour objectif de développer des circuits en boîtier dans une bande de fréquence allant de 130 GHz à 260 GHz, il a été nécessaire d'optimiser une structure de plot RF permettant de caractériser au préalable les circuits *on wafer*. Ces plots doivent être capables d'accueillir des sondes ayant un espacement de 100 μm en bande G et de 50 μm pour la bande J. Au cours de sa thèse, Joao Carlos Azevedo Goncalves a optimisé un plot RF en ouvrant le plan métallique situé sous le plot signal afin de diminuer au maximum la capacité parasite du plot [3]. En effet, lors des étapes de *de-embedding*, le retrait des structures environnantes du DST peut générer des incertitudes liées aux calculs associés aux différentes méthodes d'épluchages. Plus les parasites à retirer sont importants, plus l'erreur faite lors du *de-embedding* est susceptible d'être grande. Le plot développé lors de cette thèse suit la même logique d'optimisation des parasites : le plan de métal M1 a été retiré sous le plot de signal et une alternance entre tranchées hautement résistives de type PW *block*¹¹ et isolantes de type BDTI¹² ont été placées sous le plot de signal. En outre, une zone de RPO *drawing*, délimitant une non-siliciuration des *tiles*¹³ de métaux susceptibles d'être générés sous le plot de signal a été dessinée. En effet, les règles de dessin de la technologie B55 évoluant avec la montée en maturité de celle-ci, il fut nécessaire de laisser la génération de zones métalliques non connectées entre elles afin de remplir les critères de densités locales. Une vue 3D du plot dessiné est donnée en Figure 9.

¹¹ : Le terme PW *block* désigne une zone du *frontend* qui ne reçoit pas d'implants NWELL ou PWELL. Une zone de PW *block* permet de restreindre le dopage de type P dans des zones en profondeur du *frontend*.

¹² : *Buried Deep Trench Isolation*. Délimite des tranchées isolantes, utilisées notamment pour séparer électriquement l'anode de la cathode, ou pour isoler le *frontend* d'un transistor bipolaire de parasites liés au substrat silicium.

¹³ : Le terme *tiles* désigne des zones de métaux générées automatiquement par des outils mis à la disposition du *designer* lors de la conception de circuits. Cette étape de *tiling* intervient en fin de conception et sert à garantir le respect des règles de densité surfaciques de métaux et couches actives. Ces règles sont critiques pour garantir la fabricabilité des circuits permettent de figer un rationnel sur le risque *process*. La gestion de ces *tiles* constitue un défi en soit, puisqu'ils sont susceptibles de générer des contributions parasites en particulier aux fréquences mmW.

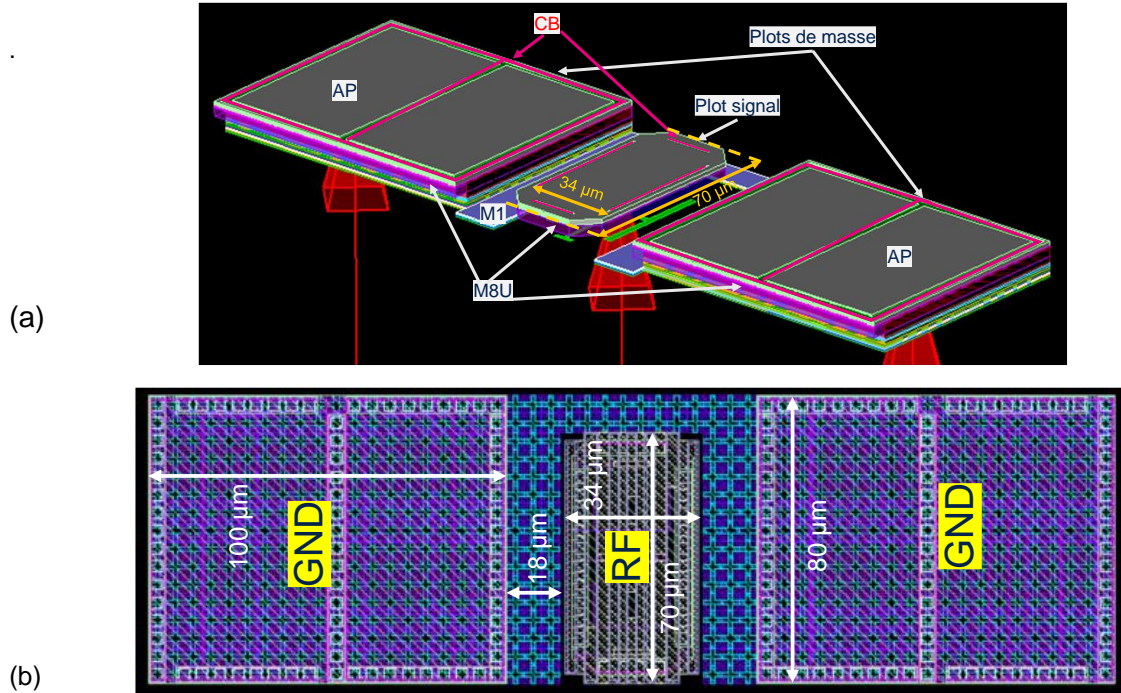


Figure 38 : (a) : Vue 3D layout du plot RF hybride bande G et bande J. (b) : Vue layout du plot RF avec les ports d'excitation utilisés pour les simulations EM Momentum.

L'espacement entre le plot de signal et le plot de masse est de 18 μm (dimensions layout). La longueur de 70 μm *layout*¹⁴ a été choisie en concertation avec l'équipe caractérisation. En général, la distance d'*overdrive*¹⁵ des sondes RF recommandée est de 50 μm . Il est entendu qu'un compromis est à trouver entre surface de plot signal et capacité parasite. De plus, des considérations de planéité de surface des plots ont été menées en parallèle. En effet, la connexion électrique entre le métal M8U et l'alucap (AP) se fait par des vias CB. Ces vias induisent des creux à la surface de l'AP. Il faut pouvoir garantir une surface plane d'AP pour le posé de pointes sans impacter le chemin résistif à travers le plot.

La configuration retenue représentée ci-dessus permet d'atteindre ce compromis. Les excitations utilisées lors des simulations électromagnétiques avec Momentum sont représentées par les 3 flèches rouges. Ces excitations ont été faites au niveau de l'AP afin de prendre en compte l'ensemble de l'empilement de métaux et d'oxyde.

Des mesures de structures *PAD OPEN* et *PAD SHORT* ont permis d'extraire les principaux parasites de ces plots, à savoir la capacité parasite C_{plot} , l'inductance parasite L_{plot} et la résistance parasite du plot R_{plot} en utilisant les équations (5) à (10). L'inductance parasite s'extrait à partir de la mesure de la structure *PAD SHORT*, tandis que la capacité et la résistance parasite sont obtenues à partir de la mesure *PAD OPEN*.

$$C_{plotgauche} = \text{Im}\left(\frac{Y_{11}+Y_{12}}{\omega}\right) \quad (5)$$

¹⁴ : Soit 63 μm en longueur physique réelle, après application du facteur optique de 0.9 pour la technologie BiCMOS 55nm.

¹⁵ : Il s'agit de la distance que la sonde RF parcourt après mise en contact des pointes avec le plot. Cela induit une marque à la surface du plot et permet de garantir une qualité de posé.

$$L_{plotgauche} = \text{Im}\left(\frac{Z_{11}-Z_{12}}{\omega}\right) \quad (6)$$

$$R_{plotgauche} = \text{Re}\left(\frac{1}{Y_{11}+Y_{12}}\right) \quad (7)$$

Par symétrie, pour le plot de droite :

$$C_{plotdroite} = \text{Im}\left(\frac{Y_{22}+Y_{21}}{\omega}\right) \quad (8)$$

$$L_{plotdroite} = \text{Im}\left(\frac{Z_{22}-Z_{21}}{\omega}\right) \quad (9)$$

$$R_{plotdroite} = \text{Re}\left(\frac{1}{Y_{22}+Y_{21}}\right) \quad (10)$$

Ces paramètres $Y_{11}, Y_{12}, Y_{22}, Z_{11}, Z_{12}, Z_{22}$ sont extraits à partir du schéma équivalent en T et en π représentés sur la Figure 39 ci-dessous :

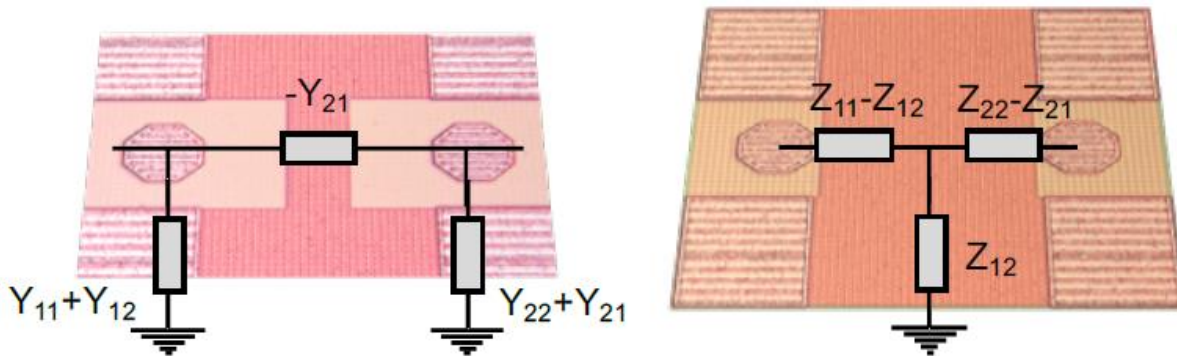
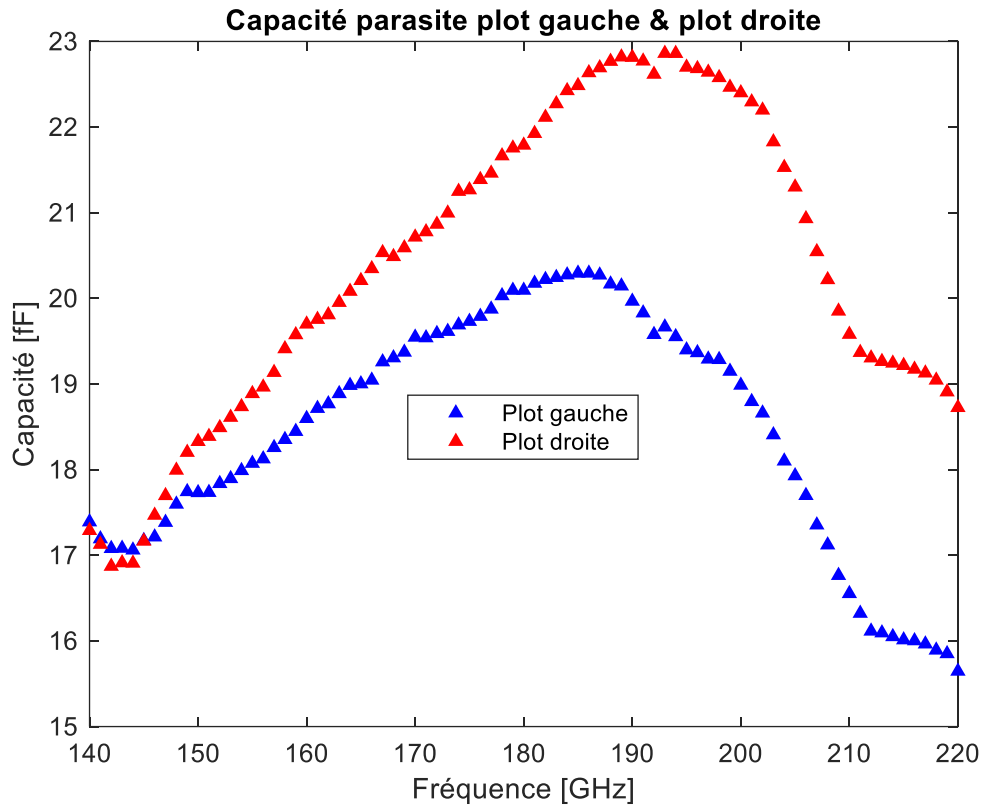
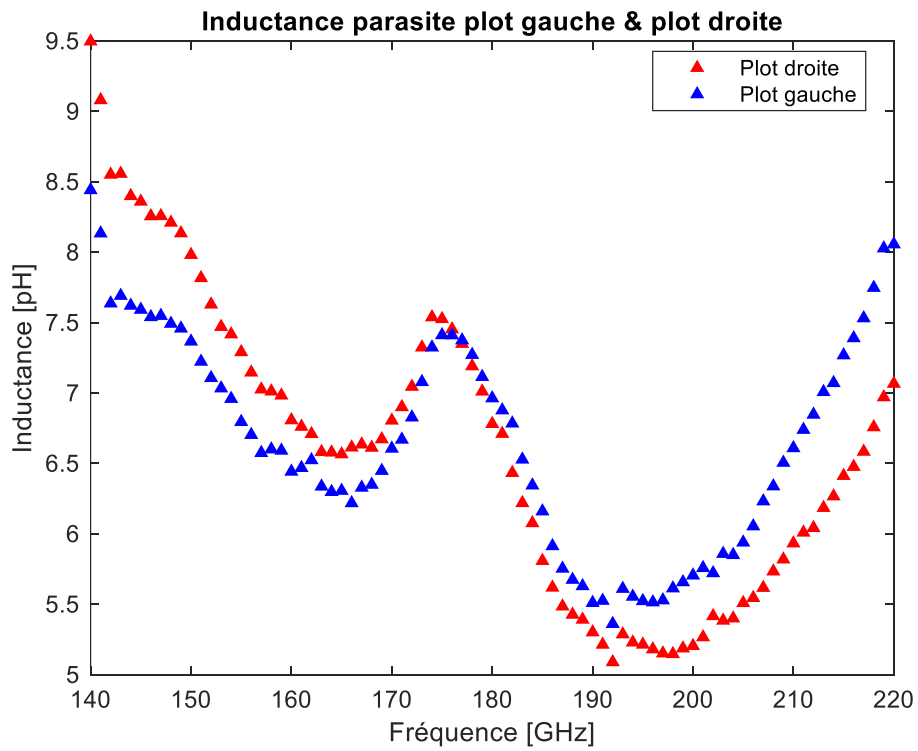


Figure 39 : Schémas équivalents en T et en π des plots RF. [4]

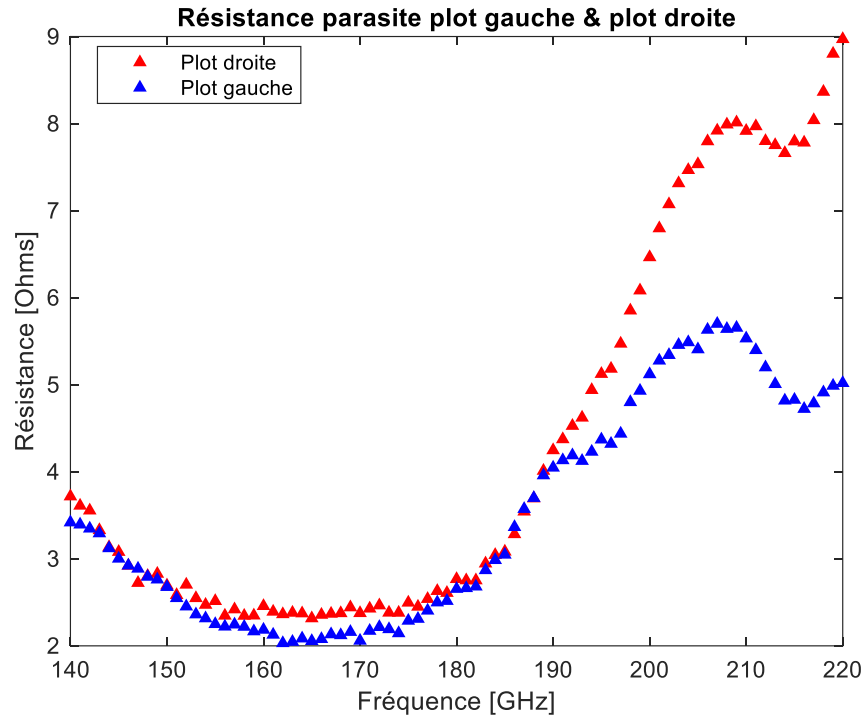
L'expression de R_{plot} se base sur le schéma en Pi et fait intervenir la résistance du substrat
 Les résultats expérimentaux obtenus à partir de mesures en paramètres S en bande G sont donnés ci-après.



(a)



(b)



(c)

Figure 40 : Eléments parasites des plots RF extraits en bande G. (a) : Capacité parasite. (b) : Inductance parasite. (c) : Résistance parasite.

Une dissymétrie entre les plots gauche et droite est particulièrement observable pour les valeurs de capacité extraites. Lors du *layout*, un soin particulier a été pris afin de positionner les structures de *de-embedding* au sein du DOE (cf. Figure 50), afin de présenter un environnement le plus symétrique possible aux plots de gauche et de droite. En général, les dissymétries observées sur les structures de *pad OPEN* peuvent s'expliquer par des couplages parasites avec des structures avoisinantes. La qualité de la calibration peut également expliquer des variations de l'ordre de 2 à 3 fF entre le plot gauche et le plot droit. La capacité parasite extraite est de l'ordre de 20 fF, l'inductance parasite vaut en moyenne 7 pH et la résistance 4 Ohms dans la bande G. La surface physique du plot signal est de 1928 μm^2 .

Les lignes de transmission utilisées lors de la conception des différents circuits sont de type *microstrip*, également appelées lignes microrubans. En technologie B55, le DK propose deux versions de lignes microrubans. La ligne de transmission est en métal M8U située au-dessus d'un plan de masse métallique en métal M1 ou métal M4. Les murs latéraux sont un empilement du métal M1 ou M4 jusqu'au métal M7. La *Pcell*¹⁶ du DK B55 possède également des marqueurs utiles pour les étapes de vérification du *layout*, tels que le DRC¹⁷ ou le LVS¹⁸. Les *tiles* de métaux sont interdits sous la ligne de transmission du M1 à l'AP

¹⁶ : *Parametrized Cell*. Jusqu'à 110 GHz et pour certains composants, il est possible d'utiliser lors de la conception d'un circuit des composants dont les paramètres sont ajustables et le comportement électrique prédit par un modèle associé. Cet outil est puissant pour générer des composants (lignes de transmission, inductances, varactors, de manière rapide et fiable jusqu'à 110 GHz.

¹⁷ : *Design Rule Check*. Il s'agit d'un outil automatique de vérification du respect des règles de dessin relatives à chaque technologie de circuit. Ces règles garantissent la fabricabilité des circuits avec le niveau de qualité correspondant à la maturité de la technologie employée. La montée en maturité induit un durcissement de ces règles, amenant des contraintes de conception aux *designers*.

¹⁸ : *Layout Versus Schematic*. La conception de circuits s'accompagne d'une étape de travail de simulations (DC, Spams, Bruit, Transient, Linéarité...) à l'aide d'un schéma faisant intervenir les *Pcell* des composants issus du DK.

pour un plan de masse en M1 et du M4 à l'AP pour un plan de masse en M4. Pour des raisons de praticité de layout, notamment pour effectuer le dessin de jonctions en T, des lignes microrubans ont été reproduites de façon manuelle, en s'inspirant des propriétés des lignes du DK. La Figure 41 ci-dessous montre une vue en coupe des lignes de transmission proposées dans le DK B55 :

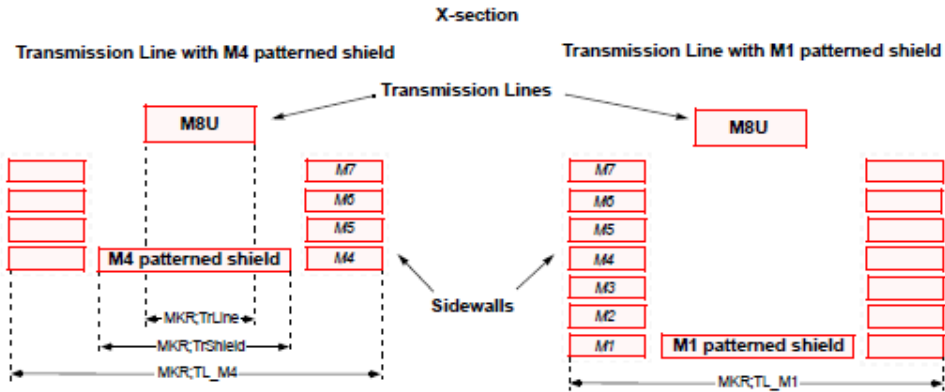


Figure 41 : Vue en coupe des lignes *microstrip* du DK B55. [5] La gamme de largeurs proposées par la Pcell du DK varie entre 0.6 μm et 18.6 μm , ce qui correspond, à 180 GHz, à une gamme d'impédances allant de 32.3 Ω à 86.2 Ω .

Un schéma équivalent est proposé, permettant de calculer les paramètres d'une ligne microruban.

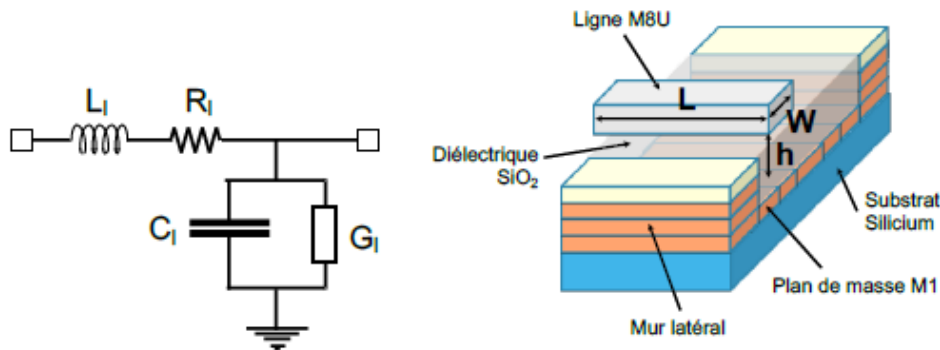


Figure 42 : Schéma électrique équivalent d'une ligne microruban et vue 3D associée avec un plan de masse en M1.

L'oxyde de silicium SiO_2 fait office de diélectrique entre la ligne de transmission en M8U et le plan de masse. Les principales caractéristiques de la ligne microruban sont son impédance caractéristique Z_c et sa constante de propagation γ définies par :

$$Z_c = \sqrt{\frac{R_l + j\omega L_l}{G_l + j\omega C_l}} = Z_0 \sqrt{\frac{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}} \quad (11)$$

Avec R_l la résistance linéique de la ligne (Ω/m), L_l l'inductance linéique (H/m), G_l l'admittance linéique (Ω^{-1}/m) et C_l la capacité linéique (F/m). Z_c peut également être exprimée en fonction des paramètres S et de l'impédance de référence $Z_0 = 50\Omega$. La constante de propagation s'exprime par :

Cet outil permet de vérifier la concordance entre le schéma simulé et le layout réalisé à l'aide de l'extraction de la *netlist* du schéma.

$$\gamma = \alpha + j\beta = \sqrt{(R_l + j\omega L_l)(G_l + j\omega C_l)} \quad (12)$$

Avec α la constante d'atténuation quantifiant les pertes liées dans la ligne et β la constante de phase quantifiant la vitesse de propagation de l'onde dans la ligne.

Ces constantes s'expriment par :

$$\alpha = 8,686 \cdot 10^{-3} \left| \frac{1}{L} \operatorname{Re}(\operatorname{acosh} \left(\frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{S_{12} + S_{21}} \right)) \right| \left[\frac{dB}{mm} \right] \quad (13)$$

Avec L la longueur de la ligne microruban.

Et

$$\beta = \left| \frac{1}{L} \operatorname{Im}(\operatorname{acosh} \left(\frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{S_{12} + S_{21}} \right)) \right| \cdot 10^{-3} \left[\frac{rad}{mm} \right] \quad (14)$$

Il est à noter que ces différents paramètres dépendent de la largeur W et de la hauteur L de la ligne microruban, de la hauteur h entre le signal et le plan de masse, ainsi que de la fréquence.

À titre d'exemple, une extraction des paramètres Z_c, α, β a été faite par simulation Eldo d'une ligne microruban de 100 μm de longueur du DK B55 à 180 GHz pour différentes largeurs de ligne.

Largeur de ligne (μm)	Z_c (Ω)	α (mdB)	β (prad)
0,6	32,3	0,71	6,7
3,6	35,5	0,72	6,7
6,6	41,6	0,73	6,9
9,6	47,4	0,75	6,9
12,6	54,7	0,79	7,1
15,6	66,1	0,84	7,2
18,6	85,1	1,02	7,4

Tableau 3 : Performances simulées d'une ligne de transmission du DK B55 à 180 GHz.

Des capacités ont été utilisées lors de la conception de T de polarisation pour différents circuits actifs nécessitant un découplage DC vis-à-vis de signaux RF.

Le DK B55 propose deux types de capacités, MIM (Métal Isolant Métal) et MOM (Métal Oxyde Métal). Les capacités MIM sont générées à partir de deux couches de métaux intermédiaires (MKTOPMIM et BOTMIM) s'ajoutant au procédé standard de fabrication du B55 séparées par un isolant. La figure ci-dessous donne une vue en coupe d'une capacité MIM:

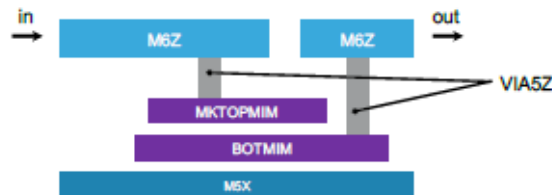


Figure 43 : Vues 2D d'une capacité MIM en technologie B55. [4]

Le schéma équivalent de la capacité MIM est donné Figure 44. Les paramètres L_1 et L_2 représentent la composante inductive des électrodes, C_1 et C_2 modélisent l'effet capacitif entre les électrodes métalliques et le substrat, R_1 et R_2 modélisent l'effet résistif des accès aux électrodes. Les résistances R_{GND} modélisent

l'aspect résistif du retour de masse qui peut se faire par le substrat ou par un plan métallique situé sous la MIM.

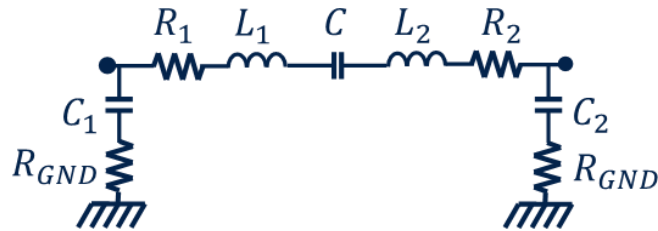


Figure 44 : Schéma équivalent d'une capacité MIM. [4]

L'équation suivante donne le calcul de la capacité d'une MIM à l'aide des paramètres introduits Figure 44.

$$C = -\frac{\text{Im}^2(Y_{12}) + \text{Re}^2(Y_{12})}{\omega \text{Im}(Y_{12})} \quad (15)$$

Les capacités MOM sont des capacités interdigitées utilisant les niveaux métalliques M2 à M5 connectés à l'aide de vias. Cette structure a pour effet de présenter des effets parasites plus importants que pour une structure MIM et présente une densité moindre, toutefois ces capacités MOM n'induisent pas d'étapes de fabrication supplémentaires et sont donc gratuites. Le schéma équivalent est le même que pour la MIM (Figure 44). La figure suivante donne une vue 3D d'une capacité MOM.

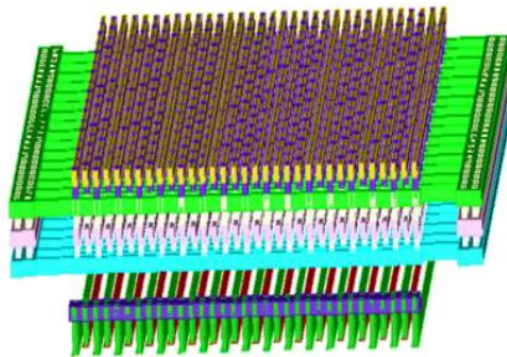


Figure 45 : Vue 3D d'une capacité MOM.

In fine, 2 types de résistances sont utilisées dans les différents circuits conçus :

- Celles composées d'un barreau de polysilicium (PO) faiblement dopé.
- Des résistances de fortes valeurs de type Rhiorpo (High Resistive Polysilicium Resistance), de l'ordre de 10 kΩ utilisées pour découpler le signal RF du signal DC appliqué aux bases des transistors bipolaires utilisés dans les conceptions de circuits de cette thèse.

La figure suivante est une vue layout top d'une résistance de type Rhiorpo.

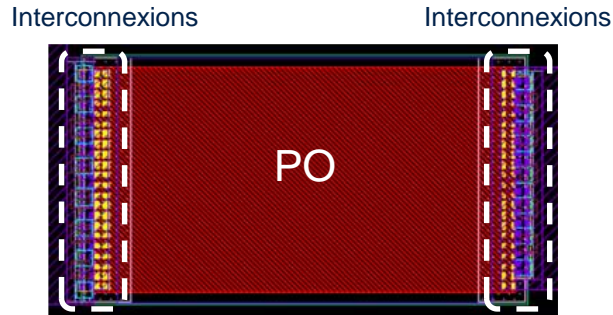


Figure 46 : Vue layout top d'une résistance Rhipo en technologie BiCMOS 55 nm.

Une zone de non siliciuration des *tiles* (*RPO drawing*) est présente sous le barreau de PO pour limiter les effets capacitifs indésirables liés au *tiling*.

II.2 Source de bruit stand-alone : adaptation des règles de dessin de l'état de l'art.

II.2.2 Conception

De précédents travaux menés par Joao Carlos Azevedo Goncalves lors de sa thèse [3] ont permis de mettre en évidence l'utilisation de diodes en tant que sources de bruit, en technologie BiCMOS 55 nm. Une nouvelle contrainte, apparue au cours de la présente thèse, a été la montée en maturité de cette technologie, amenant plusieurs restrictions de conception, notamment sur la géométrie et la nature de certains implants utilisés dans de précédents travaux.

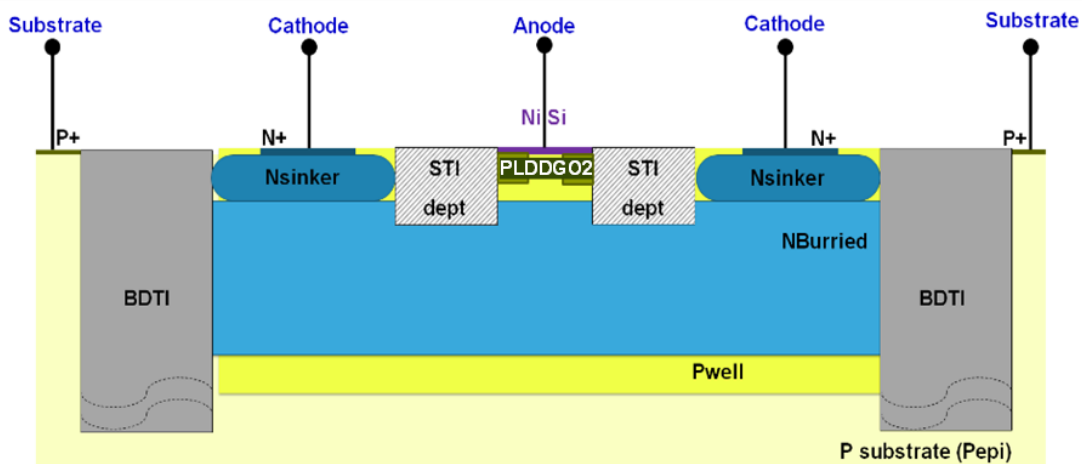


Figure 47 : Vue en coupe du *frontend* des diodes de bruit B55 de précédente génération [3]

En l'occurrence, une restriction sur la géométrie des implants de PLDDGO2 a amené au choix d'un nouvel implant présentant une profondeur et une concentration de porteurs de charge similaires. Après concertation avec les équipes process de ST Crolles, le choix s'est porté sur un implant de type P+ (PP) présentant une concentration de porteurs de charges positifs d'environ 10^{21}cm^{-3} . A la différence du PLDDGO2, dessiné sous forme d'anneau sous les doigts d'anode, le dessin de PP a été réalisé sous forme

de rectangles pleins, afin de garantir un dopage le plus homogène possible sous les accès d'anode. Une vue en coupe est représentée sur la Figure 48 ci-dessous :

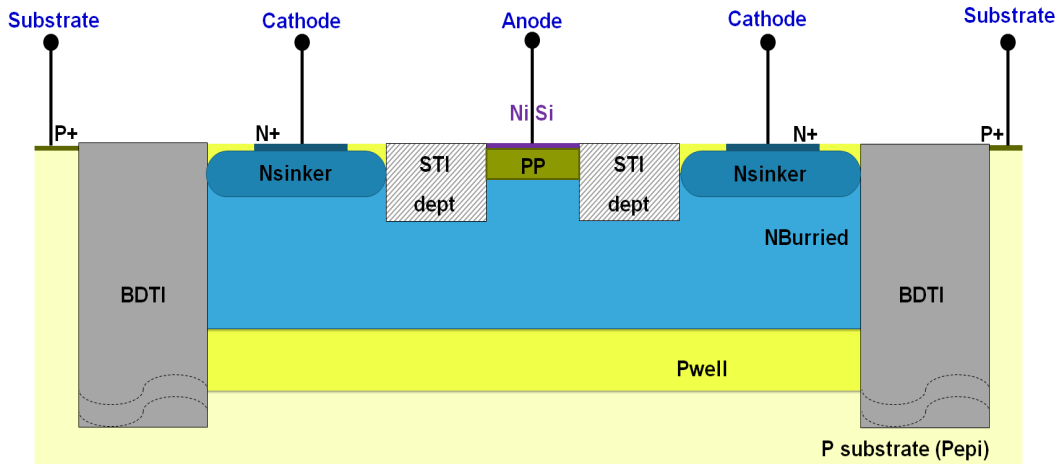


Figure 48 : Vue en coupe du *frontend* des diodes de bruit (Schottky) nouvelle génération

En termes de *layout*, le choix a été fait de conserver la même architecture que celle utilisée dans de précédents travaux, où les interconnexions entre le BEOL et le FEOL ont un recouvrement minimal, limitant ainsi les capacités parasites. La Figure 49 montre les connexions BEOL réalisées pour descendre du métal supérieur, dans le cas présent M8U vers le métal inférieur M1 à l'aide de structures en escaliers :

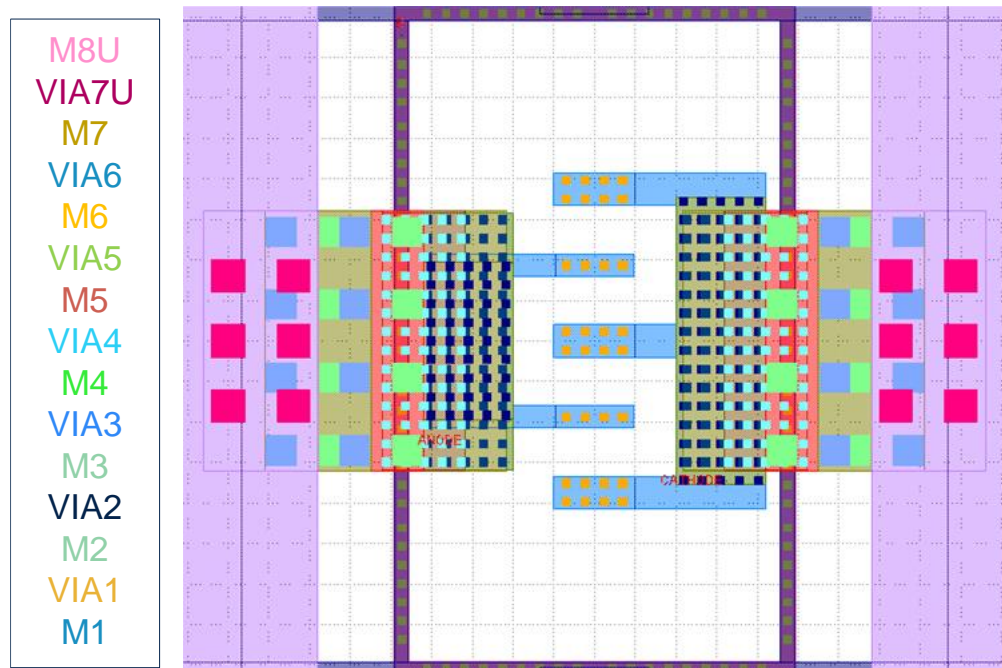


Figure 49 : Vue *layout* des interconnexions réalisées (BEOL seul) du métal 1 au métal 8

Cette thèse a été l'opportunité d'investiguer de nouveaux *frontends* de diodes utilisées en tant que sources de bruit. Ainsi, une collaboration a été menée avec la thèse de Vincent Gidel [6], dans laquelle de nouvelles optimisations du *frontend* de diodes Schottky ont eu pour but d'atteindre des fréquences de coupures de l'ordre du térahertz. La présente thèse a cherché de nouveaux FEOL pour ouvrir le champ des possibles et offrir une comparaison des performances en termes de génération de bruit (considéré ici comme étant

majoritairement du bruit d'avalanche, lié à la recombinaison des porteurs de charges). Un plan d'expérience (DOE) a été conçu sur silicium étudiant différentes règles de dessin. Les objectifs de ce DOE ont été d'extraire :

- D'extraire les ENR disponibles de ces nouveaux FEOL entre 140 et 220 GHz
- D'extraire les paramètres de modèle R_S et C_{j0} définis ci-après de ces diodes en DC, puis entre 140 et 220 GHz

Le Tableau 4 et la Figure 50 ci-dessous dressent un récapitulatif du DOE réalisé.

Surface d'anode (μm^2)	PN STI P+	Schottky N STI	Schottky N poly	Topologie
0,5	D1	D21	D33	L1N2
1	D5	D23	D37	L2N2
2,5	D9	D25	D41	L2N5
6,25	D13	D27	D45	L5N5
12	D17			L10N5

Tableau 4 : Description du DOE de diodes réalisé pour modélisation et extraction d'ENR

La signification des dénominations est la suivante :

$$L_{\text{longueur de doigt d'anode}}(\mu\text{m}) N_{\text{nombre de doigts d'anode}}$$

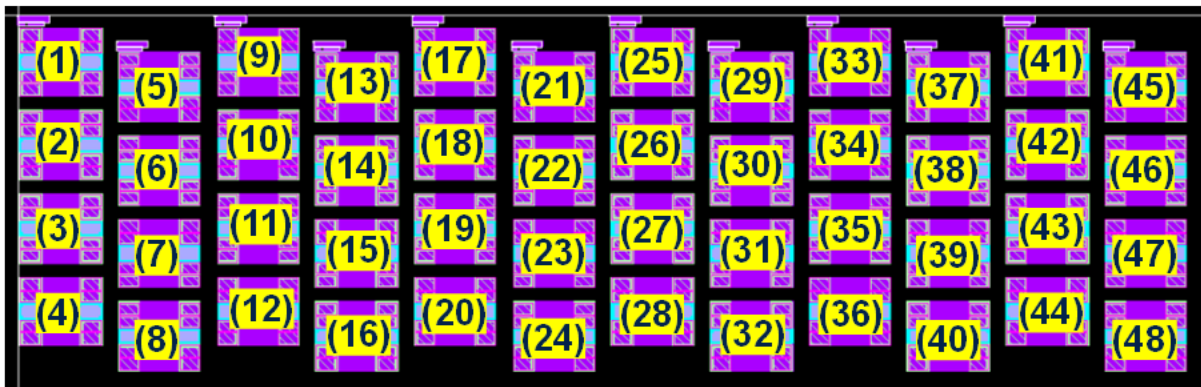
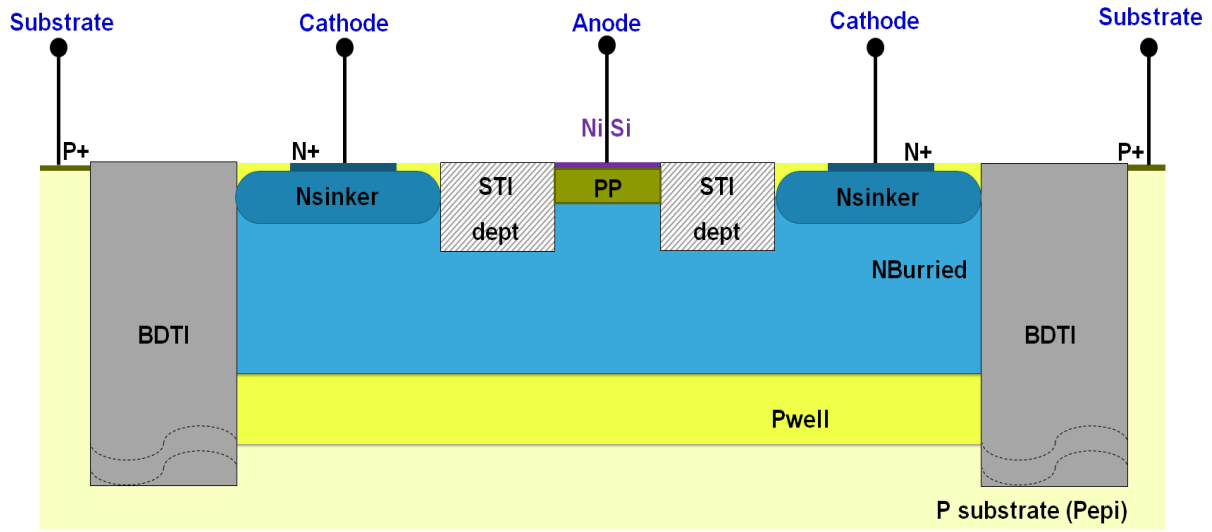
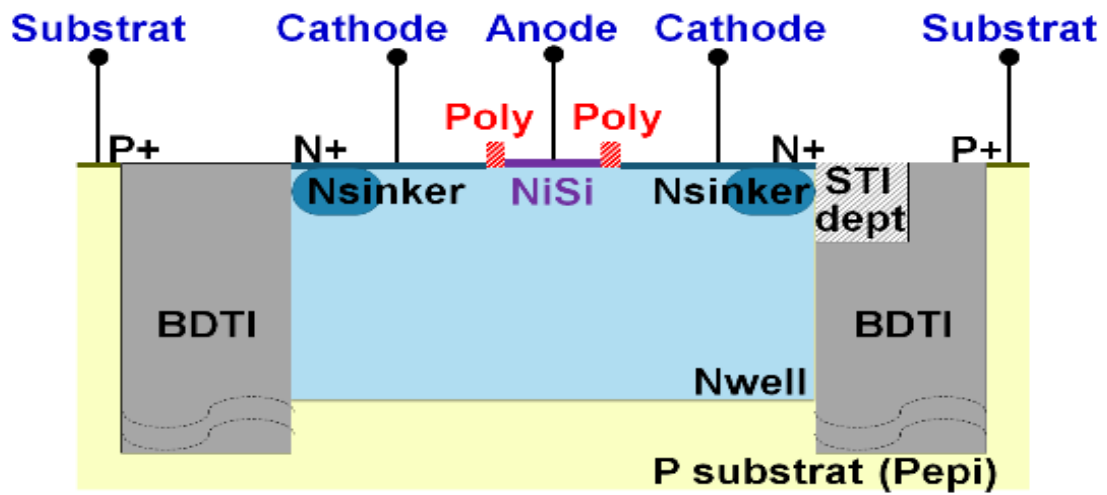


Figure 50 : Vue *layout* du DOE de diodes en 2 ports

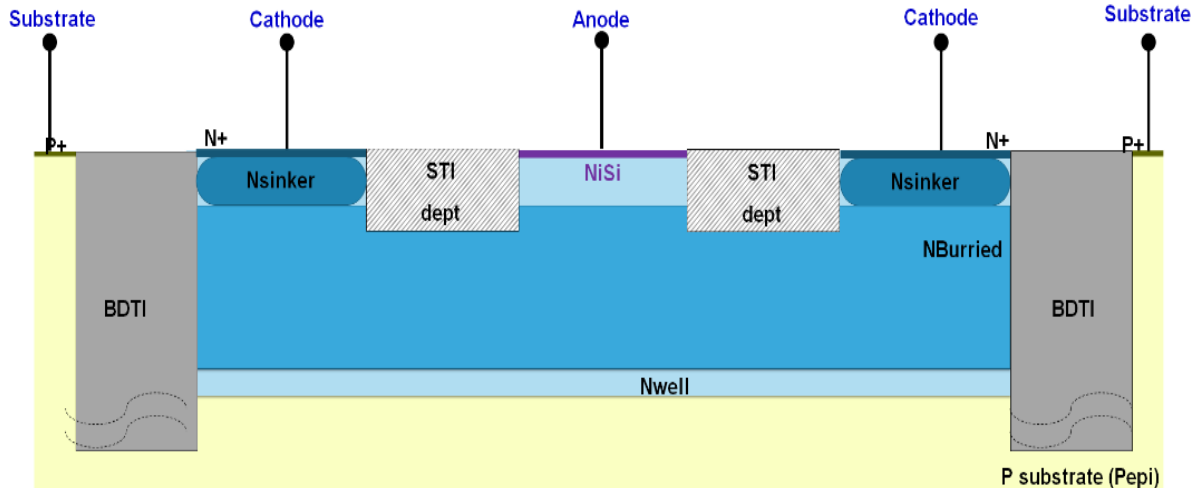
Une vue d'ensemble des différents *frontends* embarqués dans ce DOE est proposée Figure 51:



(a)



(b)



(c)

Figure 51 : *Frontends* utilisés pour l'utilisation en diode de bruit et modélisation entre 140 et 220 GHz. (a) : PN STI P+. (b) : Schottky N poly. (c) : Schottky N STI.

Les *frontends* (b) et (c) ont été développés lors de la thèse de Vincent Gidel [6], avec comme principal objectif d'optimiser le facteur de mérite clé de la diode Schottky : la fréquence de coupure f_c , donnée par :

$$f_c = \frac{1}{2\pi R_s C_{j0}} \text{ [Hz]} \quad (16)$$

Il est possible de modéliser une diode Schottky ou PN selon le schéma équivalent suivant :

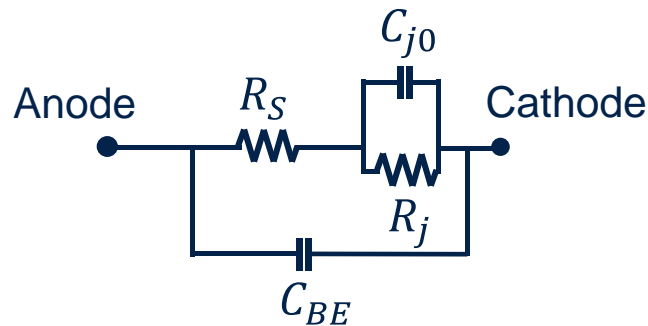


Figure 52 : Schéma équivalent générique d'une diode à jonction Schottky ou PN. La résistance série R_s , la capacité de jonction C_{j0} et la résistance de jonction R_j modélisent le comportement intrinsèque de la diode. La capacité liée aux accès *backend* est notée C_{BE} .

Une différence notable entre ces 3 *frontends* est l'utilisation d'un espaceur de type poly-silicium (Figure 51 (b)) pour isoler électriquement l'anode de la cathode. Les autres *frontends* utilisent un espaceur de type STI (Shallow Trench Insulation) qui génère un chemin résistif plus important qu'avec du poly-silicium, car présentant un profil plus profond¹⁹. En première approximation, le courant circule de l'anode vers la cathode en suivant une trajectoire quasi-horizontale, franchit la barrière de potentiel à la jonction Schottky, puis diffuse à l'intérieur d'un caisson dopé N sous les espaceurs STI ou poly-silicium. Il quitte le *frontend* par les accès de cathode. Un avantage majeur à l'utilisation d'espaceurs poly-silicium est la réduction de la

¹⁹ : Environ 100 nm de profondeur pour le STI.

résistance série, facteur entrant en jeu dans la valeur de la fréquence de coupure de la diode. La capacité de jonction est relativement peu impactée par ce changement d'espaceur, sa valeur dépendant essentiellement de la surface d'anode siliciurée et du dopage moyen à l'interface semi-conducteur N/semi-conducteur P dans le cas d'une diode PN, semi-conducteur N ou P/métal dans le cas d'une diode Schottky. Ainsi, les diodes à espaceur poly-silicium ont montré des valeurs de f_c de l'ordre de 1,3 THz et de l'ordre de 1 THz pour des diodes à espaceurs STI. [7]

L'intérêt d'optimiser le *frontend* pour augmenter la valeur de f_c est d'être capable d'adresser des plages de fréquences de fonctionnement de l'ordre du térahertz en diminuant les valeurs de R_s et C_{j0} . Le paramètre R_s , appelé résistance série, englobe l'ensemble des résistances parasites des éléments série présents à la fois dans les interconnexions *backend* conservées dans le composant une fois l'épluchage de la structure de test réalisé, mais aussi au sein des couches actives du *frontend*.

Chaque FEOL de diode a été dessiné en configuration série, avec les structures *open* et *short* associées, ainsi qu'une structure de diode en *shunt*, où la cathode est reliée au plan de masse, et l'anode reliée aux ports gauche et droite. Les structures *open* et *short* ont été réalisées en prenant en compte l'ensemble des accès de BEOL, i.e. jusqu'au niveau du M1, afin de décorréler les contributions capacitives *frontend* liées à la formation de la jonction Schottky ($C_j(V)$) et *backend* (C_{BE}) de la capacité totale extraite (C_{tot}). Cette capacité totale s'exprime par :

$$C_{tot} = C_j(V) + C_{BE} \quad (17)$$

Avec $C_j(V)$ la capacité de jonction de la diode, maximale pour une polarisation nulle et notée C_{j0} dans ce cas spécifique, C_{BE} la capacité de *backend*.

Différentes topologies ont été embarquées afin d'appréhender l'évolution des niveaux d'ENR générés pour différentes surfaces d'anode et d'extraire les paramètres R_s et C_{j0} pour différentes configurations. Il en découle un changement de l'admittance de la diode lié à la modification de la topologie d'anode. Une extraction de la capacité de jonction en mesures DC est possible, mais pour tenir compte de l'impact topologique et fréquentiel, une extraction du paramètre C_{j0} est possible grâce à la mesure en paramètres S, pour une polarisation nulle, dont le principe est donné sur la Figure 53 ci-dessous :

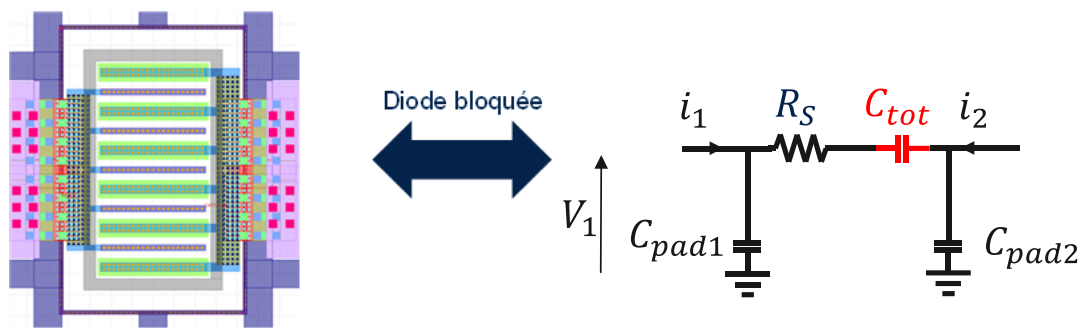


Figure 53 : Structure de diode série en 2 ports pour l'extraction de la capacité totale et schéma équivalent en mode bloqué

En utilisant la matrice Y du circuit équivalent, il est possible d'extraire la capacité totale C_{tot} :

$$Y = \begin{pmatrix} Y_{C_{pad1}} + Y_{C_{tot}} & -Y_{C_{tot}} \\ -Y_{C_{tot}} & Y_{C_{pad2}} + Y_{C_{tot}} \end{pmatrix} \quad (18)$$

Puis

$$(19)$$

$$C_{tot}(V) = -\frac{Im(Y_{21})}{2\pi f}$$

Une fois cette capacité totale extraite, il faut pouvoir extraire la capacité liée aux accès *backend* afin d'en déduire la capacité de jonction, figure de mérite essentielle pour évaluer l'intérêt des différents *frontends* de diodes pour des applications de source de bruit aux fréquences millimétriques.

Pour ce faire, les structures *open* ont été caractérisées en paramètres S. Le schéma de principe est donné sur la Figure 54 ci-dessous :

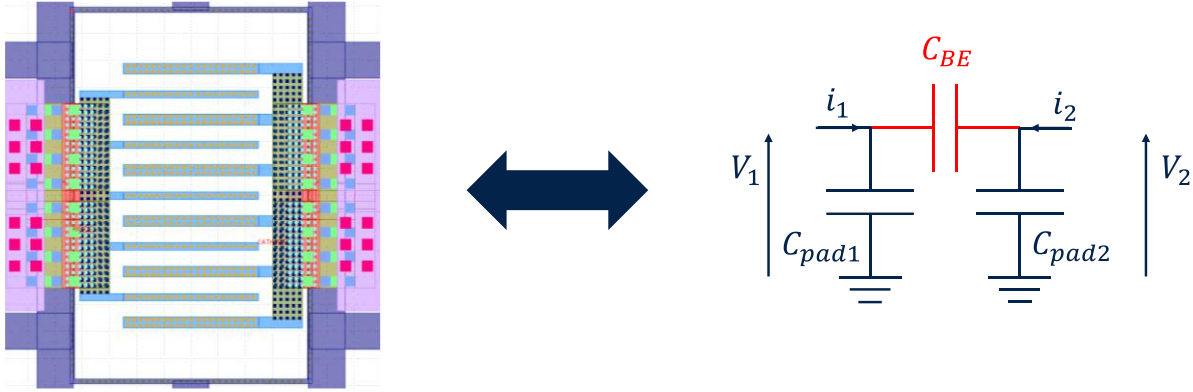


Figure 54 : Vue *layout* d'une structure d'*open* M1 dédiée et schéma équivalent associé

De manière analogue, la capacité C_{BE} est extraite grâce aux équations suivantes :

$$Y = \begin{pmatrix} Y_{C_{pad1}} + Y_{C_{BE}} & -Y_{C_{BE}} \\ -Y_{C_{BE}} & Y_{C_{pad2}} + Y_{C_{BE}} \end{pmatrix} \quad (20)$$

Puis

$$C_{BE}(V) = -\frac{Im(Y_{21})}{2\pi f} [F] \quad (21)$$

Enfin, les mesures en paramètres S ayant été effectuées en conditions de polarisation nulle (à 0V), la capacité de jonction C_{j0} peut être déduite par :

$$C_{j0} = C_{tot} - C_{BE} \quad (22)$$

La capacité totale C_{TOT} a été extraite à partir de la mesure de structures de diodes en configuration série, en utilisant directement la matrice admittance associée (cf. Figure 64 et Figure 53). Puis la capacité liée au *frontend* C_{j0} a été déduite avec la connaissance de C_{TOT} et de C_{be} . Cette approche a été motivée par le fait qu'il est très difficile d'extraire des valeurs de C_{j0} pour de faibles surfaces d'anode (notamment pour les topologies L1N2 et L2N2). Néanmoins, l'hypothèse consistant à affirmer que la capacité totale C_{TOT} peut être extraite à partir de la matrice admittance de la diode en configuration série est sans doute ambitieuse. Il existe en effet des parasites d'ordre résistifs et inductifs liés aux accès M8 vers M1 (cf. Figure 64). De plus, la capacité de *backend* est en parallèle avec la capacité C_{TOT} . Les deux méthodes d'extraction de C_{j0} , utilisant un épluchage dans les plans A et B, puis dans les plans C et D ont été comparées. Nous utiliserons la dénomination suivante :

- Méthode 1 : extraction de C_{j0} à partir de l'extraction de C_{TOT} et C_{be} au niveau M8 avec la matrice Y (points A et B Figure 64)
- Méthode 2 : extraction de C_{j0} à partir de la matrice Y utilisée au niveau M1 après épluchage open-short M1 (points C et D Figure 64)

À l'instar du paramètre C_{j0} , la résistance série R_s peut être extraite de plusieurs manières, par la mesure DC, ou par la mesure en paramètres S. Des structures *shunt* dédiées ont été embarquées et mesurées permettant l'extraction de ce paramètre en bande G. Dans cette configuration, l'anode est reliée aux ports 1 et 2, la cathode est reliée au plan de masse du wafer. La Figure 55 ci-dessous donne une vue *layout* et le schéma équivalent associé aux structures shunt embarquées sur le DOE :

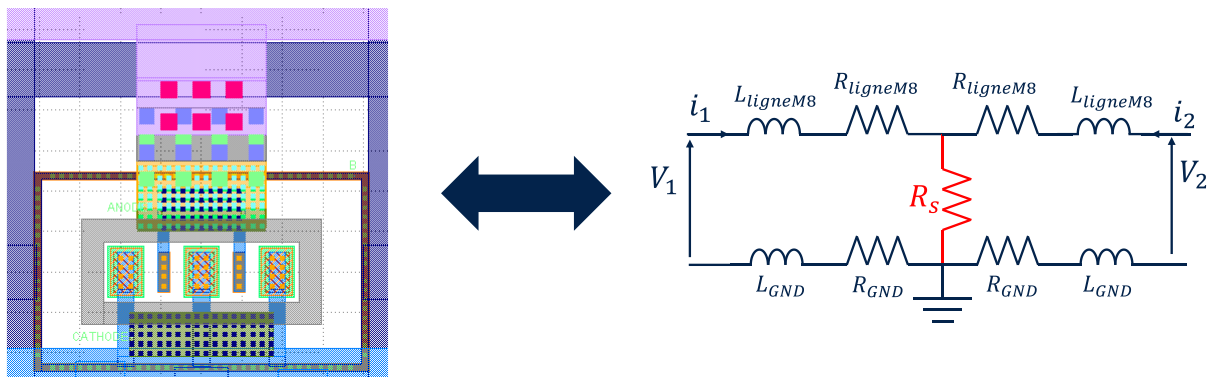


Figure 55 : Vue *layout* d'une structure de diode en shunt et schéma équivalent associé

En développant la matrice impédance Z du schéma équivalent, il vient :

$$Z = \begin{pmatrix} Z_{L_{ligneM8}} + Z_{R_{ligneM8}} + Z_{L_{GND}} + Z_{R_{GND}} & Z_{R_s} \\ Z_{R_s} & Z_{L_{ligneM8}} + Z_{R_{ligneM8}} + Z_{L_{GND}} + Z_{R_{GND}} \end{pmatrix} \quad (23)$$

Puis

$$R_s = Re(Z_{21}) \quad (24)$$

Ce DOE de diodes a pu être caractérisé en DC puis en paramètres S en bande G, ainsi qu'en puissance de bruit entre 140-170 GHz et 170-220 GHz à l'IEMN.

Une première caractérisation DC en direct a permis de retrouver la hauteur de barrière V_b et les zones d'avalanches attendues pour l'ensemble des *frontends* observés. En effet, la tension V_b dépend directement de la nature du matériau et du dopage au niveau de l'interface métal semi-conducteur. Dans le cas d'une jonction Schottky, plusieurs matériaux (siliciuration) sont disponibles pour la partie métal (NiSi, TiSi, etc), offrant un large panel de réponse courant-tension. Dans le cadre d'une jonction PN (semi-

conducteur N, semi-conducteur P), la concentration de dopants à l'interface entre les deux semi-conducteurs influence directement la valeur de la tension de barrière.

En régime de polarisation inverse, le phénomène d'avalanche est également commun aux diodes PN et Schottky. Au-delà d'une certaine valeur de tension, un phénomène d'avalanche peut être observé au sein de la jonction PN ou Schottky. A la tension d'avalanche, notée V_{BD} , les porteurs de charge sont dans un état d'énergie très élevé, aidés par le champ électrique crée par la zone de déplétion à l'interface PN ou Schottky. L'épaisseur de la jonction étant très faible, le champ électrique au niveau de la jonction peut être très élevé²⁰, même avec des potentiels faibles. Cet état d'énergie élevé se traduit par des collisions aléatoires entre porteurs de charge et peut générer de nouvelles paires électrons-trous si l'énergie associée est suffisamment importante²¹. Dans ce cas, le bruit généré est appelé bruit d'avalanche et le courant associé augmente fortement. La caractéristique courant-tension d'une diode Schottky ou PN en régime direct et inverse est représentée sur la Figure 56 :

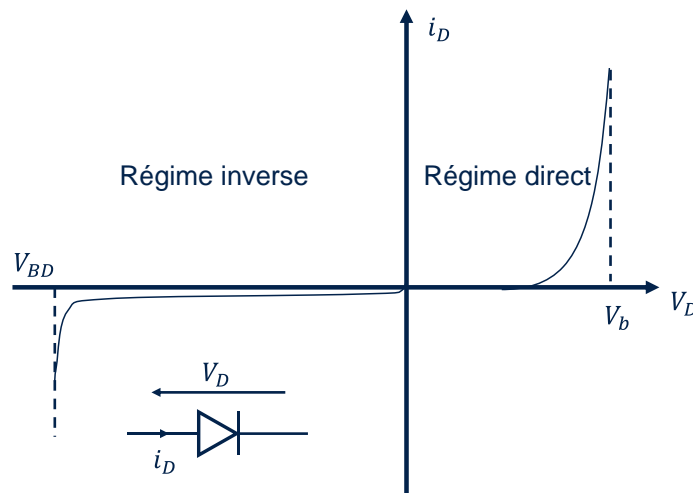


Figure 56 : Caractéristique courant-tension d'une diode Schottky ou PN

Il est à noter qu'un courant de fuite²² est visible pour des tensions de polarisation comprises entre une polarisation nulle et la tension d'avalanche. En BiCMOS 55nm, pour les diodes PN, la tension de seuil est de l'ordre de 0.8 V et de 0.6 V pour les diodes Schottky N. La tension d'avalanche est de l'ordre de -6 V pour les différents *frontends* étudiés.

II.1.2.2 Résultats expérimentaux

Une première caractérisation DC a permis de valider le remplacement du PLDDGO2 par du PP dans le *frontend* de diode existant. Les résultats de ces mesures sont présentés Figure 57.

²⁰ : Le champ électrique moyen au niveau d'une jonction PN sur Silicium peut excéder $10^5 V.cm^{-1}$ dans la zone d'avalanche.

²¹ : En fait, il se produit une ionisation des atomes qui engendre une production d'électrons eux-mêmes accélérés par le champ électrique, provoquant de nouvelles ionisations. On parle alors d'ionisation par choc. Ce phénomène peut entraîner la destruction de la jonction par emballement thermique.

²² : Également appelé courant de saturation inverse, ce courant est lié au débit de charges (trous générés en électrons par agitation thermique) traversant la jonction (Schottky ou PN) sous l'action du champ électrique. Il est de l'ordre de quelques dizaines de nano ampères pour des diodes Silicium.

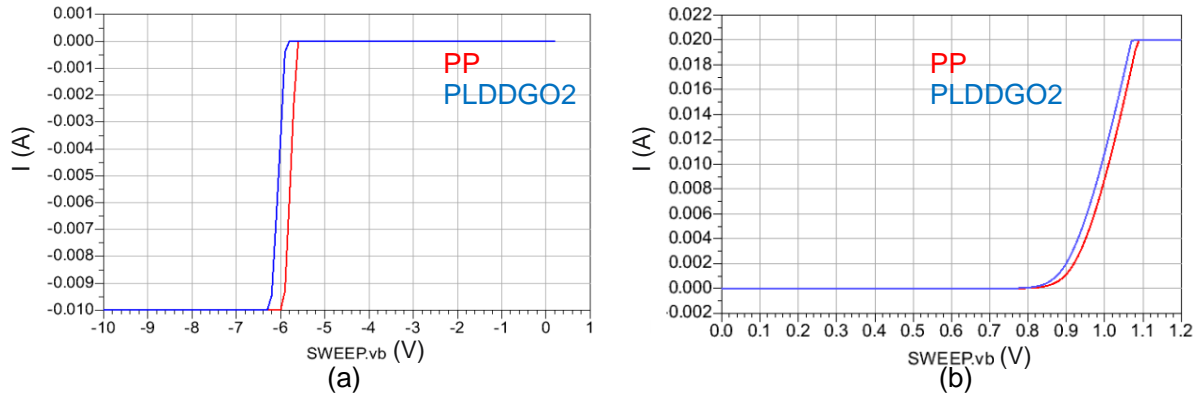


Figure 57 : Caractéristiques I(V) des diodes L5N5 en régime (a) : inverse. (b) : direct.

Ces mesures DC mettent en évidence un comportement identique entre les deux *frontends*, confirmant le choix de l'implant PP. De plus, la hauteur de barrière affichée permet de déterminer la nature de la jonction réalisée. Les saturations observées sont liées aux consignes de valeurs maximales de polarisation appliquées (*compliance*). En sachant que la technologie utilisée est la technologie BiCMOS 55 nm et que le métal utilisé est du NiSi, la valeur de l'ordre de 0.8 V de hauteur de barrière permet d'affirmer que cette diode (que ce soit avec de l'implant PLDDGO2 ou du PP) a un comportement électrique de type PN. Le DOE de diodes présenté Figure 50 a ensuite été mesuré en DC, paramètres S entre 140 et 220 GHz et en bruit entre 130 et 220 GHz.

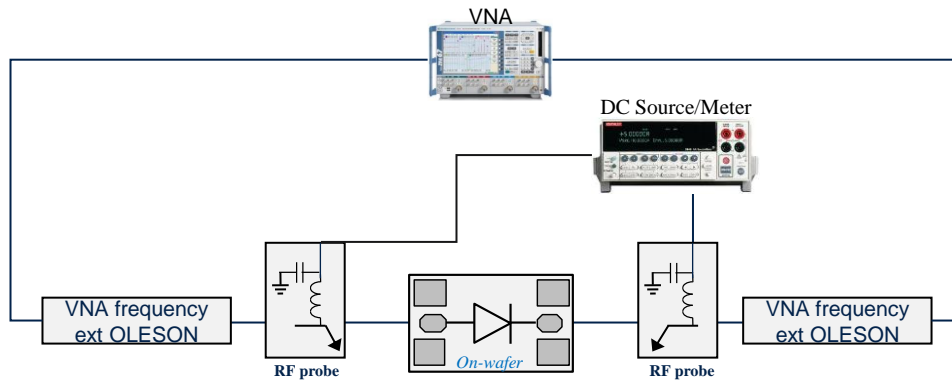


Figure 58 : Banc de mesures du DOE de diodes 2 ports en DC et paramètres S

La première étape a été de les mesurer en régime direct pour repérer la valeur de tension de barrière. La seconde étape a été de le mesurer en régime inverse afin de cibler la tension d'avalanche. Les résultats sont donnés sur la Figure 59 ci-dessous :

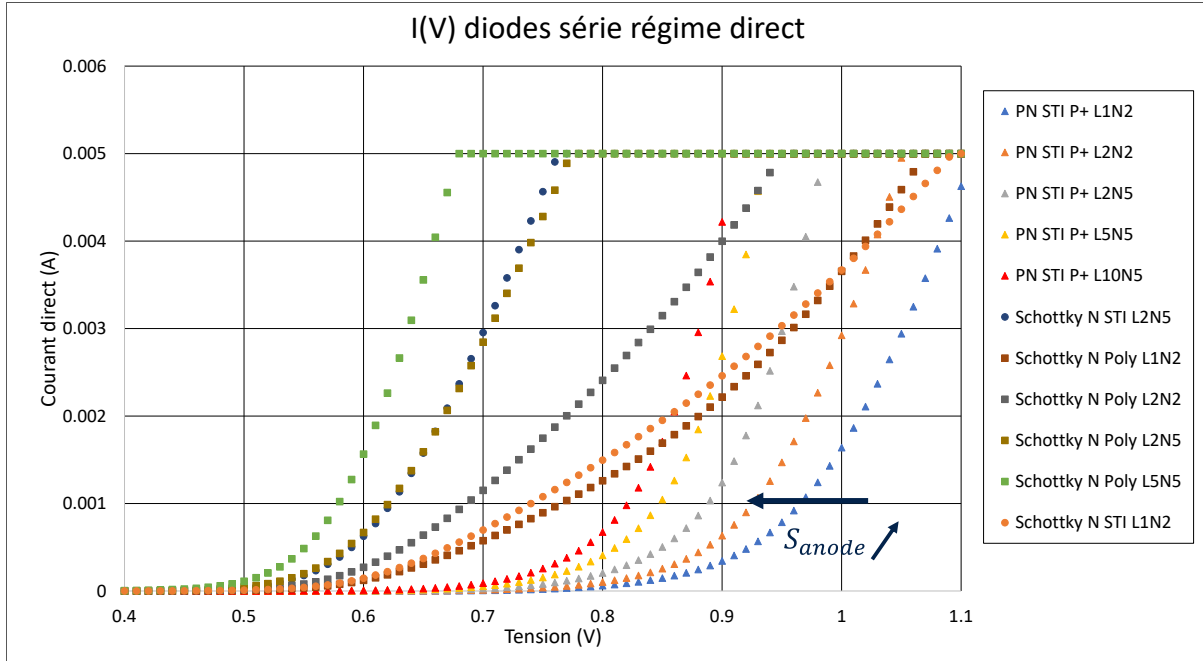


Figure 59 : Caractéristiques courant-tension de l'ensemble des diodes du DOE en régime direct.

La différence de nature du contact est directement visible sur la Figure 59. La barrière de potentiel V_b pour les diodes PN varie entre 0.75 V et 0.95 V, en allant de la surface d'anode la plus grande vers la plus petite. La barrière de potentiel des diodes Schottky poly et STI est inchangée, si l'on considère les topologies communes à ces deux *frontends*, à savoir les topologies L1N2 et L2N5. Ceci s'explique par le fait que la tension V_b est principalement déterminée par la nature du métal dans le cas d'une jonction Schottky et la valeur du dopage du semi-conducteur²³. La saturation observée à 5 mA est liée à la *compliance*, i.e. la limite imposée lors de la mesure.

Ces caractéristiques permettent également de valider le phénomène de décroissance de valeur de la résistance série lorsque la surface d'anode augmente, pour un *frontend* donné. En effet, la résistance série R_s suit la loi de proportionnalité suivante vis-à-vis de la surface d'anode A [6] :

$$R_s \propto \frac{1}{\sqrt{A}} \quad (25)$$

Pour expliquer l'allure et le rôle des différents paramètres, il est possible de se référer à l'équation suivante, régissant l'évolution du courant en régime ohmique dans des interfaces PN et Schottky :

$$I_d = I_{sat} e^{\frac{q(V-R_s I)}{\eta k T}} \quad (26)$$

Avec $q = -1,6 \cdot 10^{-19} \text{ C}$ la charge électrique élémentaire, I_{sat} le courant de saturation, $k = 1,3806 \cdot 10^{-23} \text{ m}^2 \cdot \text{kg} \cdot \text{s}^{-2} \cdot \text{K}^{-1}$ la constante de Boltzmann, η le facteur d'idéalité, T la température de la jonction (PN ou Schottky), R_s la résistance série.

²³ : Ceci est valable à la fois pour des diodes Schottky et PN.

En régime de forte injection²⁴, R_s est donnée par l'équation suivante [8] :

$$R_s = \frac{1}{\frac{dI}{dV}} \quad (27)$$

Ce phénomène est observé en pratique puisque la pente diminue pour des surfaces d'anode petites (topologies L1N2 et L2N2) et tend à augmenter pour de plus grandes surfaces d'anode (topologies L10N5 et L5N5).

En régime inverse, les caractéristiques courant-tension obtenues sont représentées sur les Figure 60 Figure 61 et Figure 62.

Le régime inverse montre une différence notable entre les *frontends* de type PN STI PP et les autres *frontends* Schottky en termes de valeurs de tension d'avalanche. Les diodes PN STI PP montrent un phénomène d'avalanche à -6 V quel que soit la surface d'anode utilisée. Pour les diodes Schottky N STI et Schottky N poly, la rupture est moins nette. Il semblerait que le courant de fuite soit plus important pour les diodes Schottky N poly et Schottky N STI que pour les PN STI PP. De plus, la valeur de tension d'avalanche, prise comme l'asymptote à la courbe I(V) en régime inverse dépend de la surface d'anode. Cette tension d'avalanche semble augmenter avec la surface d'anode pour les diodes Schottky N poly comme représenté Figure 62.

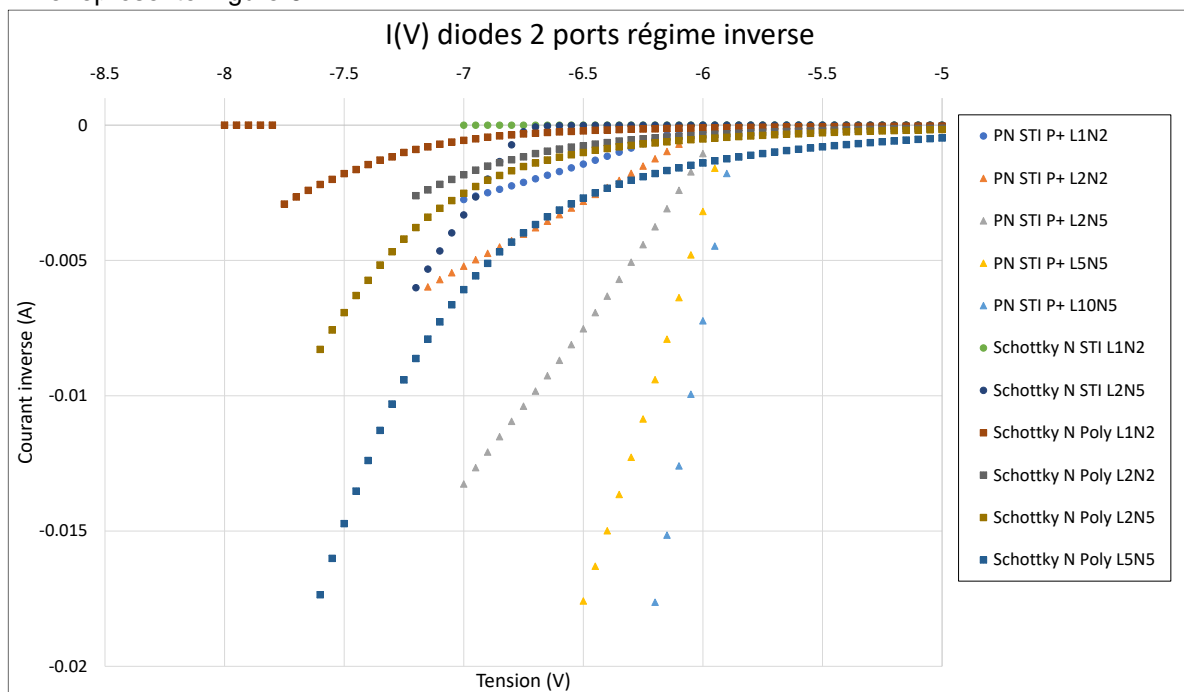


Figure 60 : Caractéristiques courant-tension de l'ensemble des diodes du DOE en régime inverse

²⁴ : C'est-à-dire dans la partie linéaire de la caractéristique I(V), pour des valeurs de tension excédant la barrière de potentiel V_b .

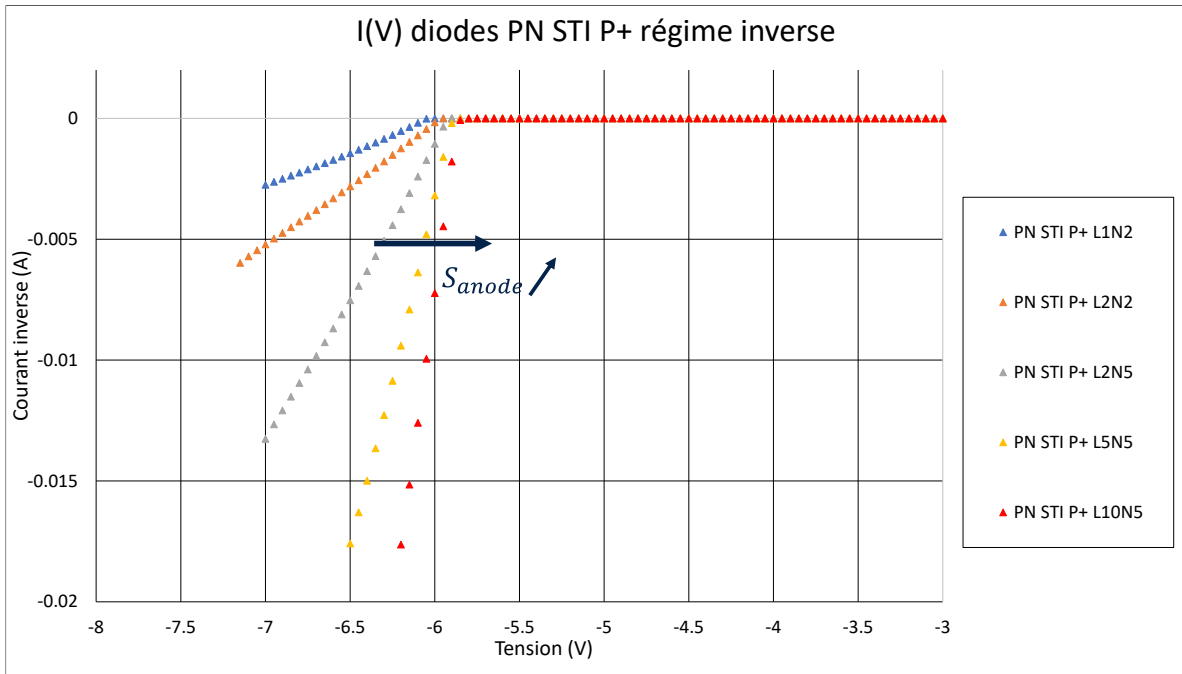


Figure 61 : Caractéristique courant-tension des diodes PN STI PP en régime inverse

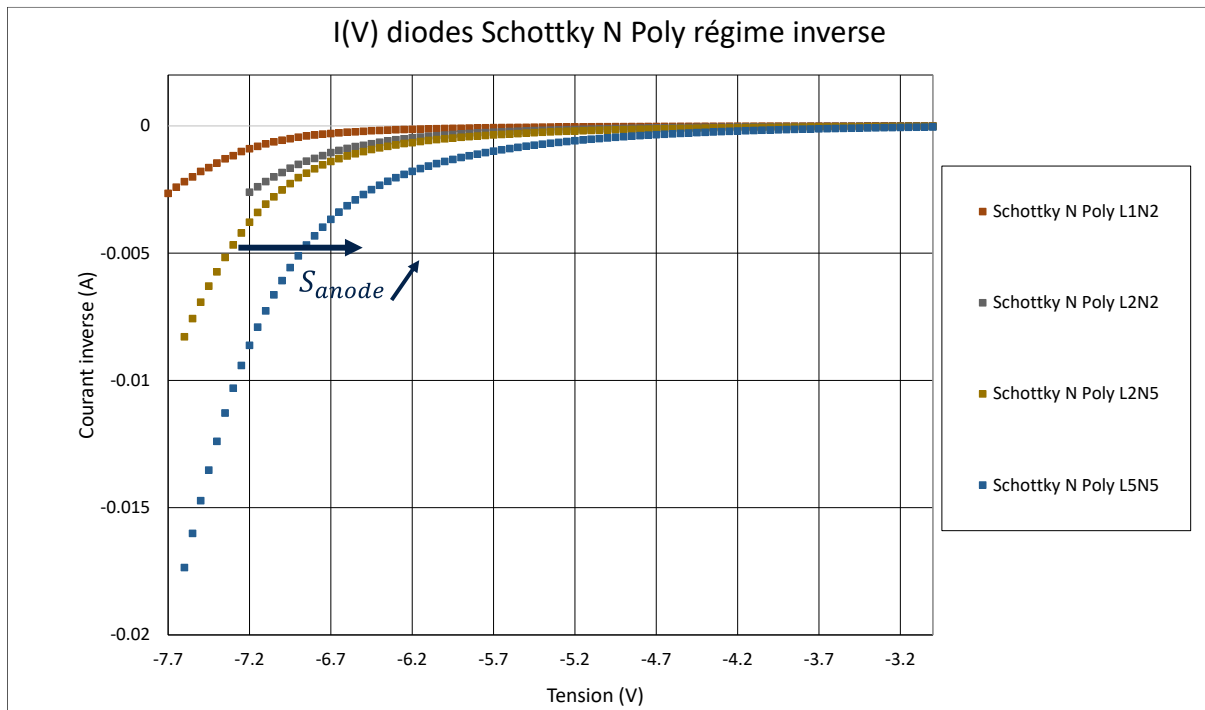


Figure 62 : Caractéristique courant-tension des diodes Schottky N à espaceur poly silicium en régime inverse

Afin d'extraire les paramètres R_s et C_{j0} , le banc de mesure représenté Figure 58 a été utilisé à l'IEMN. Les structures détaillées Figure 53, Figure 54 et Figure 55 ont été mesurées en forte injection pour l'extraction de la résistance série en configuration shunt et à polarisation nulle pour la capacité de jonction à vide en configuration série.

Les résultats d'extraction de ce DOE sont donnés dans le tableau ci-dessous. Une extraction en DC des paramètres R_s et C_{j0} est mise en comparaison à celle obtenue à l'aide des mesures petit signal en bande G.

Les schémas représentés Figure 53, Figure 54, Figure 55 sont des schémas idéaux, compatibles avec des extractions en basse fréquence. Bien que les équations permettant de calculer les valeurs de R_s et C_{j0} ne font pas intervenir en théorie les accès au DST, ces équations doivent être appliquées au DST épluché des lignes d'accès et des plots : en bande G, des parasites sont à prendre en compte pour extraire des valeurs les plus fiables possibles. Un *de-embedding* de type *pad-thru* M8 a été appliqué aux structures de diodes série et de diodes shunt pour éliminer autant que possible les parasites de type résistifs et inductifs liés aux accès. Le *de-embedding* ne permettant pas d'éliminer complètement l'ensemble des parasites, des résonances ont été observées sur les capacités de jonction. Néanmoins, le fait d'appliquer un *de-embedding pad-thru* a permis d'augmenter la fréquence de résonance du circuit équivalent RLC en diminuant la valeur des contributions résistives résiduelles. La valeur de C_{j0} peut être prise avant cette résonance.

Certaines topologies de diodes pour lesquelles les surfaces d'anode étaient particulièrement faibles (L1N2 et L2N2) n'ont pas permis d'extraire la capacité liée au *backend*. Cette capacité regroupe les contributions capacitatives entre les doigts d'anode et de cathode et celles liées aux interconnexions M8 vers M1 inclus. La capacité parasite entre le *frontend* et le M1 du *backend* ne peut pas être extraite avec les structures d'épluchage dessinées. Avec les moyens de caractérisation actuels, extraire des capacités inférieures à 5 fF en bande G est illusoire. C'est pourquoi les valeurs de C_{be} les plus faibles ont été extrapolées en suivant une loi linéaire à partir des valeurs mesurées pour les topologies les plus grandes. Cela a permis d'obtenir des valeurs de C_{be} pour l'ensemble des diodes en bande G.

La Figure 63 montre les valeurs de C_{be} extraites à partir de la mesure en paramètres S de la structure *open* en M1 de la topologie la plus grande (L10N5). Les autres valeurs sont extrapolées en appliquant une règle de proportionnalité par rapport à la surface d'anode la plus grande, correspondant à la topologie L10N5 :

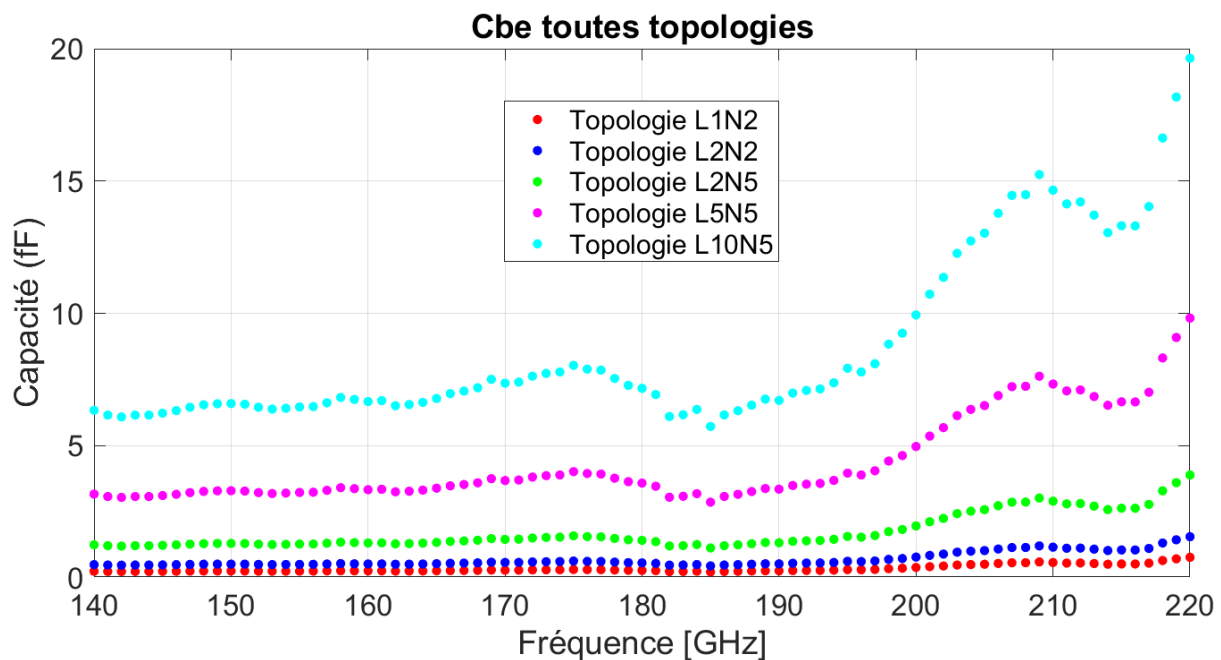


Figure 63 : Contributions capacitatives parasites du *backend* pour les différentes topologies considérées.

La connaissance de C_{be} permet de faire l'extraction de la capacité liée au *frontend* lorsque la diode est bloquée. Les Figure 63, Figure 65 et Figure 66 montrent les C_{j0} extraites pour deux topologies. Les diodes Schottky à espaceur poly-silicium montrent une capacité de jonction plus élevée que les deux autres *frontends* considérés. En topologie L2N5, des résonances liées aux parasites résistifs et inductifs résiduels sont présentes. Les valeurs de C_{j0} sont prises avant cette résonance.

La résistance série des diodes a également été extraite en bande G. Cette extraction est sensible à la méthode d'épluchage puisqu'elle dépend au premier ordre des accès de *backend* considérés. Pour quantifier l'impact de la méthode de *de-embedding* sur les valeurs extraites de R_s , trois méthodes ont été utilisées : *open-short* M1, *pad-thru* M8 et *open-short-pad-thru* M1, notée dans la suite OSPT. Cette dernière consiste à appliquer dans un premier temps un épluchage de type *pad-thru*, permettant de se placer au niveau des accès en métal M8 du DST. Puis un épluchage de type *open-short* utilisant des structures d'*open* et de *short* elles-mêmes épluchées grâce à un épluchage de type *pad-thru* est appliqué. L'*open* et le *short* considérés ne contiennent alors que les parasites liés aux interconnexions M1 vers M8. Les méthodes *open-short* et OSPT permettent d'extraire les valeurs de paramètres dans le plan du M1 (points C et D sur la Figure 64) tandis que la méthode *pad-thru* se limite au plan M8. Dans le cadre de structures de test mettant en œuvre des lignes d'accès de longueur importantes par rapport à la longueur d'onde correspondante, l'hypothèse d'un modèle de ligne distribué est à privilégier. Cette hypothèse implique que l'application d'un épluchage *open-short* au niveau M1 retire un grand nombre de contributions en une seule étape. Le fait d'appliquer un épluchage OSPT permet de remonter au M1 en 2 temps, en permettant de mieux considérer l'aspect distribué des lignes d'accès. La seconde étape permet de retirer les descentes de via vers le M1. La Figure 64 suivante donne un schéma intrinsèque et extrinsèque de la diode, ainsi que l'effet des différentes techniques d'épluchage appliquées.

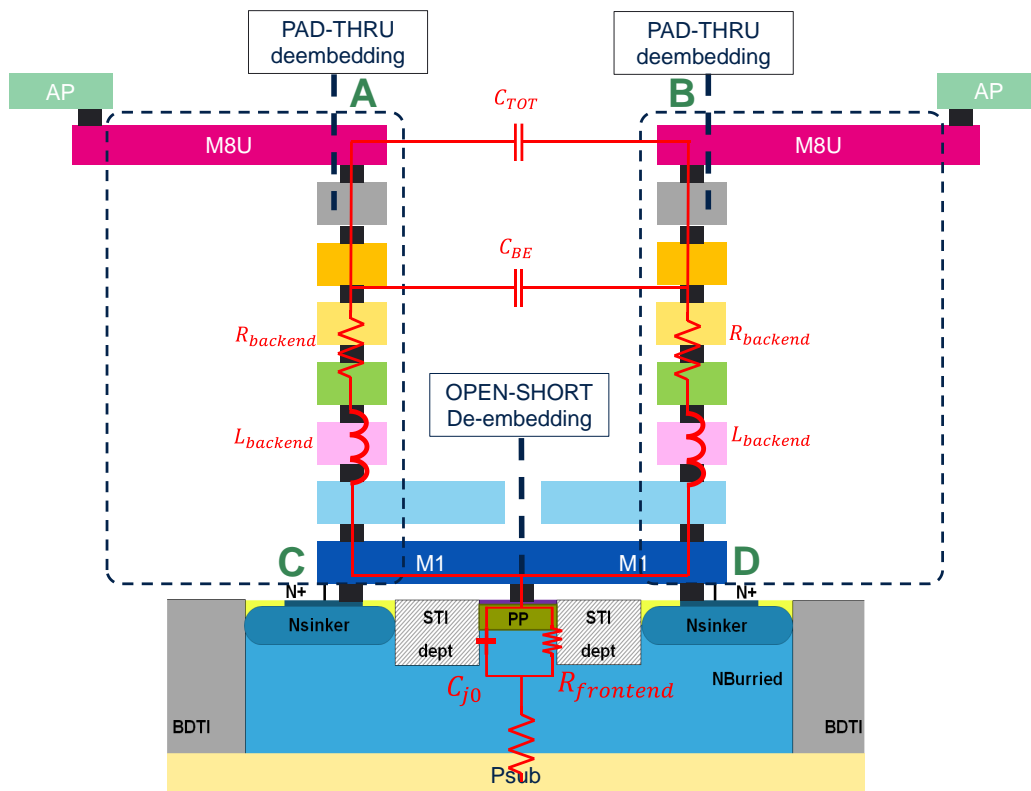


Figure 64 : Plans de références obtenus après épluchages et extraction des paramètres associés. L'exemple donné sur la figure est celui d'une diode PN à espaceurs STI.

Dans le cadre de cette étude, les inductances liées au *backend* ont été négligées : la hauteur des accès du M1 au M8 reste négligeable devant la longueur d'onde et la longueur des lignes d'accès en M8 (autour de 140 μm en l'occurrence). La résistance de retour de prise substrat n'a pas été prise en compte non plus dans le cadre de cette étude, l'objectif premier étant d'extraire les parasites liés au *frontend* et au *backend*.

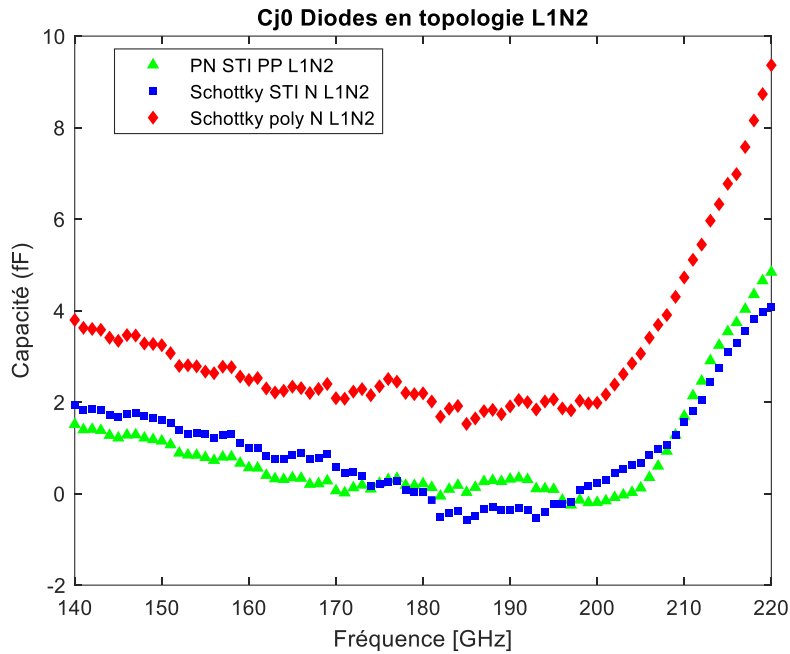


Figure 65 : C_{j0} extraites pour les diodes en topologie L1N2

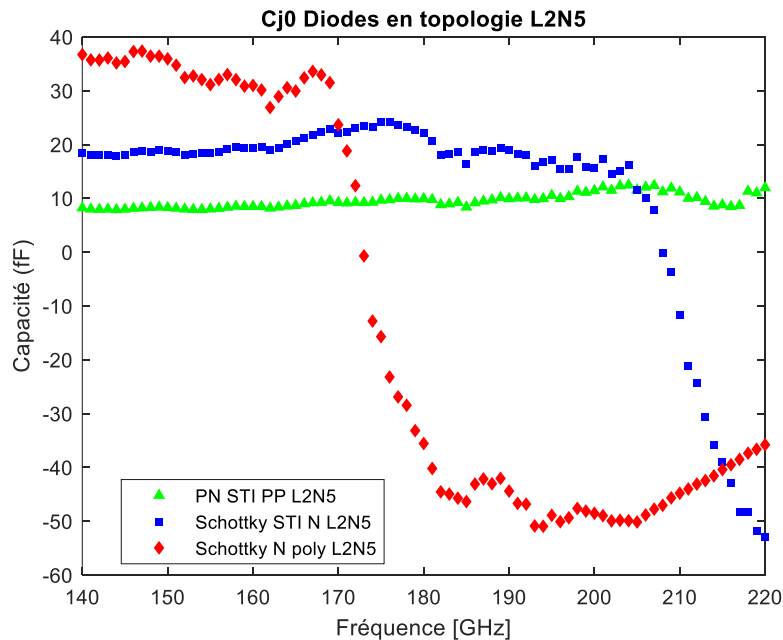


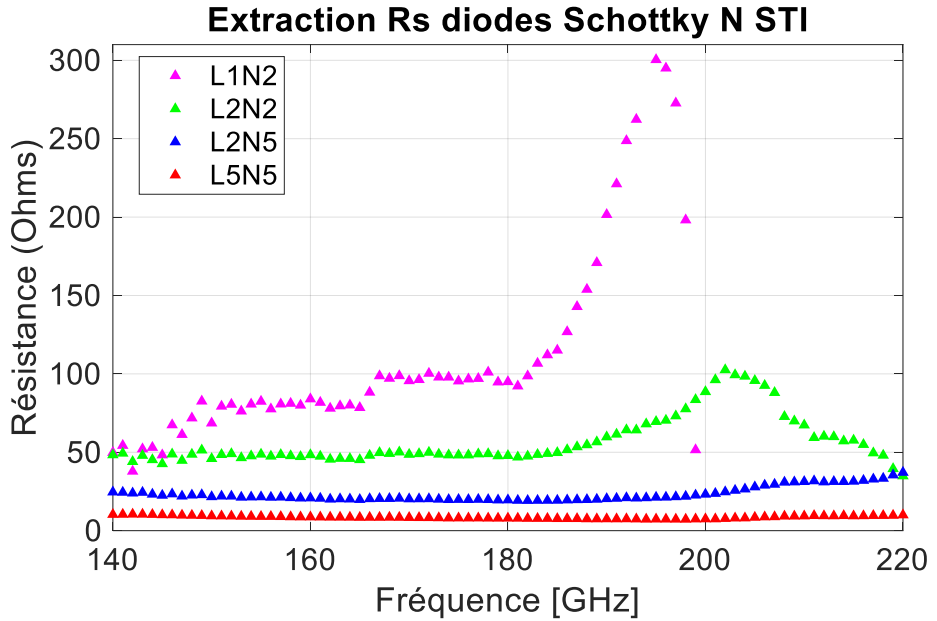
Figure 66 : C_{j0} extraites pour les diodes en topologie L2N5

Ces différentes méthodes d'épluchage permettent d'extraire les composantes de la résistance série des diodes considérées. En effet, R_S se décompose selon la relation suivante [6] :

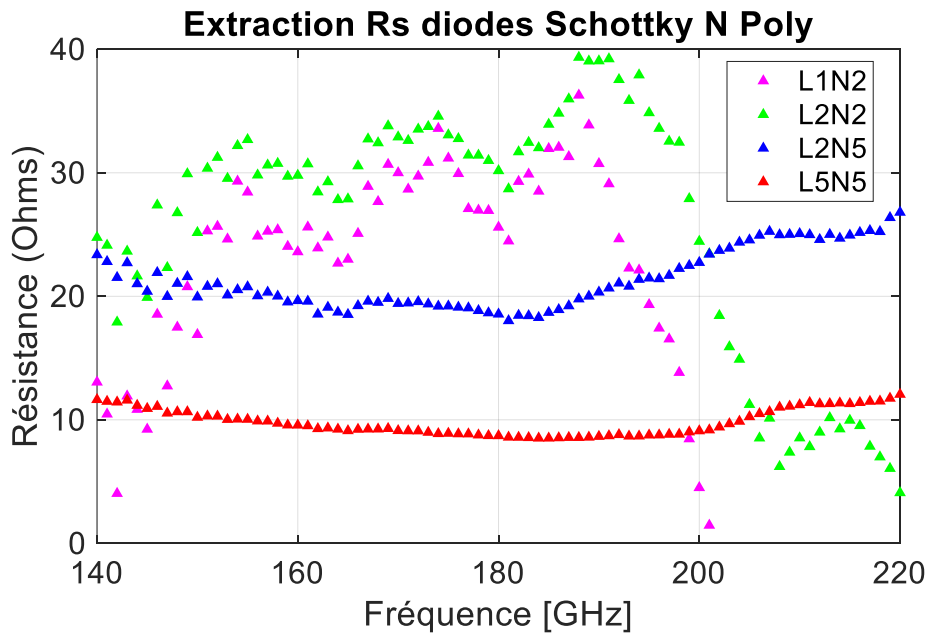
$$R_S = R_{Front\ End} + R_{Back\ End} \quad (28)$$

Les épluchages *open-short* et OSPT donnent des résultats similaires pour l'ensemble des structures considérées. Les méthodes d'épluchage considérées pour la suite des extractions seront les méthodes *pad-thru* M8, permettant une extraction de R_S et la méthode *open-short* M1, permettant d'obtenir la résistance liée aux couches actives du *frontend*.

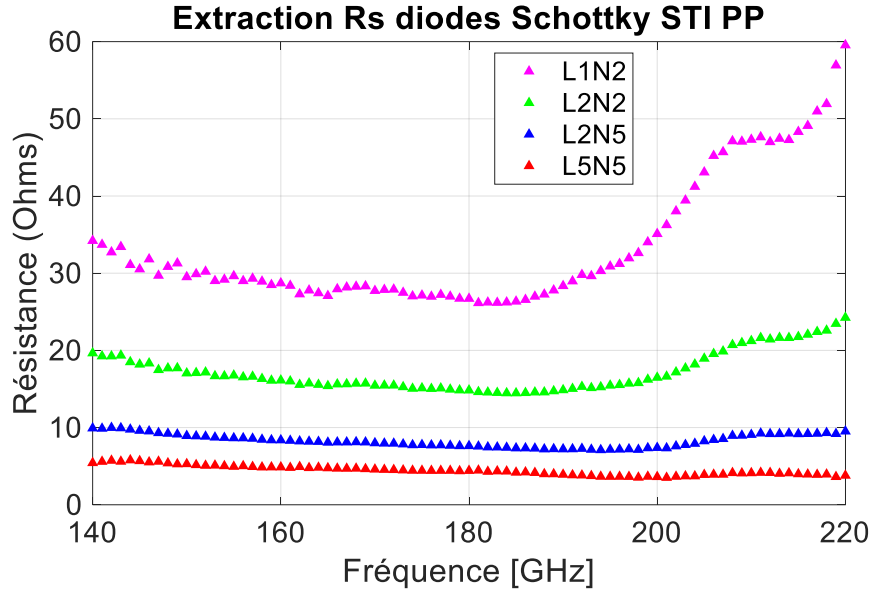
Les résultats d'extraction basés sur les mesures en paramètres S des différentes figures de mérite évoquées précédemment sont fournis dans le Tableau 5 ci-dessous et Figure 67. Pour les topologies les plus petites, les valeurs de C_{BE} ont été extrapolées à partir de la topology la plus importante pour être en accord avec la résolution offerte par la mesure.



(a)



(b)



(c)

Figure 67 : Extraction de la résistance série à l'aide des mesures en paramètres S des diodes Schottky N STI (a), Schottky N poly (b), PN STI PP (c).

Diode	R_S (Ω) (Sparams, (<i>Pad-Thru</i> M8))	R_S (Ω) (DC)	$R_{Front\ End}$ (Ω) (Sparams, <i>Open-short</i> M1)	$R_{Back\ End}$ (Ω) (Sparams)	C_{j0} (fF) Méthode 1	C_{j0} (fF) Méthode 2
PN STI PP L1N2	33,2-49,3	33,47	8,5-26,8	4,8-35,3	3	1,5-3,5
PN STI PP L2N2	14,4-24,2	23,2	5,9-13,7	5-16,2	3,3	3,2-5,7
PN STI PP L2N5	7,1-10	15,3	3-6,6	3,2-5,8	10	9-18,7
PN STI PP L5N5	3,5-5,8	7,2	1,4-3,7	1,9-2,5	30	26,6-43,7
Schottky N STI L1N2	37,8-97,2	38,2	16,2-87,3	27,7-88,1	3	1,5-3
Schottky N STI L2N2	42-51,6	44,1	5,7-44,9	4,8-40,5	NA	NA
Schottky N STI L2N5	19,1-35,7	20,5	7,3-17,7	2-6	20	11,2-15,6
Schottky N STI L5N5	7,2-10	8,1	3,3-6,7	3,2-5,8	NA	NA
Schottky N Poly L1N2	10,4-36,3	11,2	NA	4,8-35,3	5	2,8-3,9
Schottky N Poly L2N2	24,8-39,1	26,3	8,6-34,1	5-16,2	7,2	5,7-9,6
Schottky N Poly L2N5	18,1-26,4	19,2	12,1-20,8	2,7-10,4	35	17,2-36,8
Schottky N Poly L5N5	8,5-12,1	9,8	4,2-8,1	3,1-6,8	NA	48,9-60

Tableau 5 : Résultats d'extraction DC et Paramètres S des paramètres R_S et C_{j0} .

Certaines valeurs de résistance série extraites à partir des mesures en paramètres S épluchées par la méthode *pad-thru* ne permettent pas d'obtenir de valeurs de référence pour l'ensemble de la bande G, en particulier pour les petites topologies (L1N2, L2N2). Dans ce cas, les valeurs de R_S sont prises à partir des extractions faites en DC.

L'extraction de la résistance série montre une difficulté à converger vers une valeur précise pour le *frontend* de diode Schottky N à espaceur poly silicium, bien que les valeurs d'impédances soient du même ordre de grandeur que celles mesurées pour les deux autres *frontends*. L'hypothèse formulée ici serait une dispersion plus grande d'un point de vue *process* qui pourrait altérer la qualité des jonctions présentes dans le *frontend*.

L'objectif premier de ce DOE étant d'identifier de nouveaux *frontends* candidats pour adresser des applications de source de bruit en bande G, l'ensemble des diodes en configuration série a été caractérisé en puissance de bruit comme explicité sur la Figure 68 ci-dessous :

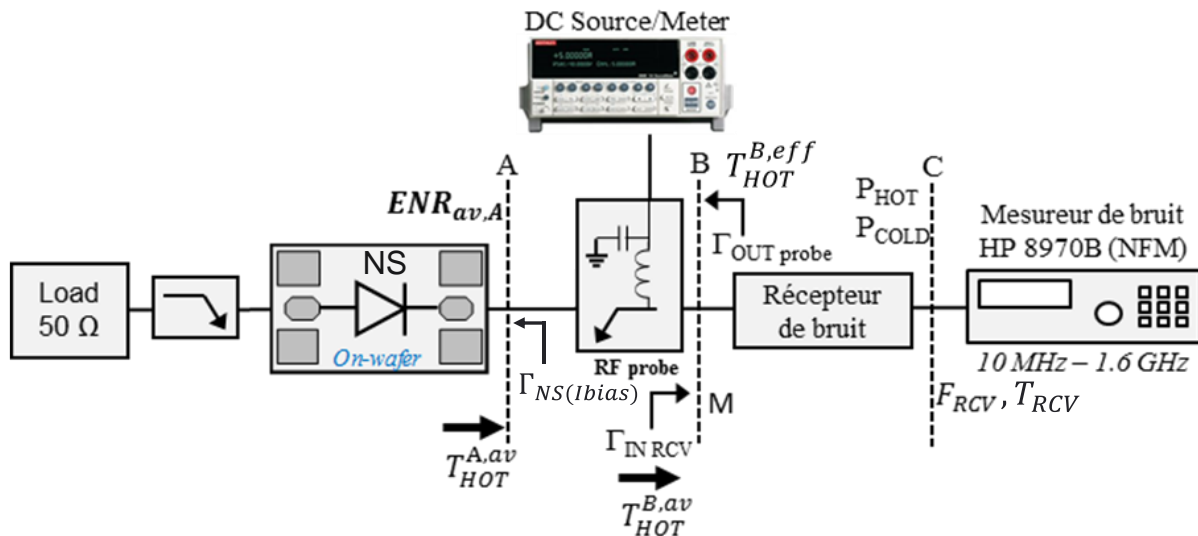


Figure 68 : Schéma bloc du banc de test utilisé à l'IEMN pour la mesure en puissance de bruit des diodes en configuration série. Un premier récepteur de bruit couvre la bande 140-170 GHz, un deuxième la bande 170-220 GHz. Pour émuler une mesure en 1 port, une source de bruit ELVA a été reliée à la sonde de gauche. Son isolateur garantit la présentation d'une impédance très proche de 50 Ω.

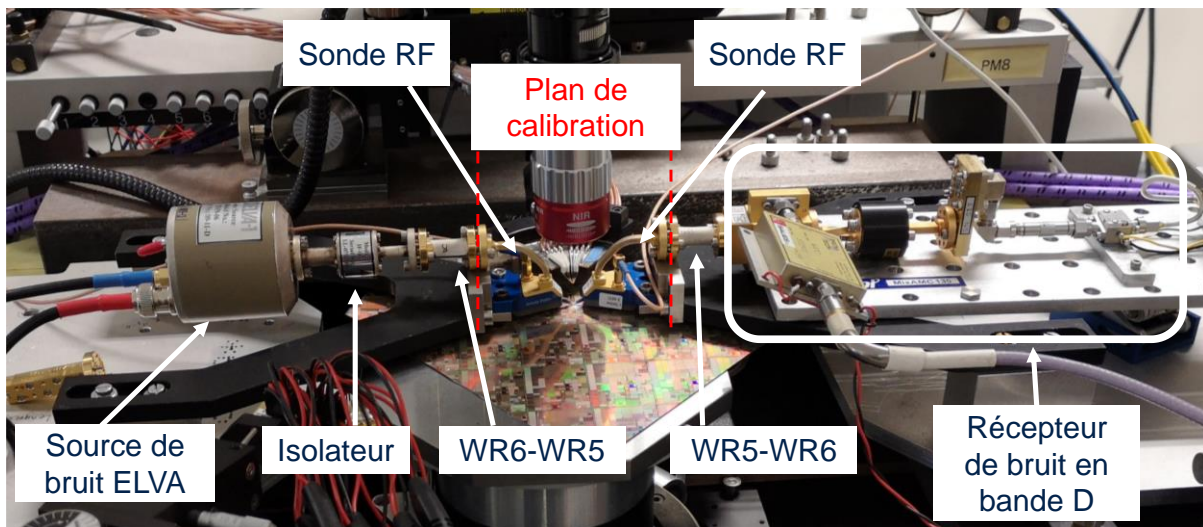


Figure 69 : Photo du banc de mesure en puissance de bruit des diodes 2 ports pour extraction des ENR. La photo illustre la mesure réalisée dans la bande 140-170 GHz.

Les diodes ont été mesurées en puissances de bruit dans le plan d'entrée du mesureur de bruit (C sur la Figure 68). Les mêmes valeurs de courant de polarisation ont été utilisées durant la mesure en paramètres S. Les surfaces d'anode variant d'une topologie à l'autre, une première étape a consisté à repérer les valeurs maximales de courant admissibles avant claquage de chacune des diodes. Ces courants de cathode ont ensuite été appliqués pour extraire les rapports de bruit en excès disponibles ENR_{av} à l'aide de la méthode du facteur Y. Une mesure en paramètres S et en bruit des diodes a également été faite dans

un état de polarisation DC OFF²⁵. Les récepteurs de bruit (140-170 GHz WR06 et 170-220 GHz WR04) ayant été déjà caractérisés lors de précédents travaux [3], [9] leurs facteurs de bruit sont connus et permettent de calculer les températures équivalentes de bruit, notées T_{RCV} .

La première étape vers l'extraction des ENR disponibles dans le plan d'entrée des sondes, notés $ENR_{av,A}$, consiste à déterminer la puissance de bruit disponible dans le plan B à partir de la température effective de bruit lorsque les diodes sont polarisées, notée $T_{HOT}^{B,eff}$, en s'appuyant sur la connaissance du facteur de bruit du récepteur de bruit :

$$T_{RCV} = T_0(F_{RCV} - 1) \quad (29)$$

Avec $T_0 = T_{ambiante} = 290 K$

Connaissant le facteur Y du récepteur de bruit, $T_{HOT}^{B,eff}$ est donnée par :

$$T_{HOT}^{B,eff} = T_{RCV}(Y - 1) + Y \frac{T_{cold}}{M} \quad (30)$$

Avec M le facteur de désadaptation [10], [11] entre la sonde et le récepteur de bruit. Son introduction est nécessaire car les diodes mesurées ne sont pas adaptées sur 50Ω et présentent une impédance de sortie variable selon le courant de cathode appliqué. L'objectif final est d'extraire des valeurs de ratios signal sur bruit disponibles, plus réalistes que des valeurs effectives, car elles tiennent compte des pertes de puissance par désadaptation d'impédance.

Ce facteur M est déterminé par les coefficients de réflexion vus par l'entrée du récepteur de bruit d'une part et la sortie de la sonde de droite d'autre part, notés $\Gamma_{IN RCV}$ et $\Gamma_{OUT probe}$:

$$M = \frac{1 - |\Gamma_{IN RCV} \Gamma_{OUT probe}|^2}{(1 - |\Gamma_{OUT probe}|^2)(1 - |\Gamma_{IN RCV}|^2)} \quad (31)$$

Ces coefficients de réflexion sont connus car déterminés à partir des mesures en paramètres S. Pour le coefficient de réflexion en sortie de sonde, on utilise les paramètres S donnant le coefficient de réflexion de la source de bruit $\Gamma_{NS(ibias)}$ pour les différentes conditions de polarisation en courant de cathode, et les paramètres S de la sonde donnés par le fournisseur :

$$\Gamma_{OUT probe} = S_{22 probe} + \frac{S_{12 probe} S_{21 probe} \Gamma_{NS(ibias)}}{1 - S_{11 probe} \Gamma_{NS(ibias)}} \quad (32)$$

Ayant déterminé $T_{HOT}^{B,eff}$, la connaissance du facteur M permet d'obtenir la température équivalente de bruit disponible dans le plan B :

$$T_{HOT}^{B,av} = M * T_{HOT}^{B,eff} \quad (33)$$

²⁵ : En laissant la sonde DC posée et en appliquant un courant de 0mA.

L'extraction d'ENR se faisant dans le plan d'entrée des sondes, il est nécessaire d'opérer un transfert du plan B vers le plan A à l'aide de l'équation suivante :

$$T_{HOT}^{A,av} = \frac{T_{HOT}^{B,av} - T_{ambiante}(1 - G_{av,probe})}{G_{av,probe}} \quad (34)$$

Avec $G_{av,probe}$ le gain en puissance disponible de la sonde. Ce gain est déterminé à l'aide des paramètres S de la sonde donnés par le fournisseur et les coefficients de réflexions de la source de bruit et de la sonde, déjà connus :

$$G_{av,probe} = |S_{21\ probe}|^2 \frac{(1 - |\Gamma_{NS(ibias)}|^2)}{|1 - S_{11\ probe}\Gamma_{NS(ibias)}|^2 (1 - |\Gamma_{OUT\ probe}|^2)} \quad (35)$$

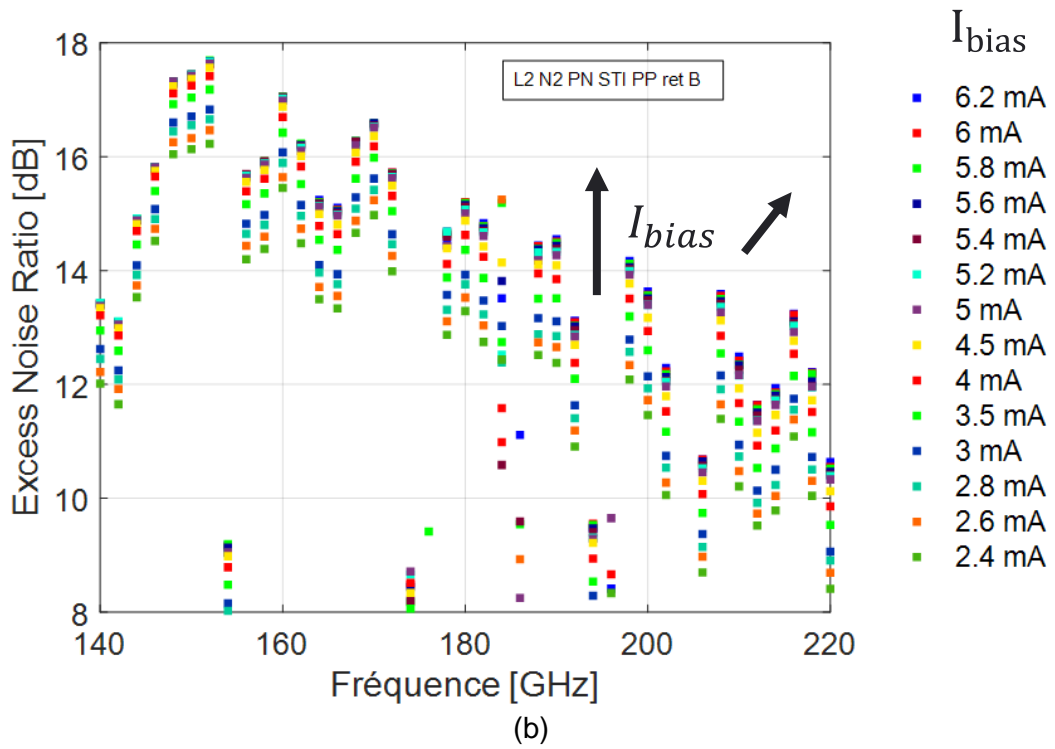
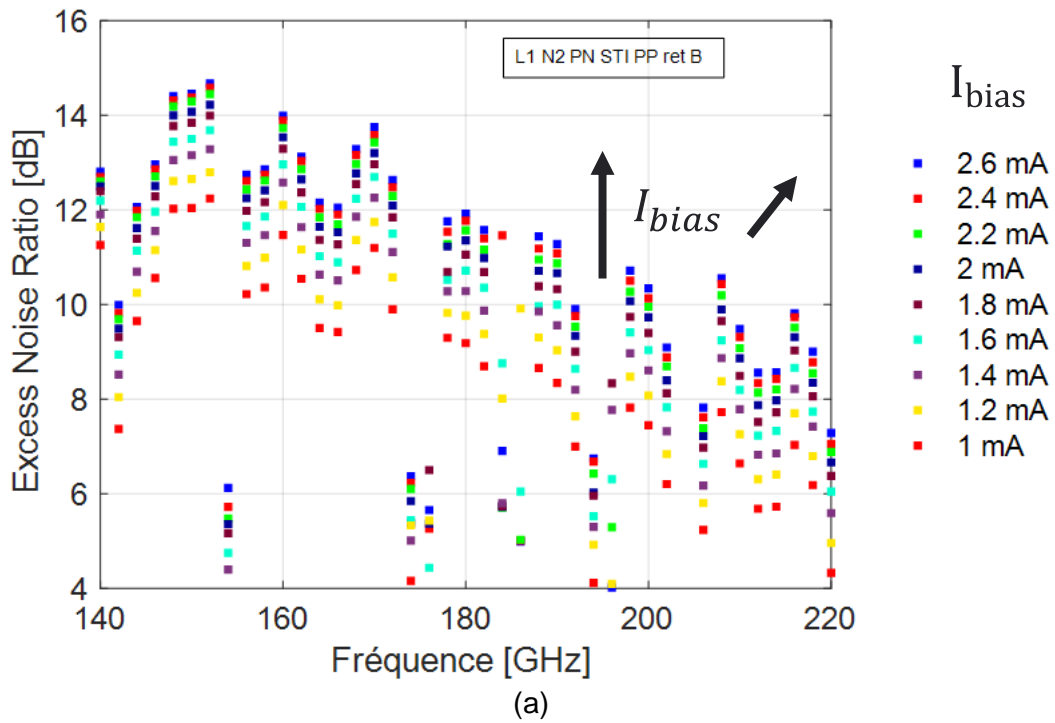
Avec la connaissance de $T_{HOT}^{A,av}$ et d'une température T_{cold} qui peut être une température de bruit prise à un état polarisé²⁶, ou à l'état non polarisé de la diode²⁷, il devient possible de calculer l'ENR disponible dans le plan de sortie des plots, (plan A sur la Figure 68) :

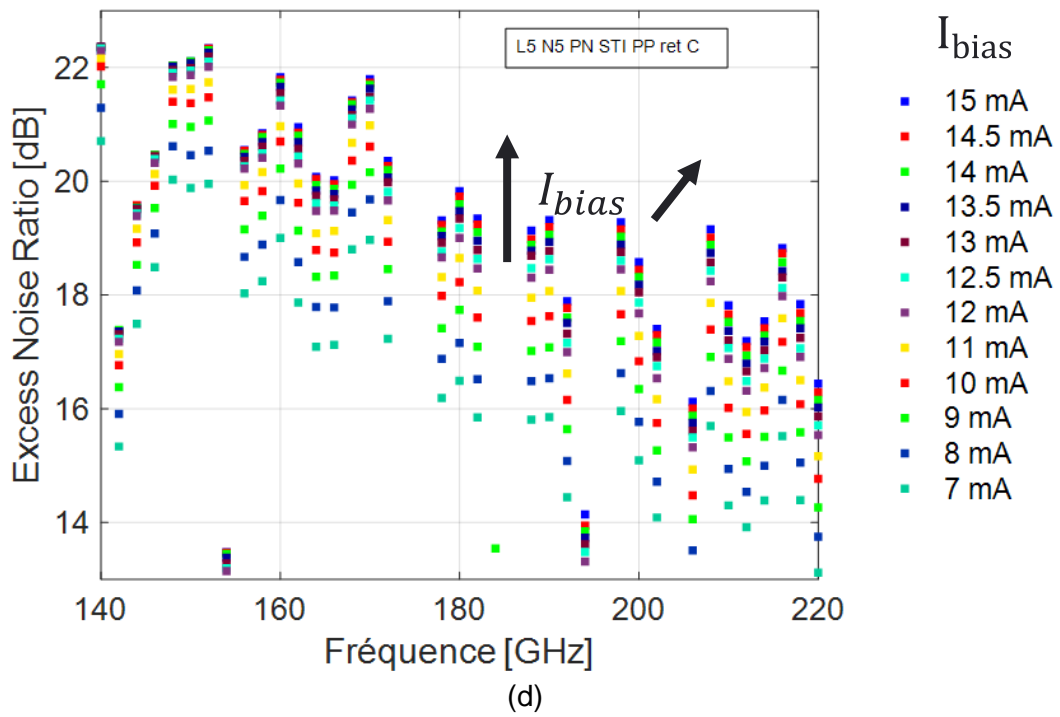
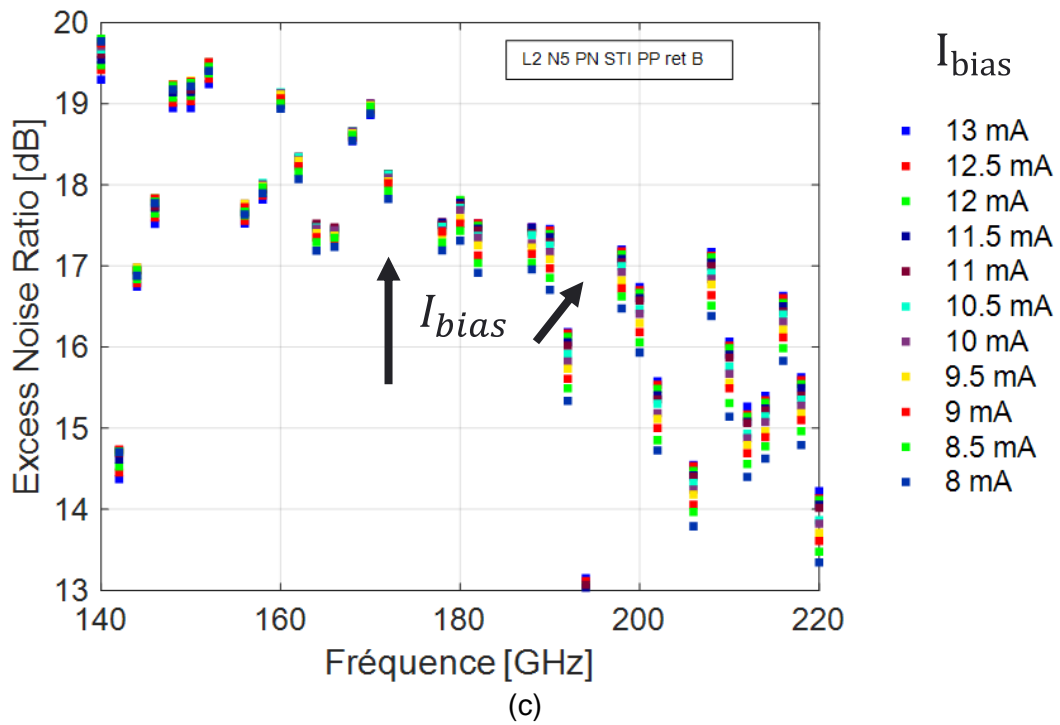
$$ENR_{av,A} = 10 \log \left(\frac{T_{HOT}^{A,av} - T_{cold}}{T_0} \right) \quad (36)$$

Les niveaux d'ENR des diodes PN STI PP extraits dans la bande 140-220 GHz sont représentés Figure 70. **Error! Reference source not found.**L'état bas de polarisation correspond ici à une jonction non polarisée. Certains points montrent un décrochage du niveau d'ENR extrait. Ce phénomène s'explique par la réponse fréquentielle du récepteur de bruit qui présente un facteur de bruit variable en bande G. Au niveau du mélangeur, l'amplificateur utilisé dans la chaîne de l'oscillateur local (LO) a un gain non constant dans cette même bande de fréquence, ce qui contribue également à altérer la mesure.

²⁶ : Mais dont la polarisation reste plus faible que pour l'état haut dont la température est ici $T_{HOT}^{A,av}$.

²⁷ : Pour le calcul du facteur Y, il s'avère que plus l'écart entre la température de bruit à l'état haut et la température de bruit à l'état bas est grand, plus la fiabilité de l'extraction est grande. La suite de ce manuscrit traite de l'intérêt de choisir un état bas polarisé pour valider certains critères de mesure et se placer dans des conditions optimales en termes de précision et de fiabilité.





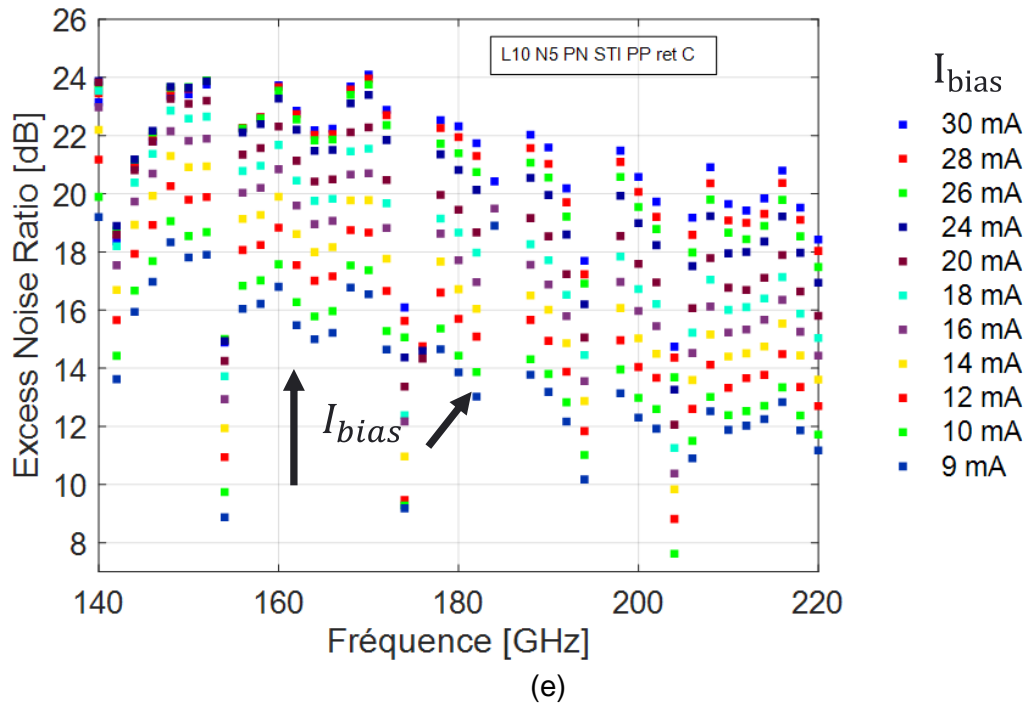


Figure 70 : ENR disponibles extraits pour les diodes PN STI P+ dans différentes topologies. (a) : L1N2, (b) L2N2, (c) : L2N5, (d) : L5N5, (e) : L10N5.

Ces figures d'ENR permettent de valider l'utilisation de diodes PN STI PP en tant que sources de bruit, avec un contrôle du niveau d'ENR généré par la polarisation de la cathode. Les niveaux maximums représentés augmentent avec les surfaces d'anodes, les diodes à plus grandes surfaces pouvant tolérer de plus forts courants de polarisation. Certains points de fréquence présentent des ruptures dans les niveaux d'ENR mesurés. Cela est lié à la réponse en fréquence des récepteurs de bruit couvrant la bande 140-220 GHz.

Ces mêmes allures ont été observées pour les deux autres *frontends* étudiés, comme représenté Figure 71 pour les diodes Schottky N STI.

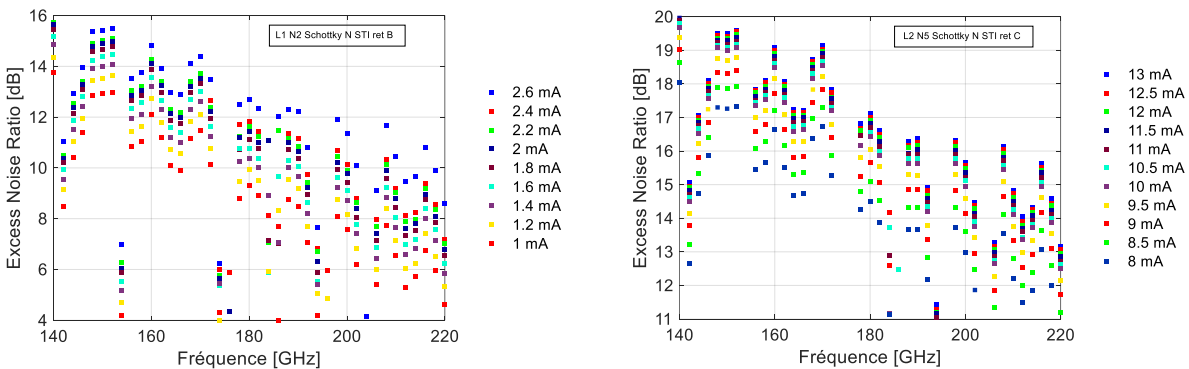
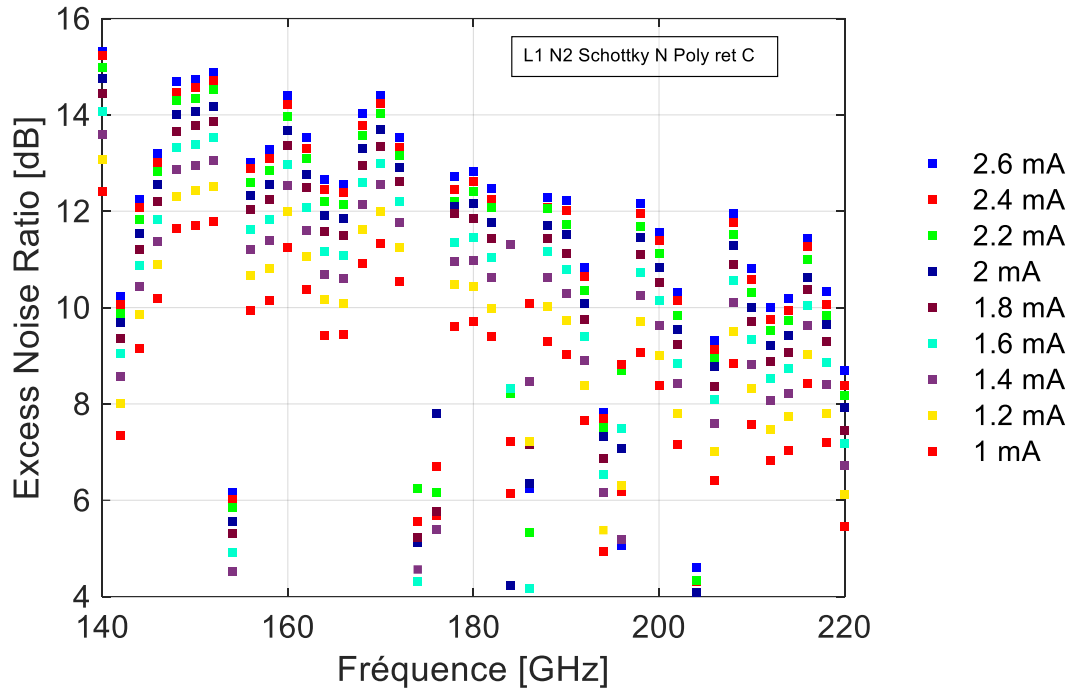
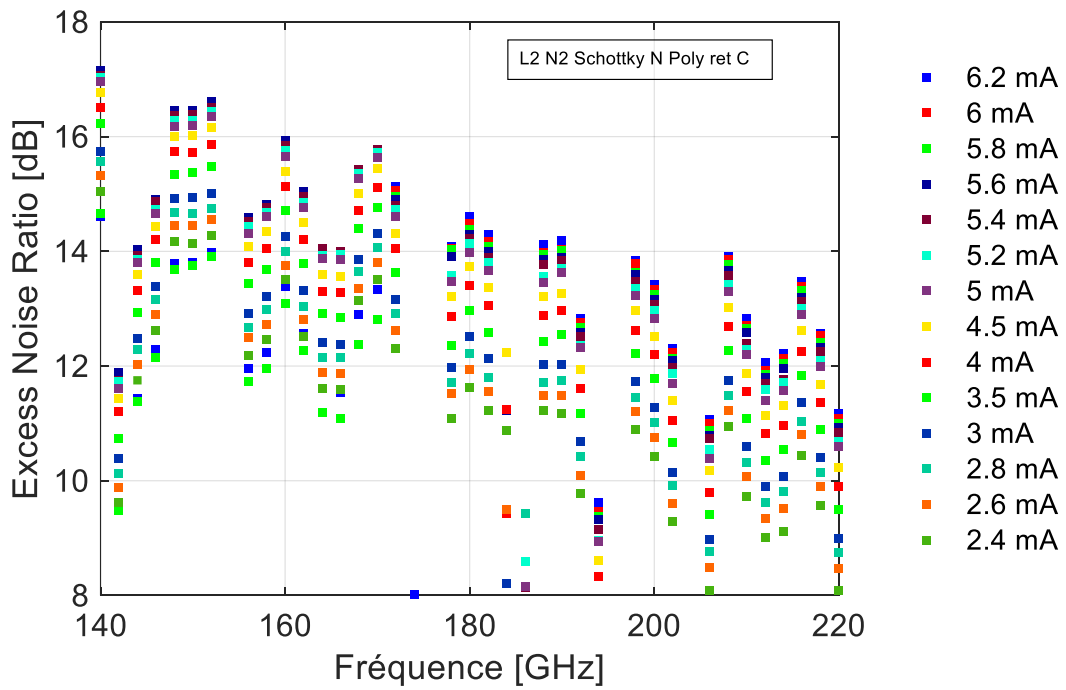


Figure 71 : ENR disponibles extraits pour les diodes Schottky N STI dans différentes topologies, de gauche à droite L1N2 et L2N5.

Certaines topologies de diodes Schottky N STI se sont avérées délicates à mesurer en évitant le claquage de la diode. Ainsi, seules deux topologies ont pu être étudiées pour ce *frontend*. Le dernier *frontend* étudié en bruit a été celui des diodes Schottky N Poly, les résultats sont représentés Figure 72. Les mêmes cassures liées à la réponse en fréquence du récepteur de bruit sont présentes.



(a)



(b)

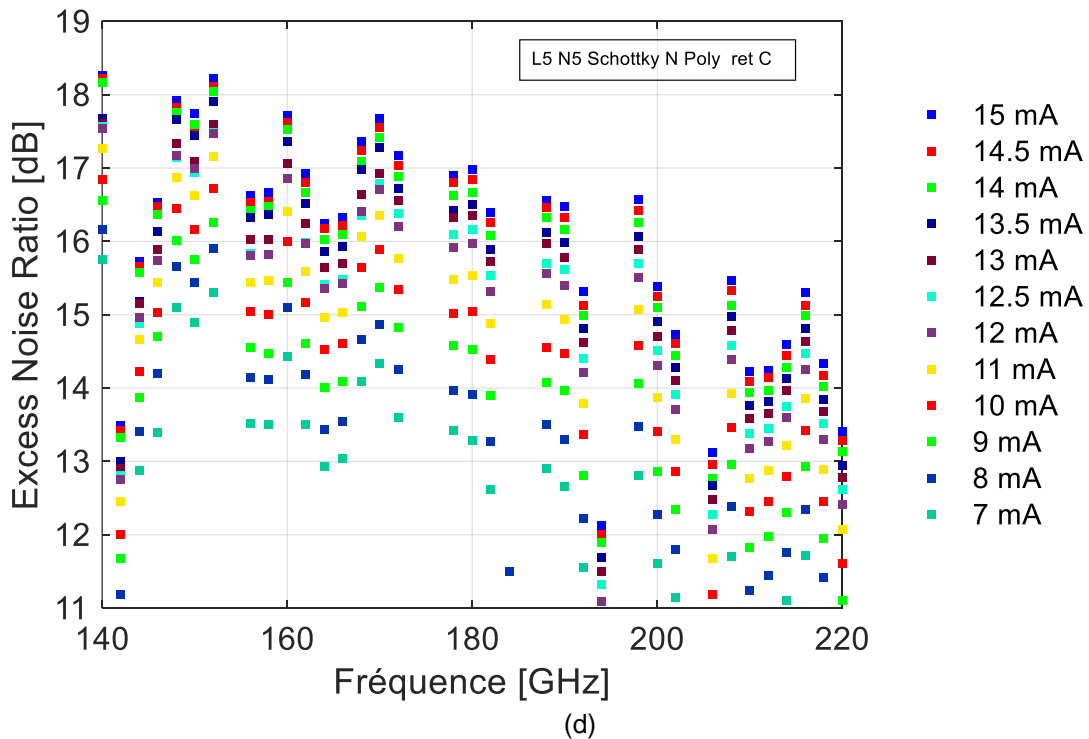
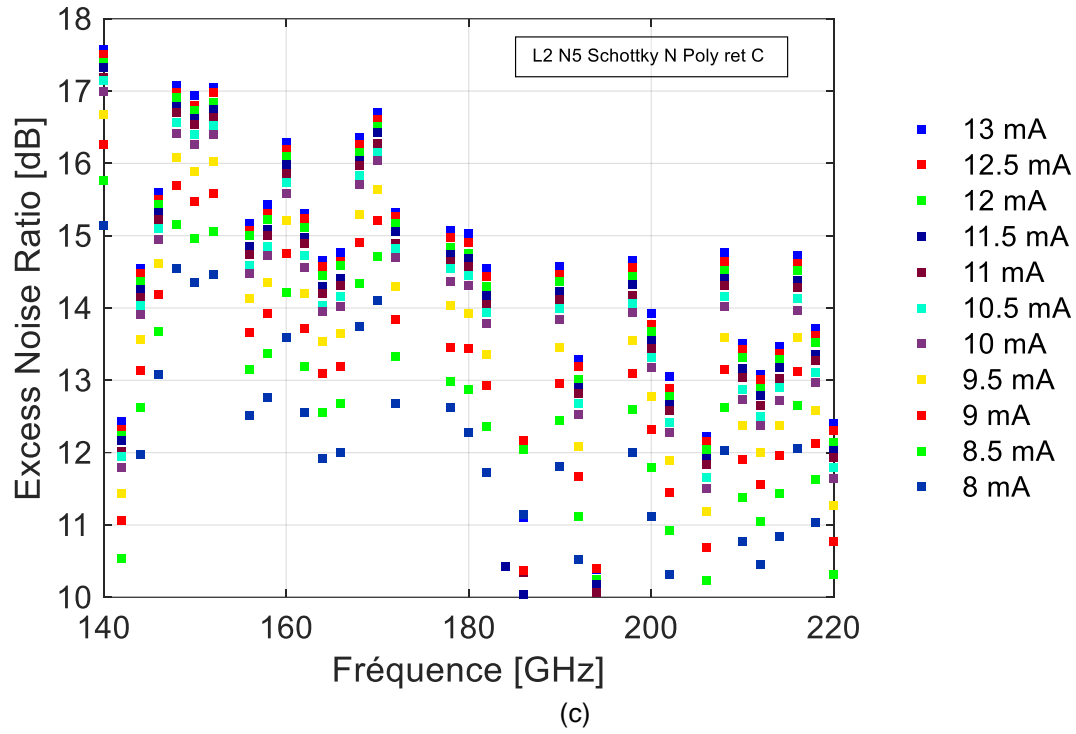
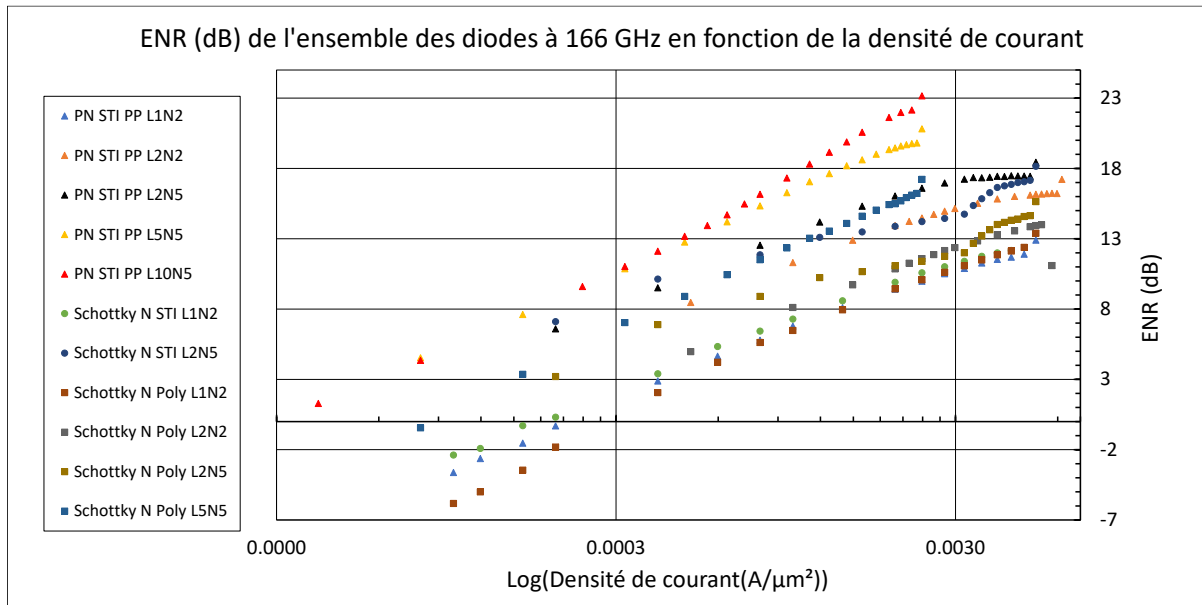


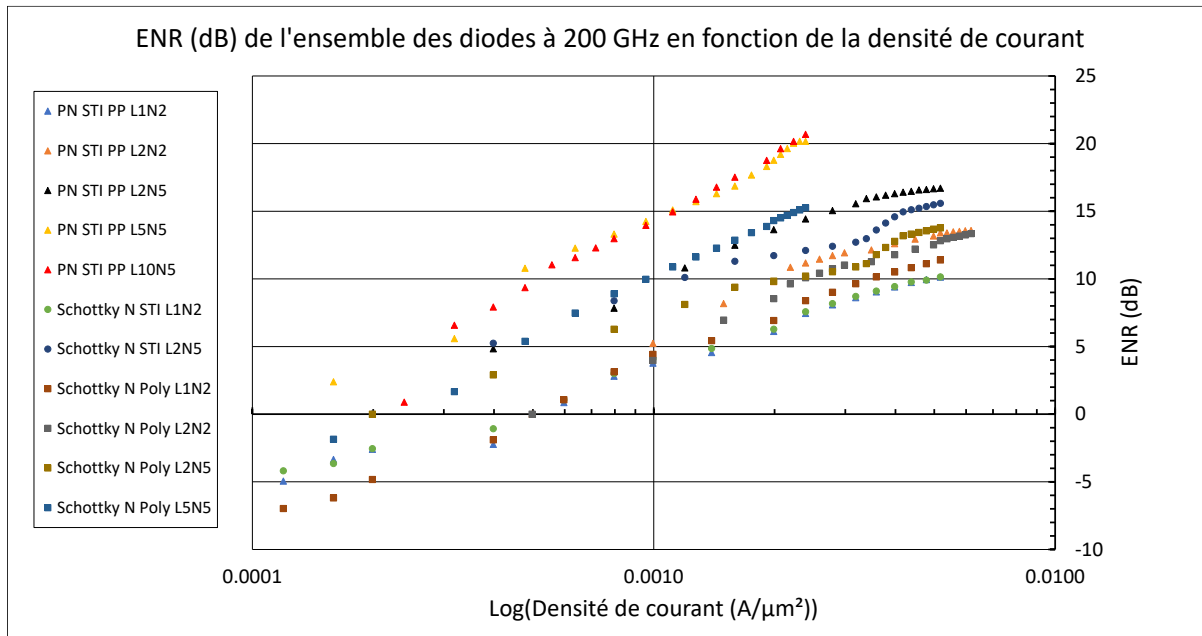
Figure 72 : ENR disponibles extraits pour les diodes Schottky N Poly dans différentes topologies : (a) : L1N2. (b) : L2N2. (c) : L2N5. (d) : L5N5.

L'ensemble de ces graphes permet de valider l'utilisation de ces *frontends* en tant que source de bruit à ENR variable en bande G.

Afin de savoir si un *frontend* est à privilégier pour une utilisation en source de bruit, une comparaison des ENR générés a été faite en fonction de la densité de courant de cathode, à 166 GHz et 200 GHz. Ces résultats sont représentés Figure 73 (a) et (b).



(a)



(b)

Figure 73 : Evolution des niveaux d'ENR en fonction de la densité de courant de cathode pour l'ensemble des diodes du DOE. (a) : A 166 GHz. (b) : A 200 GHz.

Ces allures permettent de valider la loi d'évolution de l'ENR en fonction de la densité de courant présentée dans [12]. En effet, Haitham Ghanem a proposé un schéma électrique équivalent d'une diode de bruit en régime d'avalanche, rappelé Figure 74.

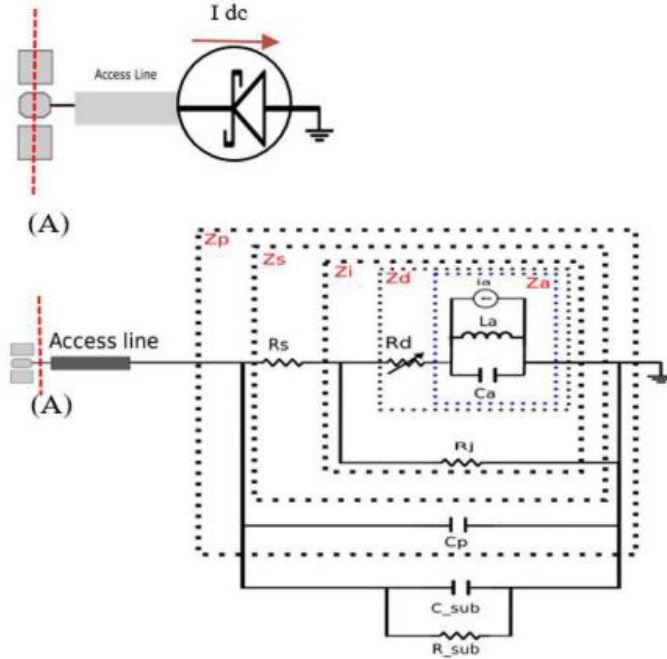


Figure 74 : Schéma électrique équivalent d'une diode de bruit en régime d'avalanche. [12]

Ce schéma inclut une source de bruit intrinsèque liée au courant d'avalanche notée i_a . C_{sub} et R_{sub} sont la capacité et la résistance modélisant le substrat, R_s modélise l'aspect résistif de la jonction PN ou Schottky, C_p la capacité parasite. En régime d'avalanche, la diode est assimilée à un circuit résonnant constitué des éléments C_a et L_a . La densité de courant d'avalanche est donnée par :

$$\langle i_a^2 \rangle = \frac{2qI_0}{\omega^2 \tau_x^2} \Delta f \quad (37)$$

Où I_0 est la valeur du courant de polarisation, τ_x est le temps moyen entre deux ionisations par impact et q est la charge élémentaire électronique.

Cette densité de courant d'avalanche peut être reliée à la densité de courant totale $\langle i_t^2 \rangle$ en utilisant le modèle présenté Figure 74 à l'aide de la relation suivante :

$$\langle i_t^2 \rangle = \langle i_a^2 \rangle \left| \frac{Z_a Z_i Z_p}{Z_d Z_s Z_p + Z_{access\ line}} \right|^2 \quad (38)$$

Cette densité de courant totale est liée à l'ENR par l'intermédiaire de la température de bruit à l'état haut (T_{hot}), i.e. polarisé, de la diode grâce à la relation suivante :

$$T_{hot} = \frac{\langle i_t^2 \rangle}{4kRe(Y_d)\Delta f} \quad (39)$$

Où Y_d est l'admittance mesurée de la diode, k la constante de Boltzmann.

Comme vu précédemment, cette température de bruit à l'état haut intervient directement dans l'ENR.

Les allures linéaires des évolutions des niveaux d'ENR en dB en fonction des densités de courant total permettent de valider la physique liée au modèle proposé dans [12]. La logique selon laquelle l'admittance de la diode diminue avec la surface d'anode et entraîne une augmentation de la température T_{HOT} et donc de l'ENR, est respectée.

La lecture des graphes Figure 73 permet de constater que pour les faibles valeurs de surface d'anode, aucun *frontend* ne se démarque en termes de génération d'ENR. Ceci est particulièrement visible pour les topologies L1N2.

La Figure 75 montre l'évolution des ENR à 200 GHz pour des densités de courant variables pour des topologies L2N5, correspondant à une surface d'anode physique de $2,5 \mu\text{m}^2$.

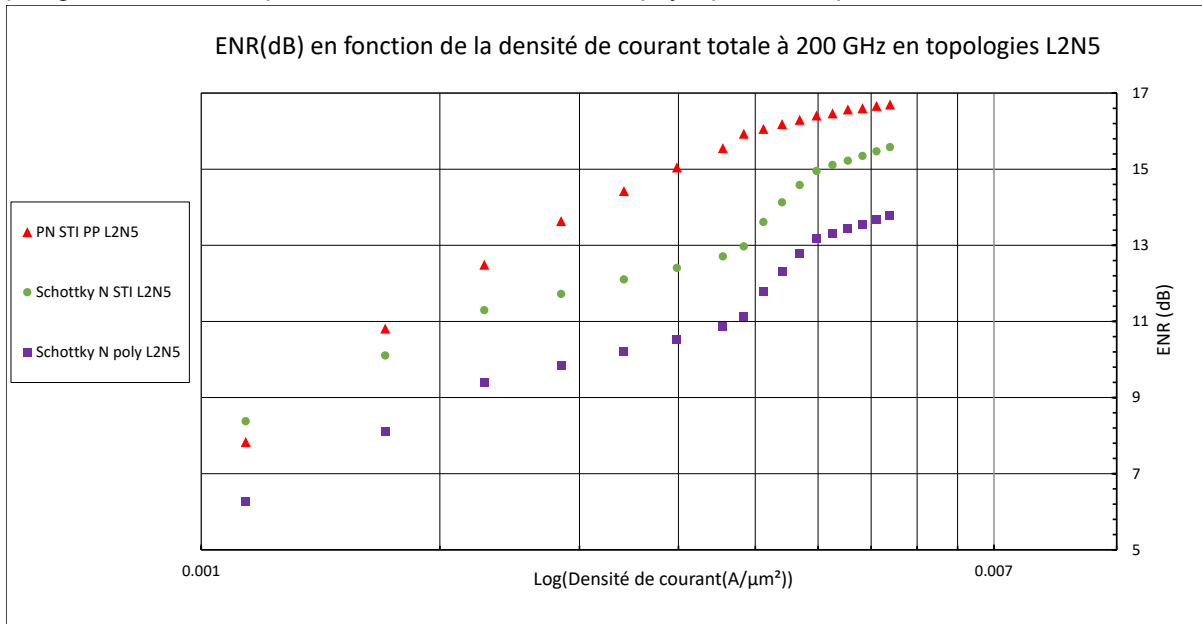


Figure 75 : Allure de l'ENR généré pour les diodes en topologie L2N5 en fonction de la densité de courant totale.

Il apparaît qu'à densité de courant constante, les diodes PN STI PP sont davantage génératrices de bruit que les diodes Schottky N STI et Schottky N poly. Ceci peut s'expliquer par le fait que la capacité de jonction des diodes PN STI PP est plus faible que celle des deux autres *frontends* (cf. Figure 66).

Cette partie a permis de valider l'utilisation de nouveaux *frontends* de diodes Schottky en technologie B55 répondant aux nouvelles exigences de dessin liées à la montée en maturité de la technologie. En guise de bilan, le tableau ci-dessous recense les performances mesurées en termes d'ENR pour l'ensemble des diodes étudiées.

Frontend	Densité de courant ($\text{A}/\mu\text{m}^2$)	Fréquence (GHz)	Topologie ($L \times N_y$)	Surface d'anode (μm^2)	ENR_{av} (dB)
PN STI P+	0,001	200	L1N2	0,5	3,77
PN STI P+	0,001	200	L2N2	1	5,23
PN STI P+	0,001	200	L2N5	2,5	9,89
PN STI P+	0,001	200	L5N5	6,28	14,54
PN STI P+	0,001	200	L10N5	12,6	14,86
Schottky N Poly	0,001	200	L1N2	0,5	4,42
Schottky N Poly	0,001	200	L2N2	1	3,96
Schottky N Poly	0,001	200	L2N5	2,5	7,34
Schottky N Poly	0,001	200	L5N5	6,28	10,23
Schottky N STI	0,001	200	L1N2	0,5	4,09

Schottky N STI	0,001	200	L2N5	2,5	9,12
PN STI P+	0,001	166	L1N2	0,5	6,78
PN STI P+	0,001	166	L2N2	1	11,31
PN STI P+	0,001	166	L2N5	2,5	13,34
PN STI P+	0,001	166	L5N5	6,28	16,28
PN STI P+	0,001	166	L10N5	12,6	17,31
Schottky N Poly	0,001	166	L1N2	0,5	6,47
Schottky N Poly	0,001	166	L2N2	1	8,11
Schottky N Poly	0,001	166	L2N5	2,5	9,64
Schottky N Poly	0,001	166	L5N5	6,28	12,35
Schottky N STI	0,001	166	L1N2	0,5	7,28
Schottky N STI	0,001	166	L2N5	2,5	12,86

Tableau 6 : Récapitulatif des performances en termes de génération d'ENR des diodes du DOE.

Le paragraphe suivant montre le développement effectué autour de sources de bruit amplifiées destinées à de la mise en boîtier.

II.3 Conception de sources de bruit amplifiées à larges gammes d'ENR

Afin de limiter l'impact des pertes liées à la mise en boîtier sur les niveaux d'ENR générés par les diodes de bruit précédemment étudiées, il est apparu opportun d'utiliser un LNA à la sortie des diodes polarisées en régime d'avalanche. L'impact attendu de ce LNA est double : augmenter les niveaux d'ENR maximums générés et rendre insensible au courant de polarisation l'adaptation d'impédance en sortie de la nouvelle source de bruit composée de la diode et du LNA *via* l'isolation de ce dernier. L'intérêt d'atteindre des niveaux d'ENR élevés est d'être capable de mesurer en bruit des circuits dans des bandes de fréquence élevées, où le facteur de bruit des récepteurs de bruit existants limite la validité des mesures par la condition du MDS.²⁸ Un certain niveau de puissance de bruit doit être présenté à l'entrée du récepteur de bruit (NFRCV) pour que la détection du signal et la lecture par le mesureur de bruit (NFM) se fasse de manière correcte.

II.3.1 Présentation des sources de bruit amplifiées

Deux structures de sources de bruit amplifiées ont été réalisées au cours de cette thèse. L'objectif premier étant de mettre en boîtier des fonctions circuits, la réutilisation de circuits issus de précédents travaux a été privilégiée, nécessitant parfois quelques modifications pour rendre possible la mise en boîtier desdits circuits.

La première source de bruit amplifiée est constituée :

- D'une diode STI PP (topologie L5N5) basée sur la contribution de Joao Carlos Azevedo Goncalves au cours de sa thèse. [3]
- D'un LNA à deux étages développé par Simon Bouvot au cours de sa thèse. [4]

Un rappel de la structure du LNA utilisé est fait Figure 76. Ce LNA est constitué de deux étages cascodés utilisant chacun deux transistors NPN VHS de longueur d'émetteur $L_e = 5,56 \mu\text{m}$ et de largeur $W_e = 0,2 \mu\text{m}$. Les performances simulées et mesurées de ce LNA en bande G sont rappelées Figure 77. Ce LNA présentant un gain d'au moins 10 dB entre 140 et 180 GHz et constitue un candidat intéressant à la mise en boîtier de circuits en bande G.

²⁸ : Le chapitre 4 détaille la condition du MDS et la difficulté de la mesure en bruit en hyperfréquences.

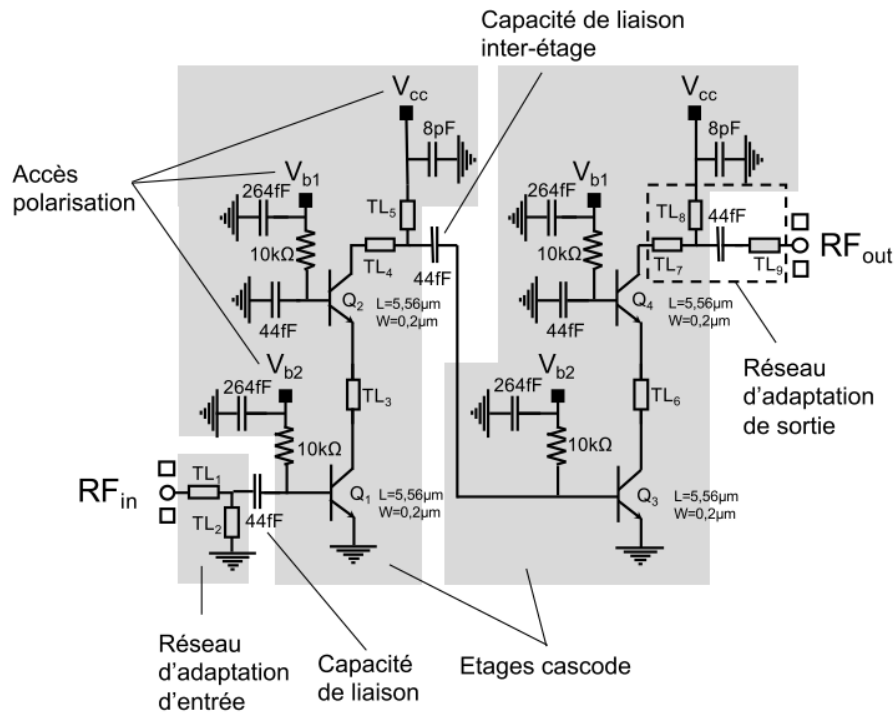


Figure 76 : Schéma électrique du LNA à deux étages. [4]

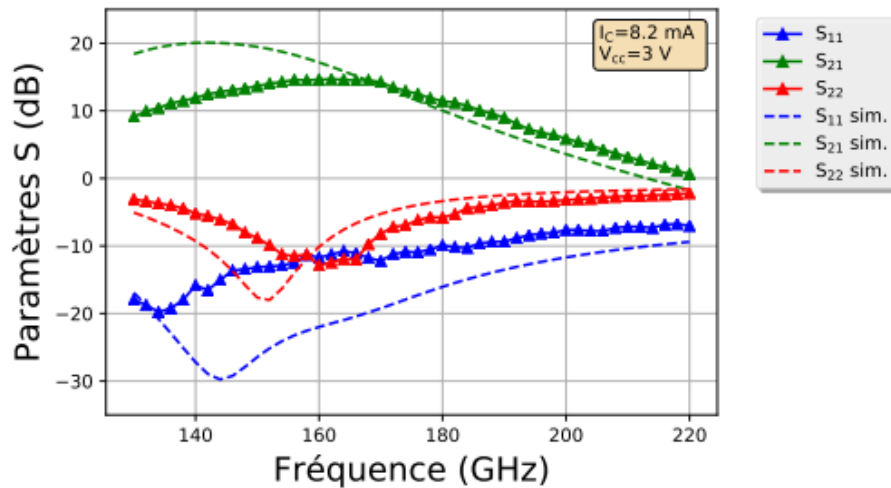


Figure 77 : Paramètres S mesurés et simulés du LNA deux étages. [4]

L'isolation du LNA, non représentée ici, est de l'ordre de 35 dB dans l'ensemble de la bande de fréquence considérée. La bonne adaptation d'impédance en entrée de ce LNA a facilité la conception de la source de bruit amplifiée.

II.3.2 Résultats expérimentaux

La comparaison de l'adaptation d'impédance en sortie de la source de bruit, dans le cas de la diode de bruit seule et de la diode de bruit amplifiée par le LNA a été faite pour trois valeurs extrêmes de courants de polarisation :

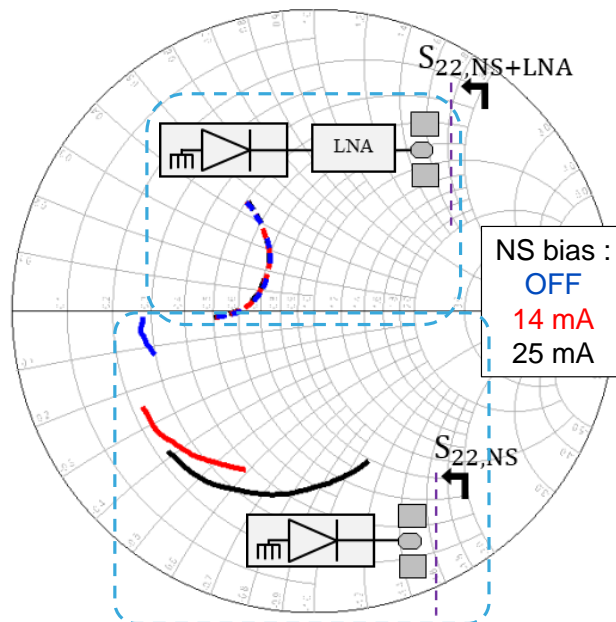


Figure 78 : Comparaison de l'adaptation d'impédance de sortie de la source de bruit avec et sans LNA, sous 3 courants de polarisation (OFF, 14 mA et 25 mA) en bande G.

L'ajout du LNA permet de maintenir une adaptation en sortie constante quelle que soit la condition de polarisation de la diode. Cet aspect entre en compte lors de l'étude sur la précision de mesure en bruit, traitée au chapitre 4.

Le paramètre S_{22} de la source de bruit amplifiée est également représenté en dB entre 140 et 170 GHz, pour l'ensemble des courants de polarisation appliqués. Ces courants variant de 0,25 mA à 25 mA. L'adaptation est meilleure que -10 dB de 147 GHz à 168 GHz comme illustré Figure 79.

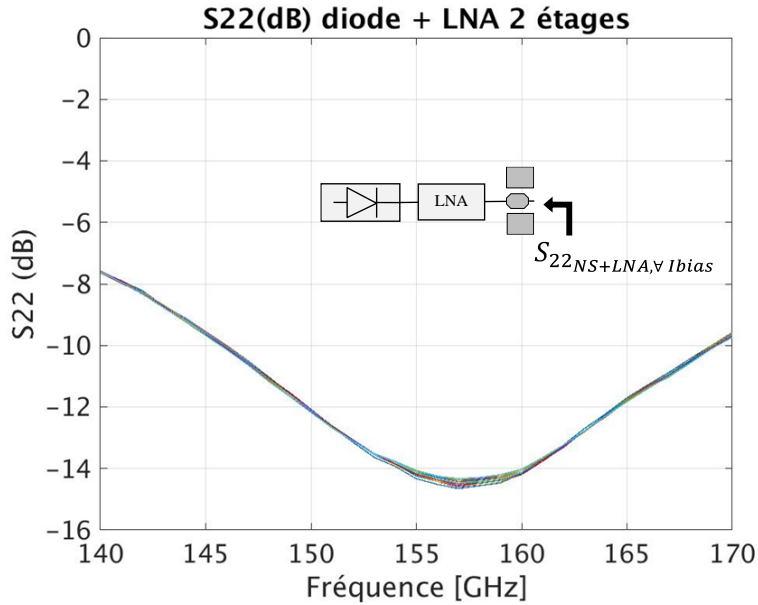


Figure 79 : S22(dB) de la source de bruit amplifiée pour l'ensemble des courants de polarisation.

L'extraction des niveaux d'ENR suit des étapes similaires à celles présentées dans la partie // 1.2.2. Cette configuration de source de bruit amplifiée entraîne cependant des mesures supplémentaires en puissances de bruit pour couvrir l'ensemble des configurations. La diode et le LNA doivent être mesurés aux états ON et OFF.

Le schéma bloc de l'extraction d'ENR de cette source de bruit est présenté Figure 80.

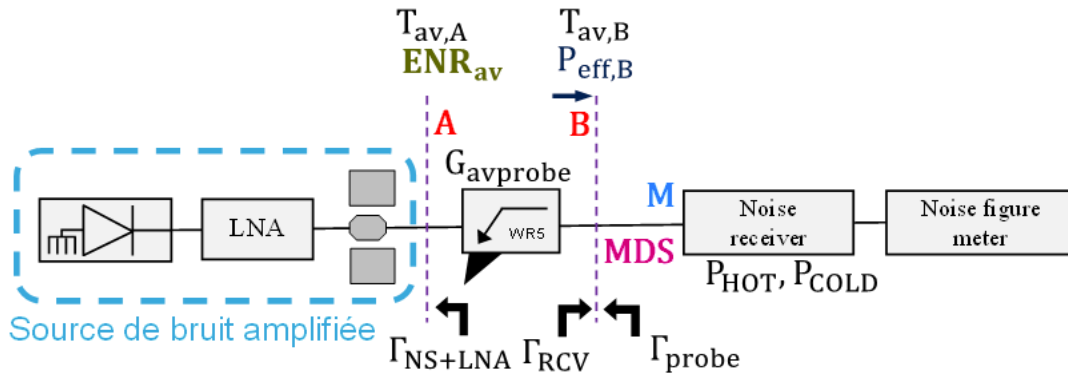


Figure 80 : Schéma bloc du banc de mesure en puissance de bruit de la source de bruit amplifiée entre 140 et 170 GHz.

Ce banc de mesure a été utilisé afin d'extraire les niveaux d'ENR disponibles dans les plans A et B. Le LNA et la source de bruit étant des circuits actifs, l'extraction des niveaux d'ENR dans le plan A a nécessité des mesures en étant ON (polarisé) et OFF (non-polarisé) de chacun de ces éléments.

La première étape a consisté à mesurer des puissances de bruit calibrées dans le plan d'entrée du récepteur de bruit pour différents états de polarisations de la diode et du LNA. Au préalable, des mesures en paramètres S ont permis de déterminer les coefficients de réflexion aux interfaces entre les différents

éléments du banc. La diode seule a été mesurée en paramètres S afin de déterminer son coefficient de réflexion de sortie pour l'ensemble des courants de polarisation appliqués, noté Γ_{NS} . La connaissance du coefficient de réflexion à l'entrée du récepteur de bruit Γ_{RCV} et à la sortie de la source de bruit amplifiée Γ_{NS+LNA} pour l'ensemble des conditions de polarisations appliquées à la diode et au LNA est obtenue avec une mesure des paramètres S de la source de bruit amplifiée. Dans cette étude, le plot de sortie de la source de bruit n'est pas épluché. En effet, cette structure est destinée à être mise en boîtier, ce qui implique de conserver le plot de sortie pour l'étape de *bumping*²⁹.

Le récepteur de bruit est assimilé à une charge 50 Ω . L'ensemble de ces données rend possible le calcul du gain disponible de la sonde $G_{av,probe}$ et du coefficient Γ_{probe} , les paramètres S de la sonde étant donnés par le fournisseur.

Bien que l'ajout du LNA augmente considérablement l'adaptation d'impédance de sortie de la source de bruit, celle-ci ne peut pas être rigoureusement considérée comme une charge 50 Ω . Par conséquent, un facteur de désadaptation, noté M, est introduit et utilisé pour passer de valeurs effectives (mesurées) à des valeurs disponibles. Cette connaissance permet de transformer les puissances de bruit mesurées dans le plan B ($P_{eff,B}$) en des températures de bruit disponibles dans ce même plan $T_{av,B}$:

$$T_{av,B} = T_{eff,B} M = \frac{P_{eff,B}}{k_B} M \quad (40)$$

Puis, le calcul de la température équivalente de bruit disponible à l'entrée de la sonde (plan A sur la Figure 80) est fait selon :

$$T_{av,A} = \frac{T_{av,B} - T_{amb}(1 - G_{avprobe})}{G_{avprobe}} \quad (41)$$

Avec T_{amb} la température ambiante, prise à 296 K.

Cette température équivalente disponible de bruit est calculée pour différents états de polarisation de la diode et du LNA. La notation T_{COLD} correspond à l'état où la diode et le LNA sont éteints. La notation $T_{av,A,HOT}$ correspond à l'état où la diode est polarisée avec des courants variants de 0,25 mA à 25 mA et le LNA est polarisé.

Le tableau suivant donne les polarisations appliquées sur la structure diode de bruit et LNA. La diode utilisée en tant que source de bruit est constituée d'un réseau d'adaptation à sa sortie qui est piloté par la tension V_{load} . La diode est quant à elle pilotée en courant de cathode noté I_{bias} . Les transistors bipolaires du LNA sont pilotés en tension par leurs bases V_{b1} et V_{b2} . Les tensions d'alimentation V_{CC} sont appliquées aux collecteurs. Le courant de polarisation de la diode est appliqué dans des plages de valeurs variables, qui dépendent des surfaces d'anode des diodes. Les valeurs extrêmes utilisées sont celles renseignées dans le tableau. Les courants associés attendus correspondants aux tensions appliquées ont été vérifiés lors de la mesure en DC. Deux réticules ont été mesurés en paramètres S et en bruit pour vérifier la reproductibilité des mesures. La dispersion observée sur les paramètres S est de 0,02 dB, celle sur l'ENR de l'ordre de 0,1 dB dans la bande 140-220 GHz.

I_{bias}	V_{load}	V_{b1}	V_{b2}	V_{CC}
0 à 25 mA	0,9 V	2,2 V	1 V	3 V (8,2 mA)

Tableau 7: Liste des polarisations appliquées à la structure source de bruit en série avec le LNA 2 étages pour les mesures en paramètres S et en bruit.

²⁹ : voir Chapitre 3.

Par conséquent, une expression de l'ENR peut être définie à partir de ces deux températures équivalentes de bruit et de la température de référence T_0 :

$$ENR_{av}(dB) = 10 \log \left(\frac{T_{av,A,HOT} - T_{COLD}}{T_0} \right) \quad (42)$$

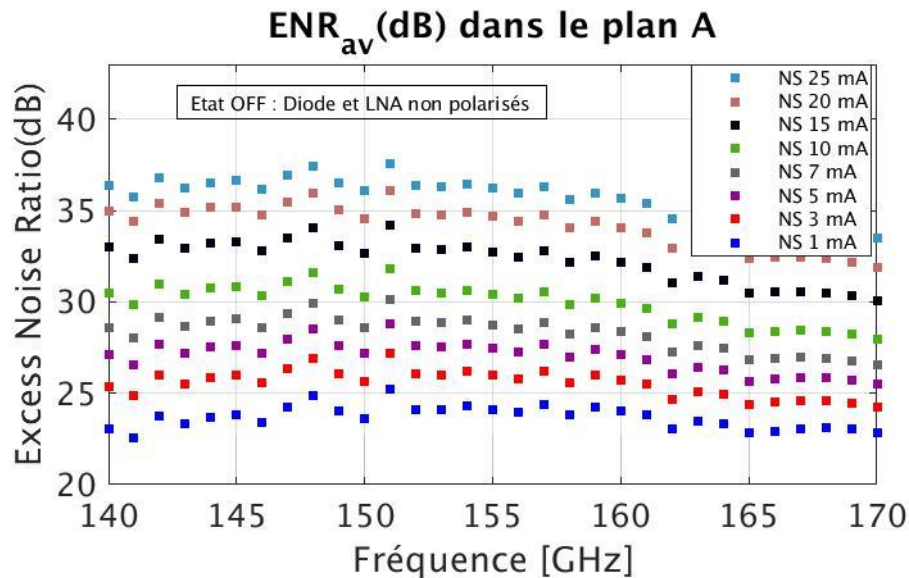


Figure 81 : Niveaux d'ENR disponibles extraits entre 140 et 170 GHz dans le plan d'entrée de la sonde RF (plot inclus). L'état OFF correspond à un état où la diode et le LNA sont éteints.

La présence du LNA permet d'atteindre des niveaux d'ENR de l'ordre de 35 dB, valeur inédite pour des sources de bruit sur silicium en bande G.

L'introduction d'un LNA a déjà montré plusieurs avantages. Un autre intérêt est d'utiliser un état OFF polarisé.

Le tableau ci-dessous donne une comparaison des différentes sources de bruit disponibles aux fréquences millimétriques et submillimétriques. La comparaison est faite entre différentes technologies de sources de bruit. Il est à noter que la présente source de bruit amplifiée rivalise en termes de niveaux d'ENR avec les sources de bruit photoniques de type photodiodes :

Technologie	Fréquence (GHz)	ENR (dB)	Ref.
SiPho PD Ge	75-110	0-40	[13]
UTC-PD	0-20	0-62	[14]
BiCMOS 130 nm	0-40	15-30	[15]
Commercial	110-170	12	[16]
BiCMOS 55 nm	130-260	0-20	[17]
BiCMOS 90 nm	0-30	0-25	[18]
BiCMOS 55 nm	140-170	0-37	Ces travaux

Tableau 8 : État de l'art des sources de bruit aux fréquences millimétriques.

Cependant, cette source de bruit amplifiée sur silicium présente l'avantage de la facilité d'intégration en boîtier de par la disponibilité à l'échelle industrielle des différents outils d'assemblage (*copper pillar bumping* et *flip chip*, cf. Chapitre 3).

II.4 Source de bruit active et tuner d'impédances pour caractérisation multi-impédance source pull

L'étape de validation de l'utilisation d'une diode Schottky amplifiée en tant que source de bruit active en bande G a été complétée et permet de mesurer le facteur de bruit d'une large gamme de circuits grâce à des niveaux d'ENR importants.

Comme vu dans le Chapitre 1, la méthode de caractérisation privilégiée pour extraire les 4 paramètres de bruit d'un DST repose sur la génération d'impédances maîtrisées à l'entrée du DST et de la mesure du facteur de bruit pour chacun des états d'impédance présenté. L'application de l'algorithme de Lane permet ensuite d'extraire les 4 paramètres de bruit.

L'aspect multi-impédance est traité par la conception de 16 réseaux d'adaptation constitués de lignes de transmission simple-*stub* qui permettent d'atteindre l'étape d'intégration représentée sur la Figure 82 ci-après :

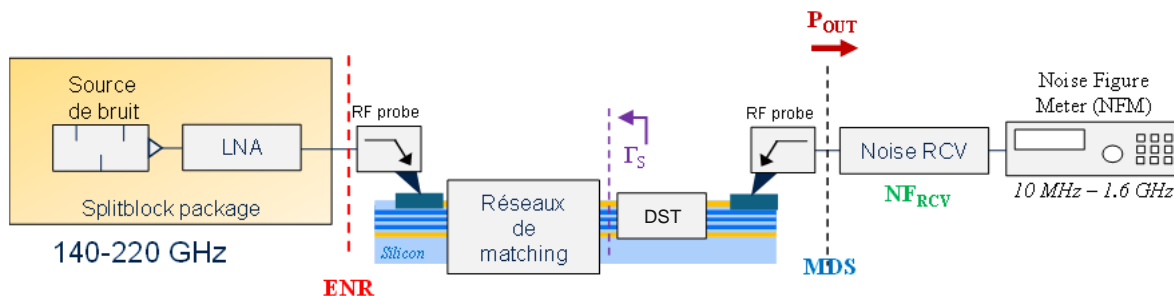


Figure 82 : État de l'intégration des circuits pour la caractérisation en bruit multi-impédance en bande G.

Cette étape intermédiaire permet de valider l'utilisation de la source de bruit amplifiée mise en boîtier pour l'extraction des 4 paramètres de bruit d'un DST en bande G. Cette technique nécessite d'allouer une surface supplémentaire *on-wafer* pour les 16 structures de réseaux d'adaptation et de concevoir ces 16 réseaux pour chaque DST afin de présenter une constellation d'impédances permettant d'appliquer l'algorithme de Lane.

Les réseaux d'adaptation réalisés au cours de cette thèse s'appuient sur des lignes de transmission conçues avec le niveau de métal M8U et des plans de masse allant jusqu'en M2. L'espacement entre les plots de signal d'entrée et de sortie a été gardé constant pour réduire le temps de caractérisation associé. Chaque configuration de réseau d'adaptation a été dessinée avec et sans le DST dont on souhaite extraire les 4 paramètres, dans notre cas un transistor NPN VHS SiGe BiCMOS 55nm. Les réseaux sans DST sont mesurés en paramètres S afin d'extraire l'impédance à leur sortie, qui sera présentée à l'entrée du DST dans les configurations correspondantes. La figure suivante donne une vue layout des MN (*Matching Networks*) réalisés.

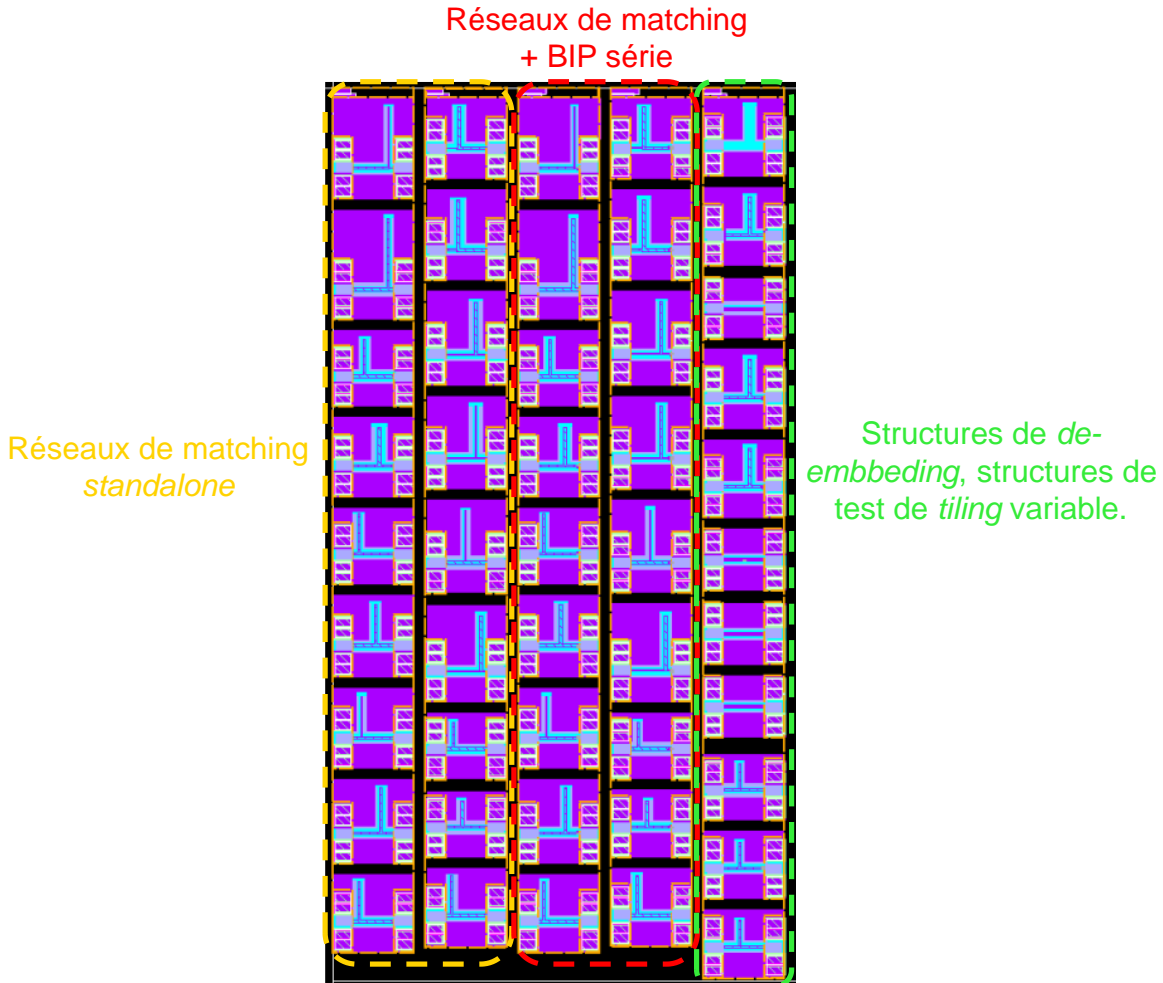


Figure 83 : Réseaux de matching réalisés en technologie BiCMOS 55 nm pour la caractérisation multi-impédances d'un transistor NPNVHS. La surface physique équivalente est 8,2 mm².

Des configurations de MN ont été dupliquées afin de fournir des structures de test pour un étude d'impact du *tiling* sur les paramètres S mesurés. L'impact attendu n'est pas forcément significatif aux fréquences visées, de par le resserrement des lignes de champ électromagnétique autour de la ligne RF et de l'absence de signal RF *a priori* au sein des *tiles*, bien qu'un courant induit par effet Hall est théoriquement présent. La disposition des *tiles* métalliques a été faite de la manière suivante, tout en restant dans le cadre fixé par les règles de DRC. Bien que des outils de simulation EM permettent de faire l'étude par simulation, la difficulté de modélisation liée au nombre important d'interconnexions rend le temps de simulation très long³⁰, à moins d'effectuer des simplifications géométriques drastiques qui modifient l'indice de confiance du résultat.

Le dimensionnement des réseaux d'adaptation s'est fait de manière à encadrer le plus possible l'impédance optimale en bruit du DST avec les points d'impédances de sortie que ces réseaux génèrent. L'ensemble des S_{22} mesurés pour les 16 configurations de réseaux d'adaptation est représenté ci-dessous, ainsi que le S_{opt} correspondant au S11 optimal du DST :

³⁰ : Sauf pour la realase R2 d'Ansys HFSS 2021.

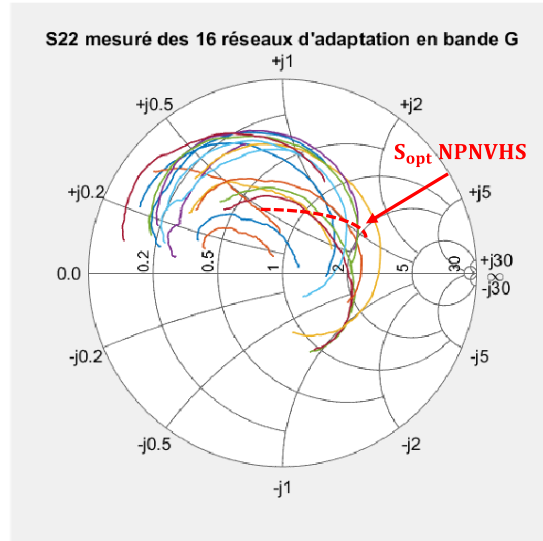


Figure 84 : Mesures des S22 générés par les 16 réseaux d'adaptation avec le plot de sortie, comparaison avec le S_{opt} du NPN VHS B55 à caractériser.

Les réseaux avec DST sont mesurés en bruit et en paramètres S pour pouvoir extraire le facteur de bruit du DST pour chacune des impédances présentées à son entrée à l'aide de la formule de Friis. La mesure en bruit a été faite entre 170 et 220 GHz, ce qui a impliqué l'utilisation de deux récepteurs de bruit, l'un couvrant la bande 140-170 GHz, le second la bande 170-220 GHz. Une source de bruit externe ELVA est disponible à l'IEMN et permet de couvrir les mesures en bruit à partir de 130 GHz et jusque 170 GHz. Au-delà, les mesures se sont appuyées sur les diodes de bruit *on-wafer*. La Figure 85 décrit les différents bancs et étapes de mesures en bruit réalisées en bande D. Le 2^{ème} et 3^{ème} *setup* utilise une source de bruit ELVA pour émuler une charge 50 Ω .

Bande D : 140-170 GHz

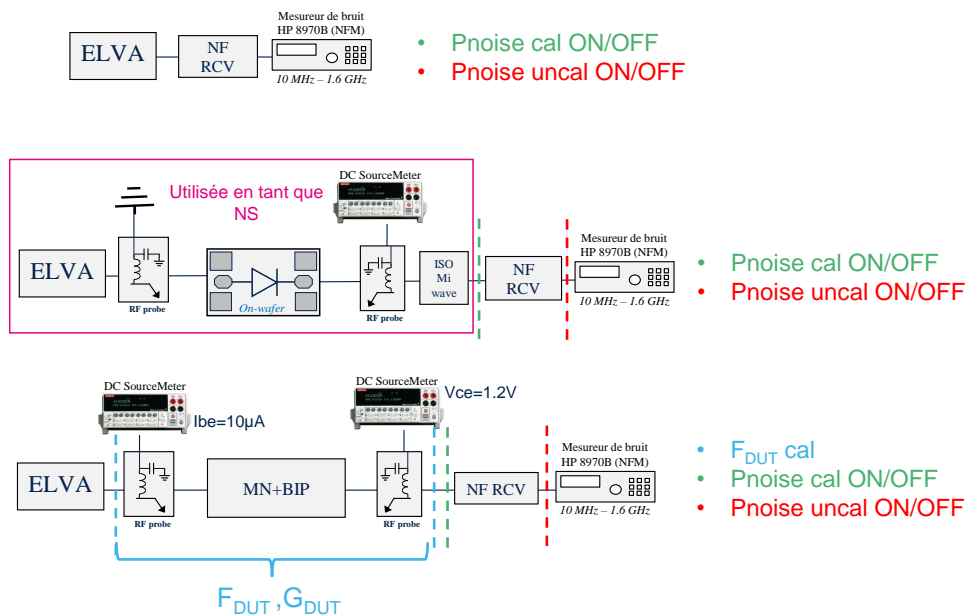


Figure 85 : Descriptif des mesures en bruit réalisées en bande D (140-170 GHz). Le DST est constitué ici de la sonde gauche+MN+BIP+sonde droite.

La première étape consiste à calibrer le récepteur de bruit (NF_{RCV}) afin de placer le plan de référence de la mesure des puissances de bruit dans le plan d'entrée du NF_{RCV} .

En bande D, plusieurs sources de bruit sont disponibles et permettent de faire des mesures en puissance de bruit calibrée et directement du facteur de bruit du DST considéré via la méthode des deux températures. Cependant, dans la bande de fréquence supérieure 170-220 GHz, les mesures en puissance de bruit calibrées ne sont pas possibles. Pour valider la méthode d'extraction du F_{DST} à partir de mesures non calibrées au-delà de 170 GHz, des mesures non calibrées ont également été faites entre 140 et 170 GHz. Ainsi, deux méthodes d'extraction du F_{DST} ont été mises en comparaison entre 140 et 170 GHz.

La première méthode s'appuie sur la mesure directe du facteur de bruit calibré de l'ensemble constitué par les sondes et la structure de réseau d'adaptation avec transistor bipolaire comme représenté Figure 85. Cette mesure peut se faire grâce à la méthode du facteur Y. Avec la connaissance des paramètres S des sondes et des réseaux d'adaptation, la formule de Friis permet d'obtenir le facteur de bruit du transistor bipolaire F_{BIP} , grâce à l'équation suivante, à mettre en relation avec la Figure 86 :

$$F_{BIP} = G_{plot} G_{sg} G_{RM} \left[F_{tot} - F_{sg} - \frac{F_{plot}-1}{G_{sg}} - \frac{F_{RM}-1}{G_{plot} G_{sg}} - \frac{F_{plot}-1}{G_{plot} G_{sg} G_{DST} G_{RM}} - \frac{F_{sd}-1}{G_{DST} G_{sg} G_{RM} G_{plot}^2} \right] \quad (43)$$

Avec G_{plot} le gain disponible des plots RF, G_{sg} le gain disponible de la sonde de gauche, G_{RM} le gain disponible du réseau d'adaptation seul (obtenu précédemment lors de mesures en paramètres S), G_{DST} le gain en puissance disponible du DST, F_{sg} le facteur de bruit de la sonde de gauche, F_{sd} le facteur de bruit de la sonde de droite, F_{tot} le facteur de bruit mesuré. Le DST est au contact du plot de sortie, ce qui permet de ne pas avoir à éplucher d'accès de ce côté.

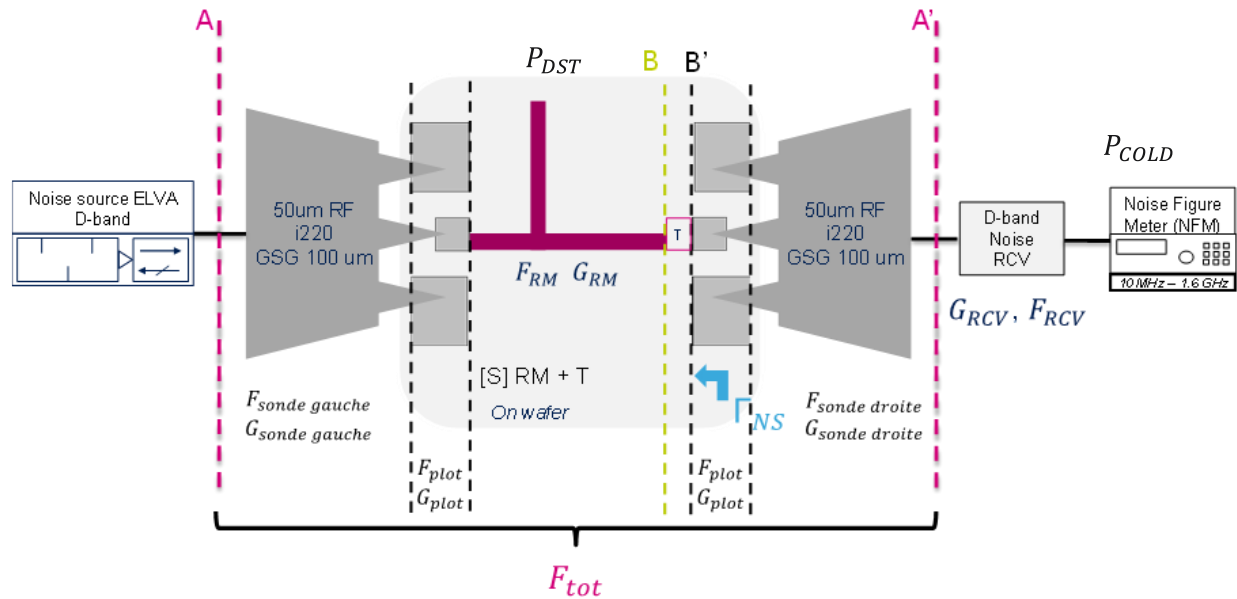


Figure 86 : Schéma de principe de la mesure en bruit en bande D des réseaux d'adaptation avec transistor bipolaire.

La deuxième méthode part de la mesure de la puissance de bruit non calibrée, dans le plan d'entrée du mesureur de bruit à l'aide de la méthode cold source, notée P_{COLD} . Il est possible de calculer la puissance de bruit disponible à la sortie du DST, notée P_{DST} à partir de P_{COLD} en utilisant la formule de Friis pour deux éléments cascades :

$$P_{DST} = \frac{P_{COLD}}{G_{RCV}} - kT_{RCV}\Delta_f \text{ (lin)} \quad (44)$$

Avec T_{RCV} la température équivalente de bruit à l'entrée du récepteur de bruit, déterminée lors de l'étape de calibration du récepteur, k la constante de Boltzmann.

La connaissance de la puissance de bruit disponible à la sortie du DST donne accès au facteur de bruit par la relation suivante :

$$F_{DST} = \frac{P_{DST}}{G_{DST}kT_{COLD}\Delta_f} \quad (45)$$

Avec T_{COLD} la température équivalente de bruit correspondant à la puissance de bruit P_{COLD} mesurée à l'entrée du mesureur de bruit. Cette méthode tient compte d'éventuelles désadaptations en sortie du DST car elle utilise des valeurs disponibles de puissance de bruit.

La comparaison des valeurs de F_{DST} obtenues à partir des deux méthodes décrites précédemment est donnée dans le tableau ci-dessous, pour une structure de réseau d'adaptation en série avec le transistor bipolaire. Les écarts entre ces deux méthodes sont acceptables dans le cadre de cette étude expérimentale. Rappelons que la mesure s'effectue à des fréquences où les sources d'incertitudes sont multiples et amplifiées par les phénomènes de désadaptation. La structure de test considérée pour faire cette comparaison est le transistor bipolaire seul en configuration série.

Fréquence (GHz)	F_{DST} (dB) méthode 1	F_{DST} (dB) méthode 2	ΔF
140	8.741	10.666	1.925
142	9.193	8.043	-1.150
144	8.892	9.554	0.662
146	8.183	10.770	2.587
148	9.546	10.776	1.230
150	8.992	10.384	1.392
152	9.898	10.285	0.387
154	9.172	8.320	-0.852
156	8.729	9.975	1.246
158	8.286	9.830	1.544
160	8.354	10.784	2.430
162	8.004	10.092	2.088
164	9.114	10.287	1.173
166	9.325	10.906	1.581
168	8.987	11.074	2.087
170	8.254	11.318	3.064

Tableau 9 : Valeurs de facteur de bruit extraites pour le DST à partir des deux méthodes utilisées.

Cette étape de vérification permet de valider les mesures faites en puissances de bruit non calibrées. L'extraction du facteur de bruit du transistor bipolaire NPNVHS en B55 a pu être menée entre 140 et 220 GHz. L'étape suivante de la caractérisation en bruit qui consiste à extraire les 4 paramètres de bruit du transistor grâce à l'algorithme de Lane n'a malheureusement pu être menée à son terme. En effet, le retrait du plot de sortie des structures MN+BIP par épiluchage est nécessaire pour remonter aux performances du transistor bipolaire. Cette étape d'épiluchage modifie la couverture d'abaque de Smith présentée Figure 84.

L'influence de la capacité parasite du plot, de l'ordre de 18 fF à 180 GHz a décalé de manière inattendue en bord d'abaque la constellation d'impédances synthétisées par les réseaux d'adaptation. Si l'extraction des 4 paramètres de bruit n'a pu se faire entre 140 et 220 GHz, l'approche reste valable. Un redimensionnement des réseaux d'adaptation, prenant mieux en compte les effets parasites du plot est possible pour effectuer l'extraction des 4 paramètres de bruit en bande G.

Conclusion du Chapitre 2

Cette thèse a permis des développements sur silicium en technologie B55 liés à la mesure en bruit selon la méthode multi-impédance dans le but d'extraire les 4 paramètres de bruit d'un transistor bipolaire NPNVHS en topologie CBEB.

La première étape de ce travail a été de concevoir une source de bruit sur silicium en utilisant les précédents développements liés à cette thématique. Une mise à jour du layout a permis d'être en ligne avec les nouvelles exigences du DRC.

La seconde étape a consisté à mettre en perspective la mise en boîtier de la diode de bruit précédemment développée. Les pertes liées aux interconnexions et aux transitions entre le silicium et le substrat d'une part et entre le substrat et les accès guide d'ondes d'autre part sont compensées par la présence d'un LNA 2 étages permettant de mettre en évidence des niveaux d'ENR de l'ordre de 35 dB entre 140 et 170 GHz. L'ajout du LNA permet également d'améliorer de manière significative l'adaptation d'impédance en sortie et ce quel que soit le courant de polarisation appliqué à la diode utilisée en tant que source de bruit. Cela a permis de mettre en évidence des niveaux d'adaptation en sortie meilleurs que -8 dB dans la bande 140-170 GHz. Ces aspects permettent de placer cette source de bruit active parmi les solutions les plus intéressantes en termes de sources de bruit sur silicium, de par les niveaux d'ENR mis en exergue et la constance de l'adaptation d'impédance de sortie.

Enfin, des travaux liés au caractère multi-impédance de la méthode d'extraction des 4 paramètres de bruit ont été menés. La première phase a été de concevoir un jeu de réseaux d'adaptation afin d'émuler une mesure de type *source-pull*. Bien que les mesures n'aient pas permis d'extraire les 4 paramètres de bruit du transistor NPNVHS entre 140 et 170 GHz, la méthode mise en place est valide mais les réseaux de *matching* nécessitent une mise à jour.

L'étape qui suivrait ces développements serait la conception d'un tuner d'impédances permettant de générer au minimum 16 impédances placées autour de l'impédance de source optimale en bruit du transistor NPNVHS en B55. Cette étape doit intervenir après l'étape ayant recours aux réseaux d'adaptation sur silicium qui permet de valider l'application de l'algorithme de Lane à des fréquences inédites³¹.

En parallèle, des conceptions en technologie B55X ont été menées afin de quantifier l'intérêt d'utiliser un niveau de métallisation plus élevé³² qu'en B55 pour les lignes de transmission. Un nouveau *front-end* de diode de bruit a également été proposé. Ce nouveau *front-end* B55X utilise des couches d'implants équivalents à ceux proposés en B55. A l'heure actuelle, le silicium contenant ces contributions en B55X n'a pu être mesuré. Le silicium correspondant n'a pas encore été livré et n'a pu être l'objet de mesures complémentaires.

³¹ : En théorie, il n'existe pas d'obstacles *a priori* à l'application de l'algorithme de Lane à des fréquences RF élevées. La difficulté réside surtout dans la génération d'impédances d'intérêt à l'entrée du DST. Aux fréquences visées, les pertes dans les interconnexions ramènent les impédances synthétisées près de 50 Ω .

³² : La technologie B55X utilise un *backend* contenant 9 niveaux de métallisation. Toutes choses égales par ailleurs, une ligne 50 Ω en B55X présente une capacité parasite plus faible qu'une ligne 50 Ω en B55 car la hauteur séparant la ligne RF du plan de masse est plus importante.

Principaux résultats

- Mise à jour des dessins de sources de bruit en technologie BiCMOS avec les nouvelles exigences DRC.
- Conception d'une source de bruit amplifiée en technologie BiCMOS 55 nm opérant entre 140 et 220 GHz. Génération de niveaux d'ENR disponibles compris entre 0 et 35 dB entre 140 et 170 GHz avec une adaptation d'impédance de sortie constante quelle que soit la polarisation appliquée à la diode de bruit.
- Extraction des fréquences de coupures de différents *front ends* de diodes BiCMOS 55 nm.
- Conception de réseaux d'adaptation d'impédance pour extraire les 4 paramètres de bruit d'un transistor bipolaire NPNVHS en technologie BiCMOS 55 nm entre 140 et 220 GHz.

Perspectives

- Mesures du silicium dans la génération suivante de bipolaire B55X : diodes de bruits.
- Extraction des quatre paramètres de bruit d'un transistor NPNVHS à l'aide des réseaux d'adaptation d'impédance et conception d'un synthétiseur d'impédances pour mise en boîtier avec une source de bruit.

Références bibliographiques du Chapitre 2

- [1] S. Reynal *et al.*, *Le cours de physique de l'ENSEA*. 2007.
- [2] A. Gauthier, "Etude et Développement d'une Nouvelle Architecture de Transistor Bipolaire à Hétérojonction Si / SiGe Compatible avec la Technologie CMOS FD-SOI," Université de Lille, 2019.
- [3] J. C. Azevedo Goncalves, "Développement de bancs de caractérisation pour la mesure de bruit et la détection de puissance entre 130 Hz et 320 GHz," Université de Lille, 2019.
- [4] S. Bouvot, "Contribution au BIST in-situ : Intégration sur silicium d'un banc de caractérisation en bruit en bande D," Université de Lille, 2018.
- [5] STMicroelectronics, "STMICROELECTRONICS BICMOS055 DESIGN RULES MANUAL 55 nm BICMOS Technology Platform Revision 1.1.0," no. November, pp. 1–380, 2019.
- [6] V. Gidel, "Contribution à la modélisation RF de diode Schottky intégrée en Technologie BiCMOS 55 nm et visant des applications sub-THz," Université Côte d'Azur, 2020.
- [7] V. Gidel *et al.*, "Scalable Analytical Model of 1.7 THz Cut-off Frequency Schottky Diodes Integrated in 55nm BiCMOS Technology," *Dig. Pap. - IEEE Radio Freq. Integr. Circuits Symp.*, vol. 2019-June, pp. 23–26, 2019, doi: 10.1109/RFIC.2019.8701728.
- [8] P. Pouvil, *Le cours de composants RF de l'ENSEA*. 2017.
- [9] J. C. A. Gonçalves *et al.*, "Millimeter-wave noise source development on SiGe BiCMOS 55-nm technology for applications up to 260 GHz," *IEEE Trans. Microw. Theory Tech.*, vol. 67, no. 9, pp. 3732–3742, 2019, doi: 10.1109/TMTT.2019.2926289.
- [10] C. K. S. Miller, W. C. Daywitt, and M. G. Arthur, "Noise Standards, Measurements, and Receiver Noise Definitions," *Proc. IEEE*, vol. 55, no. 6, pp. 865–877, 1967, doi: 10.1109/PROC.1967.5700.
- [11] J. Randa, D. Walker, L. Dunleavy, R. Billinger, and J. Rice, "Characterization of on-wafer diode noise sources," *51st ARFTG Conf. Dig. Charact. Spread Spectr. Telecommun. Components Syst. ARFTG 1998*, vol. 46, no. 12, pp. 53–61, 1998, doi: 10.1109/ARFTG.1998.327277.
- [12] H. Ghanem *et al.*, "Modeling and Analysis of a Broadband Schottky Diode Noise Source up to 325 GHz Based on 55-nm SiGe BiCMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 68, no. 6, pp. 2268–2277, 2020, doi: 10.1109/TMTT.2020.2980513.
- [13] S. Oeuvrard *et al.*, "On wafer silicon integrated noise source characterization up to 110 GHz based on Germanium-on-Silicon photodiode," *IEEE Int. Conf. Microelectron. Test Struct.*, pp. 150–154, 2014, doi: 10.1109/ICMTS.2014.6841484.
- [14] B. Vidal, "Broadband Photonic Microwave Noise Sources," *IEEE Photonics Technol. Lett.*, vol. 32, no. 10, pp. 592–594, 2020, doi: 10.1109/LPT.2020.2986739.
- [15] F. Alimenti, G. Simoncini, G. Brozzetti, D. Dal Maistro, and M. Tiebout, "Millimeter-wave avalanche noise sources based on p-i-n diodes in 130 nm SiGe BiCMOS technology: Device characterization and CAD modeling," *IEEE Access*, vol. 8, pp. 178976–178990, 2020, doi: 10.1109/ACCESS.2020.3027384.
- [16] "The SAGE Millimeter, Inc. website." .
- [17] J. C. Azevedo Goncalves *et al.*, "Millimeter-Wave Noise Source Development on SiGe BiCMOS 55-nm Technology for Applications up to 260 GHz," *IEEE Trans. Microw. Theory Tech.*, vol. 67, no. 9, pp. 3732–3742, 2019, doi: 10.1109/tmtt.2019.2926289.
- [18] F. Alimenti, G. Tasselli, C. Botteron, P. A. Farine, and C.ENZ, "Avalanche Microwave Noise Sources in Commercial 90-nm CMOS Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 5, pp. 1409–1414, 2016, doi: 10.1109/TMTT.2016.2549522.

Chapitre 3 : Développement d'une solution de packaging low-cost (boitier faible coût) pour des technologies Silicium aux fréquences millimétriques

Ce chapitre a pour objectif de rendre compte des travaux menés dans le but d'inscrire les assemblages de circuits silicium de cette thèse dans une logique bas coût compétitive pour le marché grand public. En effet, les fonctions développées dans ces travaux ont vocation à adresser de l'instrumentation hyperfréquence performante sur un marché professionnel extrêmement spécialisé, voire confidentiel. Toutefois, les circuits développés aux fréquences concernées sont dans un périmètre compatible avec les potentielles applications de volume visées en bande G et J par les technologies Silicium dans les années à venir (6G, Imagerie, Radar, ...). Ces circuits sont donc adaptés à l'évaluation de technologies de mise boitier faible coût à ces fréquences. Plusieurs axes de réduction des coûts vont être décrits. La partie III.1 montre les développements menés autour de substrats organiques laminés bas coûts pour venir remplacer les solutions traditionnelles de substrats en quartz, utilisés pour du packaging de puces en technologie III-V. La partie III.2 fournit une description des différentes actions menées autour des boitiers intégrant ces substrats laminés. Plusieurs essais de fabrication de boitiers à moindre coûts seront présentés. Une comparaison entre les technologies traditionnelles de fabrication de boitier et des technologies d'impression 3D sera faite. Des prototypes de boitiers usinés par CNC (*Computer Numerical Control*) ont été réalisés en partenariat avec l'entreprise MC2 Technologies. En outre, la technique d'impression 3D métallique de MLS (*Micro Laser Sintering*), a été explorée pour la réalisation de guides d'onde rectangulaires omniprésents aux fréquences millimétriques.

III.1 Investigations menées autour de substrats low-cost pour assemblage de puces par flip chip

Cette thèse a été l'opportunité de travailler sur le *packaging* de circuits silicium aux fréquences millimétriques. Peu de réalisations sont faites au-delà de 140 GHz, les principales technologies de circuits étant en matériaux III-V et utilisent un support quartz. Aucune approche industrielle n'existe à ce jour pour le *packaging* de circuits utilisant ces matériaux. Seuls quelques prototypes issus de travaux menés en laboratoire constituent l'état de l'art.

Avant de pouvoir développer un assemblage de puce silicium sur substrat organique, il convenait de quantifier les performances aux interfaces clés du boitier. Ces interfaces sont principalement :

- La transition entre la puce silicium et le substrat
- La transition entre le substrat et le guide d'onde rectangulaire intégré au boitier

Dans cette partie, la dénomination *package* désigne l'ensemble constitué du substrat d'accueil de la puce et du boitier. La Figure 87 ci-dessous donne un aperçu de cet ensemble, constitué du substrat d'accueil organique multicouches, de la puce en technologie BiCMOS 55 nm et du boitier mécanique de type split block intégrant la puce assemblée sur le substrat.

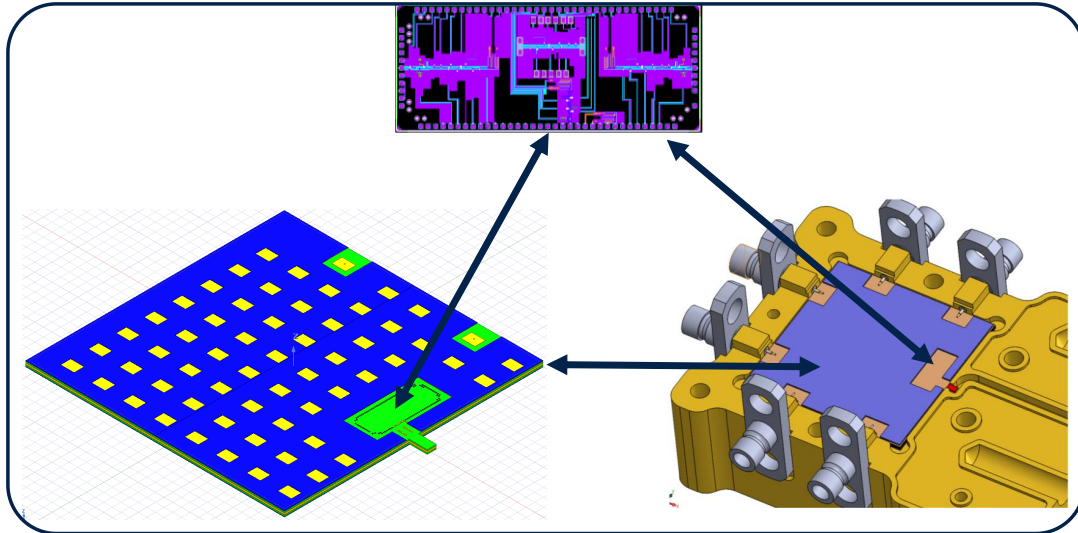


Figure 87 : Éléments constituant le package. À gauche, une vue HFSS du substrat d'accueil à 6 couches métalliques. Une vue du layout des puces destinées à être assemblées sur le substrat est donnée. À droite, une vue de modélisation Solidworks de la partie inférieure du boîtier.

III.1.1 Évaluation de substrats à 2 couches métalliques

III.1.1.1 Description de la technologie de substrat

Il existe 3 grandes catégories de substrats servant de support pour assemblage de circuits : les substrats de verre [1]–[4], les céramiques [5]–[8] (LTCC, i.e. *Low Temperature Co-Fired Ceramic*) et les substrats organiques laminés.

Les substrats de verre sont des substrats utilisant des matériaux basés sur du silicate, le plus connu étant la silice SiO_2 (quartz) que l'on retrouve dans le sable à l'état naturel sous forme cristalline. Ces substrats de verre ont des propriétés électriques notables, à savoir, une tangente de pertes (D_f) et une constante diélectrique (D_k) stable dans de larges gammes de fréquence. De récents travaux ont mis en évidence une variation de moins de 10 % pour les valeurs de D_k et des valeurs de D_f comprises entre 0.006 et 0.0011 de 0 à 50 GHz [9]. En outre, le coefficient d'expansion thermique (CTE) est faible, conférant à ce type de matériaux des propriétés mécaniques peu sensibles aux variations de température.

Les substrats céramiques sont constitués de composés métalliques tels que l'aluminium, le titane et d'éléments non-métalliques tels que l'oxygène ou le carbone. Les céramiques présentent des valeurs de D_f et CTE faibles, ce qui les rend pertinents pour des applications RF. En outre, leur forte résistivité électrique induit de faibles courants de fuite dans le cas de fonctionnement en large signal.

Les substrats organiques laminés sont des supports multicouches largement utilisés dans le domaine du packaging de circuits et de l'assemblage sur circuits imprimés PCB (*Printed Circuit Board*). Ces substrats permettent de fournir des supports physiques dans une large palette d'épaisseurs, avec une alternance de matériaux diélectriques et conducteurs afin de réaliser le routage des différents signaux. Ces technologies de substrat permettent de concevoir des SiP (System in Package) dans le cas de boîtiers flip chip BGA. De tels substrats sont composés d'un cœur diélectrique (CORE) sans cuivre avec un plaquage en cuivre sur chaque face : on parle alors de CCL (*Copper Cladding Laminate*). Le cœur de ces substrats peut être un composé de fibres de verre tressées dans une résine organique et métallisé par du cuivre, ou une base en

téflon à faibles pertes [10], ou des résines polymères sous forme liquide [11]. Le cœur (CORE) de ce type de substrat est constitué de CCL (Copper Clad Laminate) qui est un composé de fibres de verre tressées dans une résine organique et métallisé par du cuivre. Cette couche a une fonction de support mécanique et peut avoir des épaisseurs variant entre 25 μm et 800 μm . De part et d'autre du CORE, au-delà des plaquages en cuivre, des couches de diélectriques, en général en fibres de verre tressées et de résine organique, appelées prepreg sont alternées avec des pistes de cuivre servant de support au routage des signaux.

Ces couches de prepreg présentent des épaisseurs moindres que celles du CORE, variant entre 40 et 100 μm chez la plupart des fournisseurs. La fabrication de substrats organiques laminés peut se faire selon trois procédés : soustractif³³, semi-additif et additif. Le procédé semi-additif est utilisé pour le dépôt et la structuration de pistes métalliques sur les couches diélectriques de type prepreg, le procédé soustractif est employé pour les mêmes fins mais sur le cœur (core) du substrat. L'ensemble des étapes mises en œuvre lors de la fabrication d'un substrat organique est représenté en Figure 88 :

³³ : Il s'agit d'un procédé de gravure.

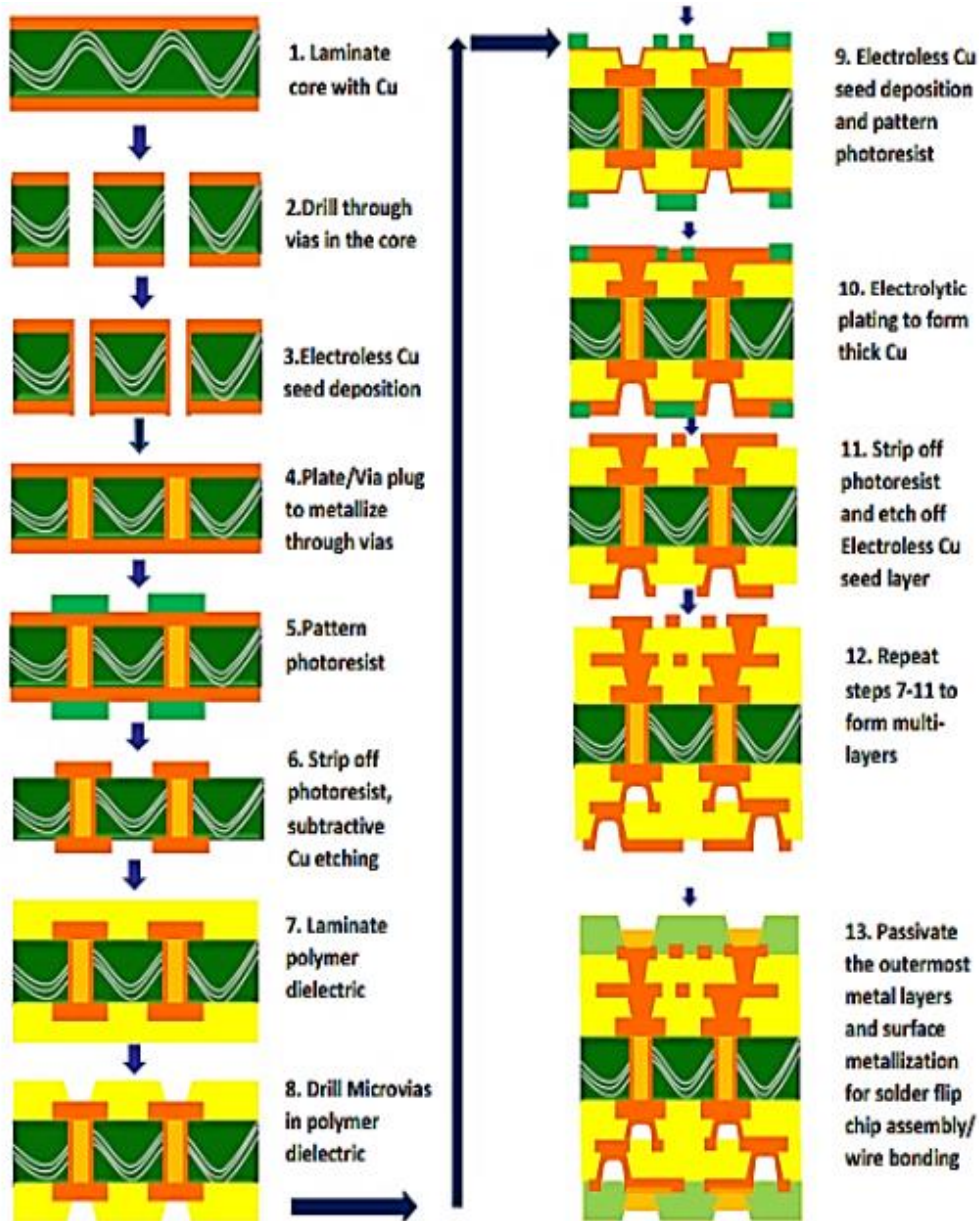


Figure 88 : Vue d'ensemble du procédé standard de fabrication d'un substrat organique laminé à multiples couches métalliques [12]

Le procédé soustractif mis en œuvre lors de la génération de lignes de transmission à la surface du core du substrat est explicité en Figure 89. Une première étape de gravure laser ou mécanique permet de positionner les vias. Plusieurs étapes de métallisation sont faites pour rendre les parois verticales des vias conductrices. Enfin, une étape de lithographie permet d'enlever de manière sélective des zones de cuivre à l'aide d'une gravure humide pour effectuer le routage souhaité.

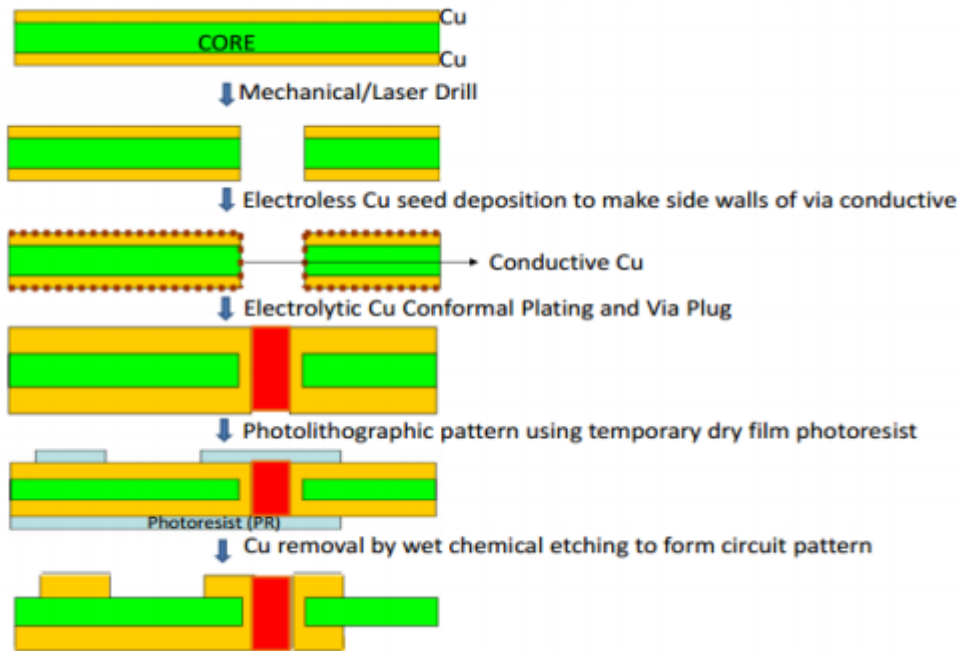


Figure 89 : Description des étapes soustractives de métallisation du cœur d'un substrat organique laminé [12]

Une difficulté liée à la fabrication de tels substrats organiques est l'exposition à l'air de zones de cuivre qui peut rendre le substrat inexploitable du fait d'une potentielle oxydation. La qualité d'une brasure résulte de la qualité initiale (vis-à-vis du brasage) du circuit imprimé utilisé et des composants électroniques qui sont montés sur les surfaces : cette qualité est appelée la brasabilité. La finition des circuits imprimés, par une métallisation ou par tout autre procédé, a pour objectif de préserver la brasabilité du métal de base et de fournir la meilleure interface possible avec le joint brasé. Les principales techniques utilisées sont listées ci-après :

- OSP / Entek (Organic Solderability Preservative) ou passivation organique
- HASL (Hot Air Solder Leveling) ou étamage par nivelage à air chaud
- Immersion Tin ou étain chimique
- Silver Plating ou dépôt d'argent chimique
- ISIG deux techniques d'immersion (silver or Palladium) utilisées également
- EPIG
- ENIG (Electroless Nickel Immersion Gold)
- ENEPIG (Electroless Nickel Electroless Palladium Immersion Gold)
- Hard Electrolytic Gold ou or dur

L'OSP est un procédé de trempage ou de pulvérisation d'un composé organique à base d'eau qui se lie sélectivement au cuivre et fournit une couche organométallique protectrice d'une épaisseur allant d'une dizaine à plusieurs centaines de nanomètres. Ce procédé est peu onéreux, n'utilise pas de matériaux toxiques et consomme moins d'énergie que d'autres procédés ayant recours à de l'électrolyse. La planéité est excellente de par la finesse des couches appliquées, cependant la robustesse est moins bonne que pour les autres techniques explicitées ci-après.

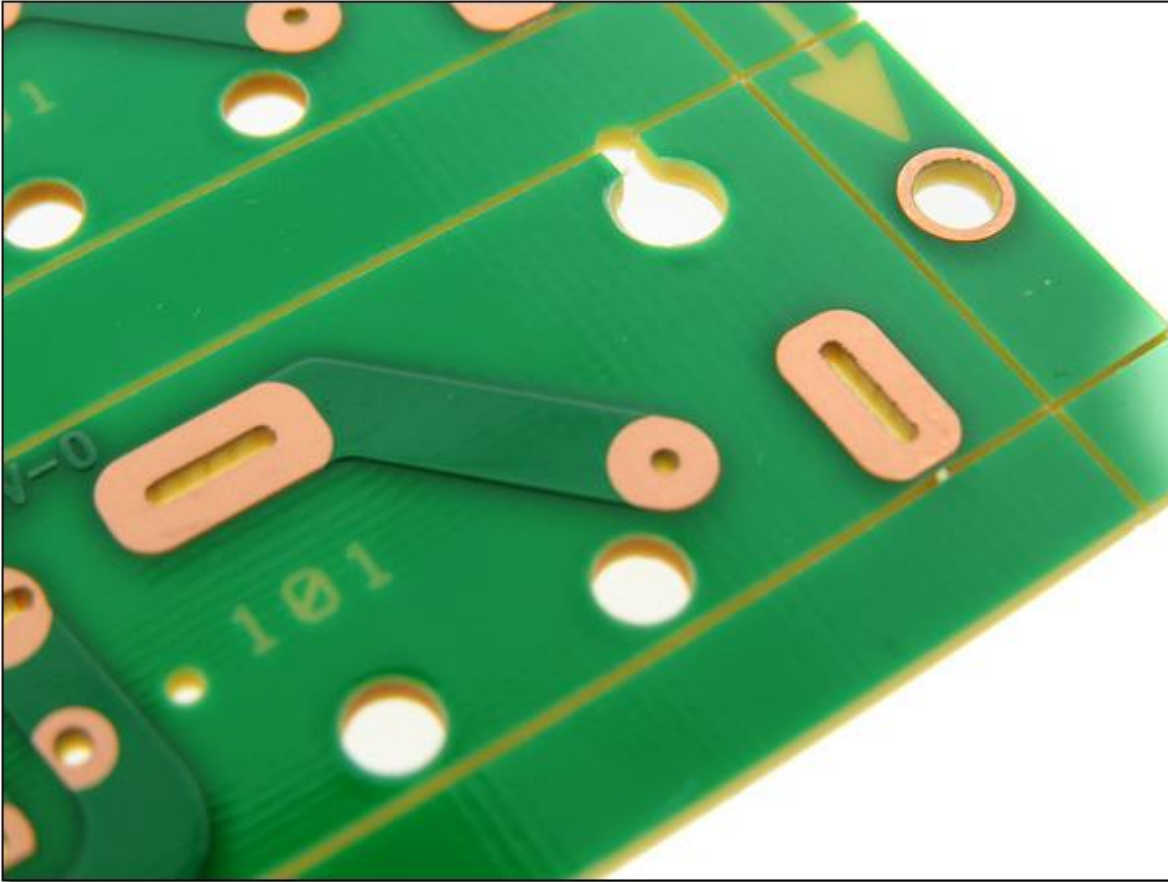


Figure 90 : Exemple de circuit imprimé avec un traitement de surface de type OSP [13]

Au cours du procédé HASL, le circuit imprimé est plongé dans un bain d'étain-cuivre liquide. L'excès d'alliage est retiré par un flux d'air comprimé. Ce procédé est peu coûteux, mais l'étain diffuse partiellement dans le cuivre et des défauts de planéité peuvent être obtenus, rendant impossible l'assemblage en surface de certains composants.

L'étain chimique est une finition métallique déposée par une réaction de déplacement chimique appliquée directement sur le cuivre de la carte. Historiquement, il s'agit d'une des premières techniques de finition, avec le procédé HASL. Le profil est uniforme et rend possible plusieurs refusions mais l'épaisseur est difficile à contrôler. L'étain s'oxyde, rendant le stockage des pièces à l'air libre impossible au-delà de 6 mois après traitement.

Le dépôt d'argent chimique est obtenu par immersion du circuit dans une solution acide contenant des sels d'argent. De même que pour l'étain chimique, ce traitement a une durée de stockage limitée.

Le procédé ENIG est un procédé de dépôt de deux couches métalliques. Une première couche de nickel est appliquée par voie autocatalytique, recouverte ensuite d'une fine couche d'or déposée par immersion dans un bain. Le nickel protège le cuivre de l'oxydation et empêche la diffusion du cuivre dans l'or. L'or empêche le nickel de s'oxyder, conférant à cette technique une longévité propice à de nombreux assemblages de types SMD. Le coût associé à cette technique est en revanche plus élevé que les techniques citées précédemment.

Un dérivé de l'ENIG appelé ENEPIG consiste à appliquer une couche intermédiaire de palladium afin d'éviter l'oxydation du nickel avant l'étape d'immersion dans l'or. Cette finition supporte parfaitement de

multiples refusions, peut garantir une bonne brasabilité et permet de réaliser des assemblages fiables, en revanche, le coût global est élevé.

Pour finir, l'or dur est un plaquage d'une couche d'or sur une épaisseur de nickel. Il s'agit de la technique la plus robuste dans le temps mais aussi la plus chère ce qui la rend non éligible à des réalisations à grande échelle.

Pour des raisons de coût et de maîtrise du procédé de fabrication, cette thèse s'est orientée sur des développements de substrats organiques laminés pour réaliser l'assemblage de différentes fonctions circuits. La finition choisie a été un traitement de surface de type ENIG, suite aux arguments listés précédemment. À titre d'exemple, les substrats organiques à 2 couches métalliques ont été facturés à hauteur de 500 \$ pour 8000 pièces par le fournisseur SCC. Ce nombre de pièces est élevé mais constitue un minimum pour le fournisseur qui produit les substrats en panneaux pleins. Ces 8000 pièces correspondent à 2 panneaux et permettent de garantir un contrôle du procédé de fabrication. À titre de comparaison, un substrat quartz de dimensions équivalentes représente un coût de 1 335 \$ pour 50 pièces (d'après un devis demandé à l'entreprise BIOTAIN). En coûts unitaires, cela équivaut à 7 cents pour le substrat organique contre 27 \$ pour le substrat de quartz.

Grandeurs caractéristiques	Substrats organiques laminés	Substrats de verre (quartz)	Substrats céramiques (LTCC)
Dk/Df (0-50 GHz)	3.2-4/0.004-0.012	4.7-5.3/0.006-0.011	3.8-9.2/0.0007-0.006
CTE	12-16 ppm/K (FR4)	3-9.8 ppm/K	3-7.5 ppm/K
Épaisseurs (µm)	Large variété	100-1000	20-100 par couche
Rugosité de surface	< 1 nm	< 1 nm	< 1 nm
Coût	-	++	+

Tableau 10 : Comparaison des 3 principales technologies de substrats utilisées pour de l'assemblage de circuits [5]

III.1.1.2 Conception du substrat

La première version de substrat organique développée au cours de cette thèse est un substrat qui a pour but de quantifier, par la mesure, les pertes d'insertion dans la transition substrat vers guide d'ondes WR5. Ce substrat a été réalisé avec des matériaux maîtrisés par l'ensemble des fabricants car couramment usinés pour des assemblages *flip chip* destinés aux applications de modules RF pour la téléphonie 5G, de stations de base ainsi que des applications radars millimétriques. La Figure 91 ci-dessous donne le détail des matériaux utilisés et le dimensionnel associé. Dans notre cas, le CORE est un composé non-halogéné présentant un couple Dk/Df et un CTE faibles (3,8/0,004 à 10 GHz et 10 ppm/°C respectivement).

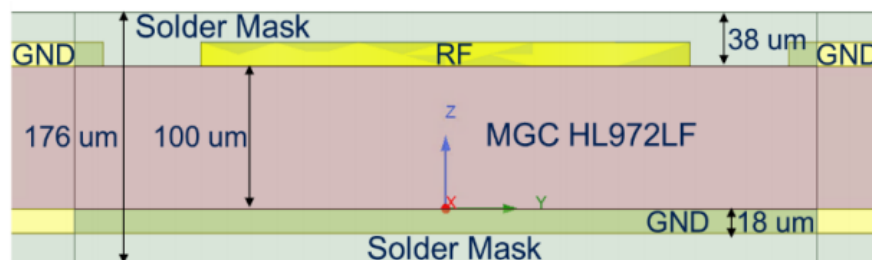


Figure 91 : Vue en coupe du substrat organique à 2 couches métalliques

Les plans de masse possèdent un motif régulier d'ouvertures carrés pour améliorer l'accroche du masque de soudure (*solder mask*) sur les faces supérieure et inférieure du substrat. Pour améliorer la qualité de la transmission du signal RF entre le substrat et le guide d'onde WR5, la terminaison de la ligne RF a été faite sous forme de transition plan E (*probe E plane*) : il s'agit d'un format de ligne RF destiné à émuler le

comportement d'une antenne dont la principale fonction est de transformer le mode de propagation sur ligne de transmission dans le substrat vers le mode TE₁₀ du guide d'ondes rectangulaire. Au sein du substrat, le mode de propagation dominant peut être assimilé à un mode *stripline* suspendue (SAS), comme détaillé sur la Figure 92 ci-dessous.

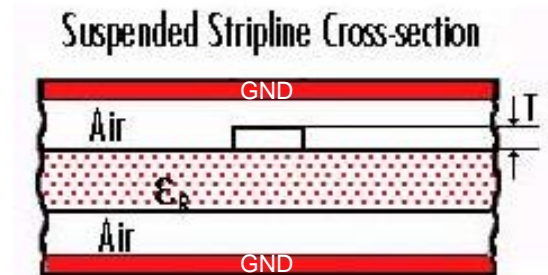


Figure 92 : Ligne *stripline* suspendue (vue en coupe) [14]

En effet, le *split block* est connecté électriquement aux plans de masse du substrat grâce à deux ouvertures latérales de la couche de *solder mask*³⁴ mettant à nu le cuivre du plan de masse du substrat sur une zone de 100µm par 5mm. La connexion électrique entre ces zones de cuivre et le *split block* se fait par un fil d'or thermo compressé sur le *split block* à intervalle régulier à la manière d'une ligne de points de couture. Une photographie illustrant un fil de contact de masse thermo compressé est donnée en Figure 93.

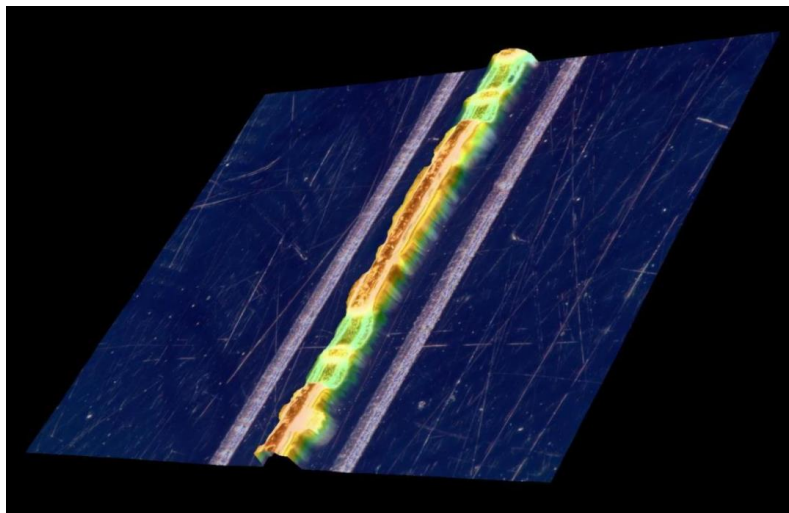


Figure 93 : Photographie de substrat avec fil de contact de masse thermo compressé.

Au préalable, un marquage laser est réalisé sur les surfaces du *split block* où sont effectués les contacts avec la masse du substrat. Ce report électrique de masse est crucial pour éviter toute résonance parasite dans des zones métalliques laissées flottantes d'un point de vue électrique. D'un point de vue RF, le mode de propagation *stripline* met en évidence d'excellentes performances en transmission de par son fort

³⁴ : on parle alors de SMO pour Solder Mask Open

blindage électro-magnétique rendu possible grâce à la présence de plans de masse sur les deux faces de la ligne signal.

Pour éviter toute résonance parasite avec la *probe* plan E dans la cavité guide d'onde, ces plans de masse ont été limités à la cavité principale du boîtier qui contient la majeure partie du substrat.

Pour pouvoir estimer les performances de la transition substrat vers guide d'onde WR5, la conception d'un module en configuration *back-to-back* a été réalisé. Ce module est illustré sur la Figure 94 ci-dessous :

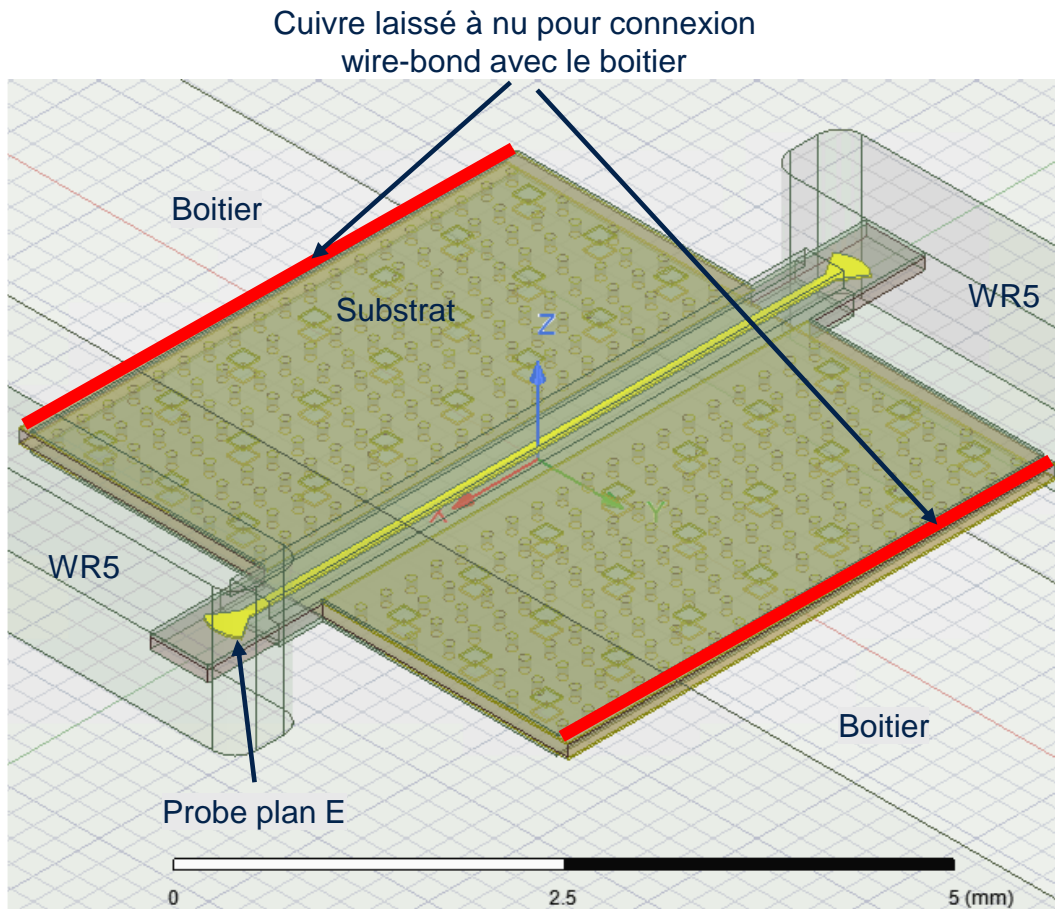


Figure 94 : Cliché HFSS du substrat organique à 2 couches métalliques comportant deux transitions E-plan en configuration back-to-back

Les substrats organiques étant fabriqués dans de grands panneaux rectangulaires pleins appelés *strip*, il a fallu les découper à la forme souhaitée. Pour pouvoir situer ces travaux dans un cadre industriel et tenir compte de variations de procédé, 3 types de découpes laser ont été réalisées chez 3 partenaires distincts. Le Tableau 11 ci-dessous liste les techniques laser utilisées.

Laser	Fabricant	Méthode
Femtoseconde	IEMN	A
Picoseconde	ST Agrate	B
Nanoseconde	EO Technics	C

Tableau 11 : Liste des procédés laser et fournisseurs impliqués dans les découpes de substrats organiques à 2 couches métalliques

III.1.1.3 Description du module d'évaluation de la transition substrat vers boîtier.

De manière générale, plus la durée d'impulsion laser est courte, moins l'échauffement du matériau usiné est important, tous paramètres identiques par ailleurs. Ce principe de base s'est vérifié et a permis d'illustrer une découpe de meilleure qualité obtenue par le biais de la source laser femtoseconde comme illustré sur la Figure 95.

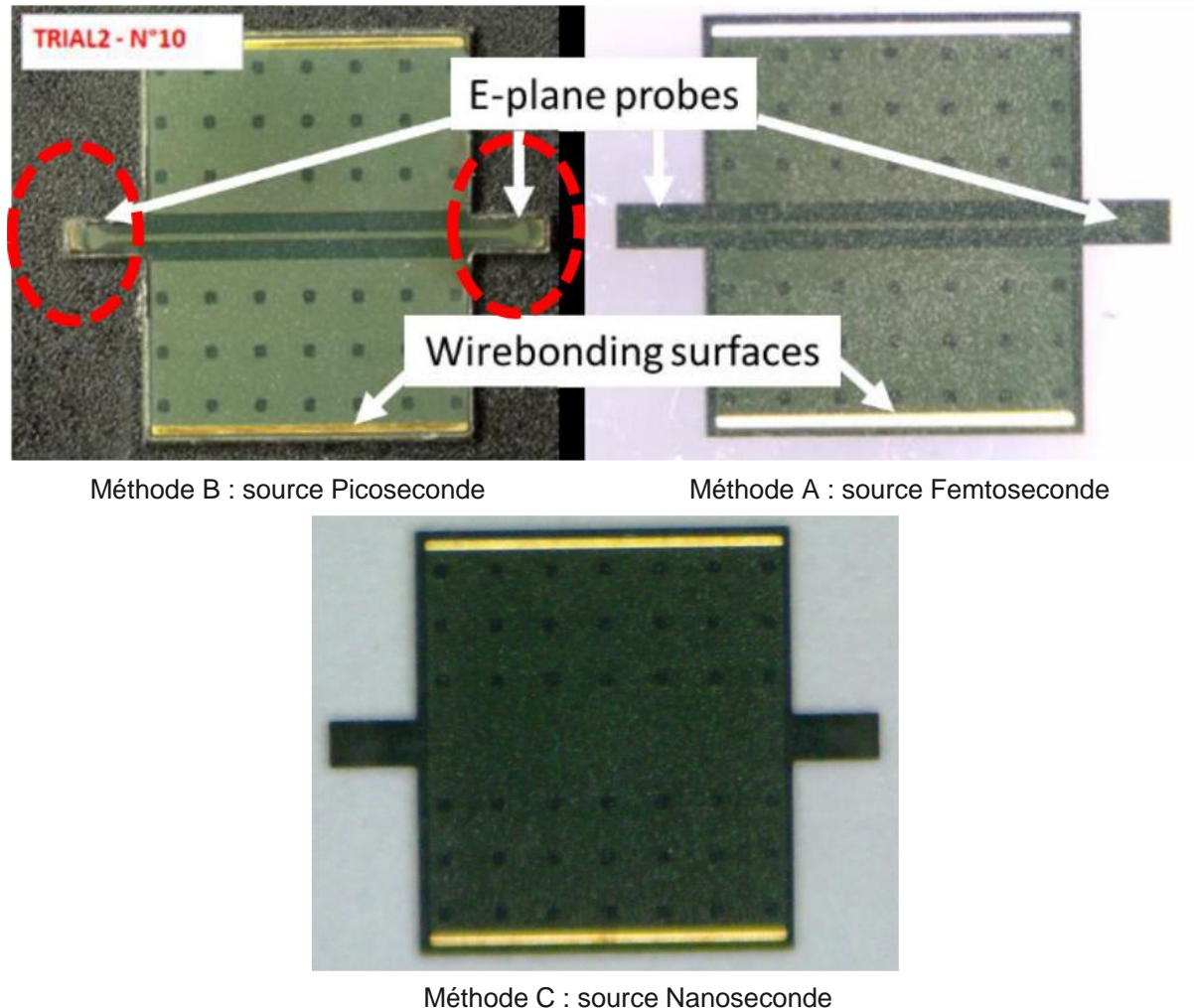


Figure 95 : Substrats découpés en géométrie back-to-back. La méthode B montre des zones de brûlures partielles au niveau de la probe plan E.

Au-delà de l'impact de la qualité de la découpe sur les performances de la transition substrat-guide d'ondes, l'impact de la qualité d'assemblage du substrat dans la cavité du *split block* a également été prise en compte grâce à un plan d'expérience introduisant des variations sur le chemin de découpe laser. Une variation du motif de découpe a été faite avec le laser femtoseconde afin de jouer sur le positionnement de la *probe* plan E au sein de la cavité WR5. Le principe du plan d'expérience (DOE) est illustré en Figure 96. Les très bonnes tolérances de découpe atteignables avec le laser femtoseconde, de l'ordre de 3 μm , ont permis de faire varier de manière fiable les paramètres clés du plan.

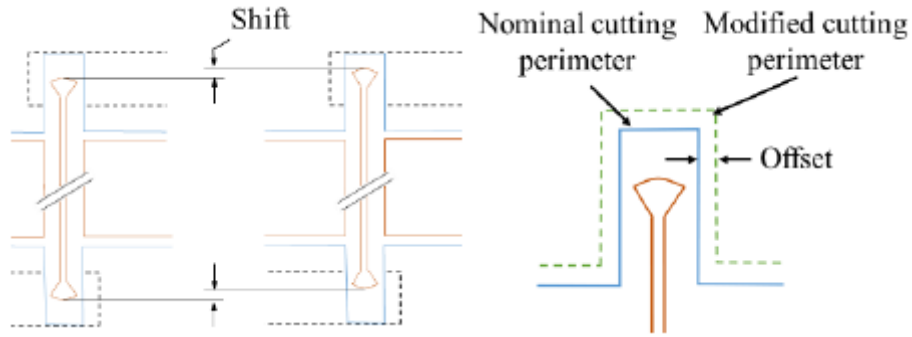


Figure 96 : Illustration du plan d'expérience réalisé sur i) le shift et ii) l'offset de la *probe* plan E

Les résultats de ce plan expérimental sont présentés dans la partie **III.2 Conception de boîtier en bande G (140-220 GHz)**.

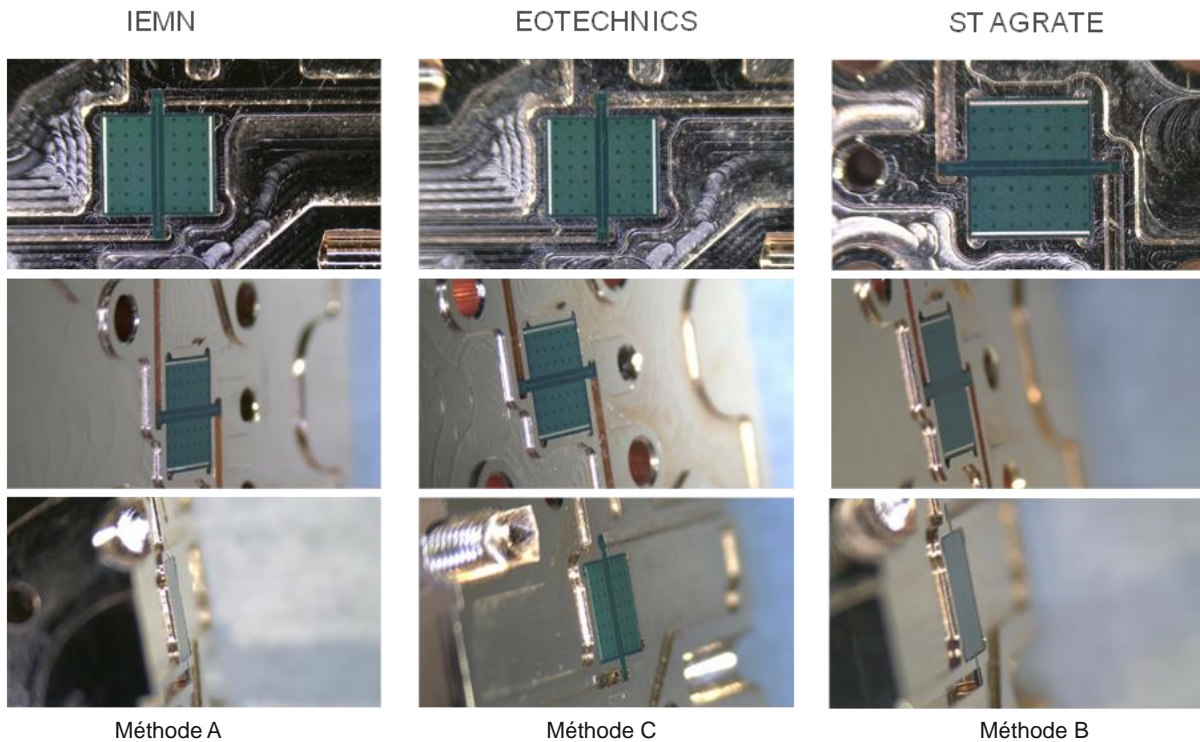


Figure 97 : Photographies des assemblages des substrats à deux couches métalliques découpés par trois fournisseurs

Lors de l'assemblage, la qualité de découpe a pu être observée par la facilité à insérer la pièce de substrat. Pour le laser pico seconde de ST Agrate, un jeu était présent, laissant à la pièce un mouvement au sein de la cavité. Pour le laser nanoseconde de EOTEchnics, il a fallu forcer l'insertion de la pièce dans la cavité. La découpe laser faite à l'IEMN a quant à elle permis une insertion aisée car il a été possible d'ajuster le chemin de découpe afin d'obtenir un jeu fonctionnel d'insertion par essais successifs.

III.1.2 Conception du substrat à 6 couches métalliques pour l'assemblage des circuits B55 de mesure de bruit

Les premières études réalisées sur le substrat à 2 couches métalliques ont permis de valider les performances de la transition substrat vers guide d'ondes WR5 (cf. III.2.1.2 Résultats expérimentaux). Cette partie décrit les études menées autour d'un substrat organique laminé à 6 couches métalliques, utilisé dans le cadre d'assemblage de circuits actifs en technologie B55 en bande G.

La conception du substrat a présenté 4 difficultés principales :

- Maintenir les performances de la transition substrat 6 couches vers le guide d'onde WR5 au niveau de celles obtenues avec le substrat 2 couches
- Définir une stratégie d'assemblage des différents éléments
- Définir un moyen de mise en contact de la masse du substrat avec le *split block* qui soit compatible avec plusieurs montages/démontages successifs
- Définir une connectique fiable et répétable pour les alimentations DC, qui soit compatible avec de multiples assemblages du substrat dans le boîtier

Le premier point est une difficulté liée au choix de ne pas garder un substrat à 2 couches métalliques. Ce choix permet de router les signaux DC sans avoir à recourir à du wire-bonding, qui reste mécaniquement fragile.

Afin de reproduire une transition substrat 6 couches vers guide d'onde la plus proche possible de celle étudiée précédemment avec le substrat 2 couches, le potentiel du fabricant de substrat et du laser femtoseconde ont été mis à contribution. La configuration de substrat choisie pour optimiser les pertes d'insertion au niveau de la jonction avec le guide d'ondes WR5 est représentée sur la Figure 98 :

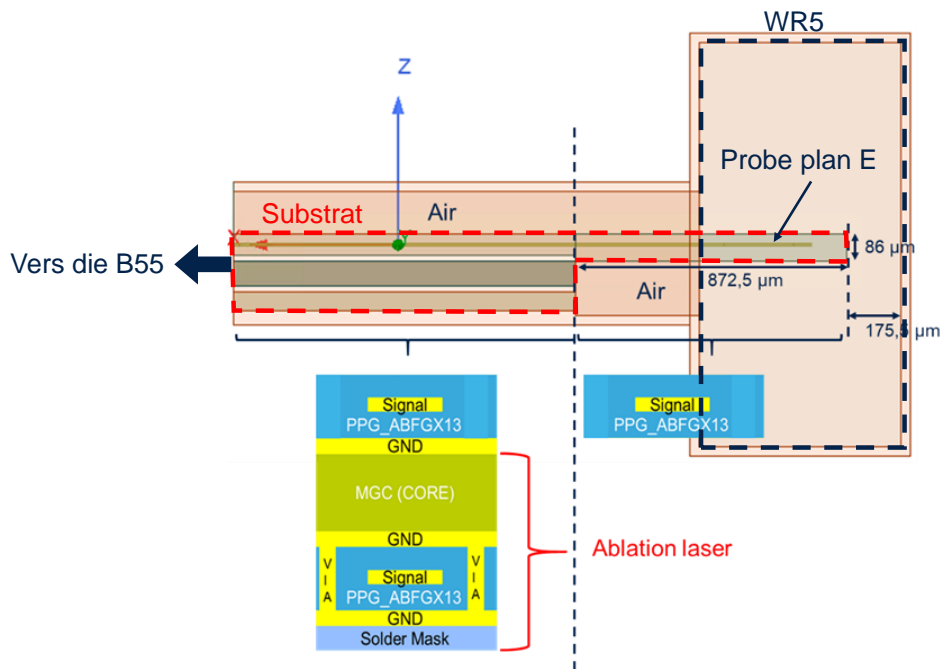


Figure 98 : Configuration du substrat 6 couches au niveau de la transition optimisée vers le guide d'onde WR5

La stratégie adoptée et discutée avec le fournisseur est de retirer de manière localisée le plan métallique situé au-dessous de la ligne RF pour minimiser les résonances parasites et placer la ligne dans un mode

de propagation de type micro-ruban (*microstrip*) grâce à une cavité faite au-dessus du substrat visible en Figure 99. Puis, dans un souci de minimiser la quantité de diélectrique au sein du guide d'ondes WR5, le substrat subit une ablation laser permettant de ne conserver que la couche de prepreg contenant la *probe* plan E.

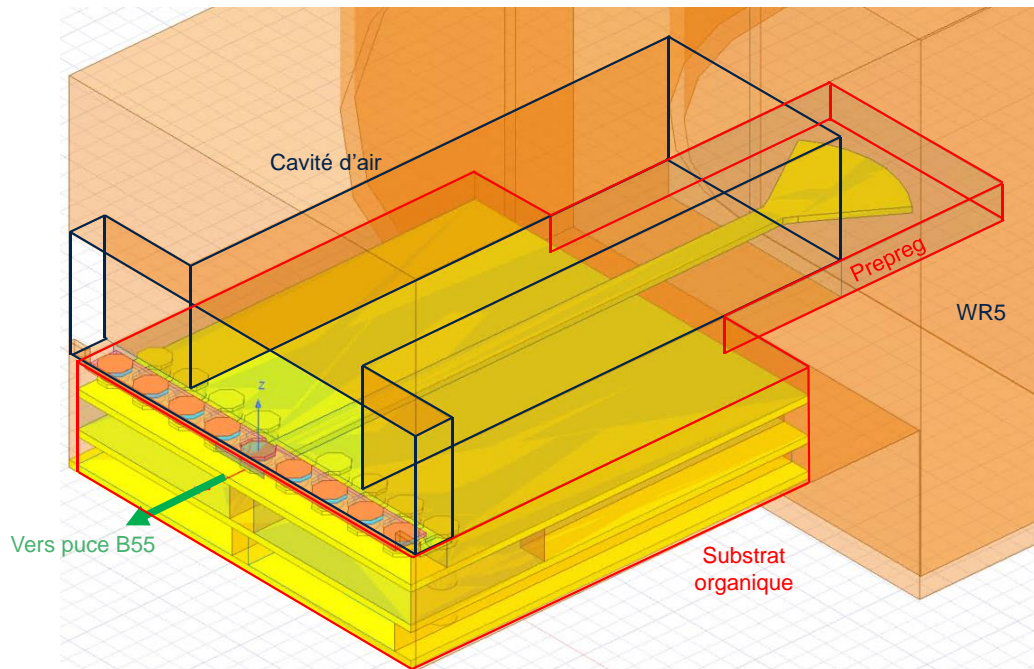


Figure 99 : Vue détaillée de la transition puce B55 vers guide d'ondes WR5 par l'intermédiaire du substrat organique multicouches.

De cette manière, ce substrat permet d'obtenir des performances identiques au niveau de la transition avec le guide WR5 que le substrat à deux couches métalliques, avec un empilement permettant de router facilement les polarisations. Cette géométrie de transition substrat vers guide d'ondes WR5 a permis de mettre en évidence des résultats de simulation prometteurs en termes de pertes d'insertion et d'adaptation en bande G, comme illustré sur la Figure 101.

Le niveau moyen de pertes simulé entre 140 et 220 GHz a pu être estimé à 1 dB après optimisation de différents paramètres de conception. En termes d'adaptation d'impédances, les simulations ont pu mettre en évidence des niveaux inférieurs à -10 dB de 140 à 213 GHz, ce qui permet d'être confiant sur la qualité de transmission du signal RF du substrat vers la sortie du boîtier.

La Figure 100 ci-après est une vue 3D du dessin de masque généré grâce à Ansys HFSS à partir d'une conception sous Cadence.

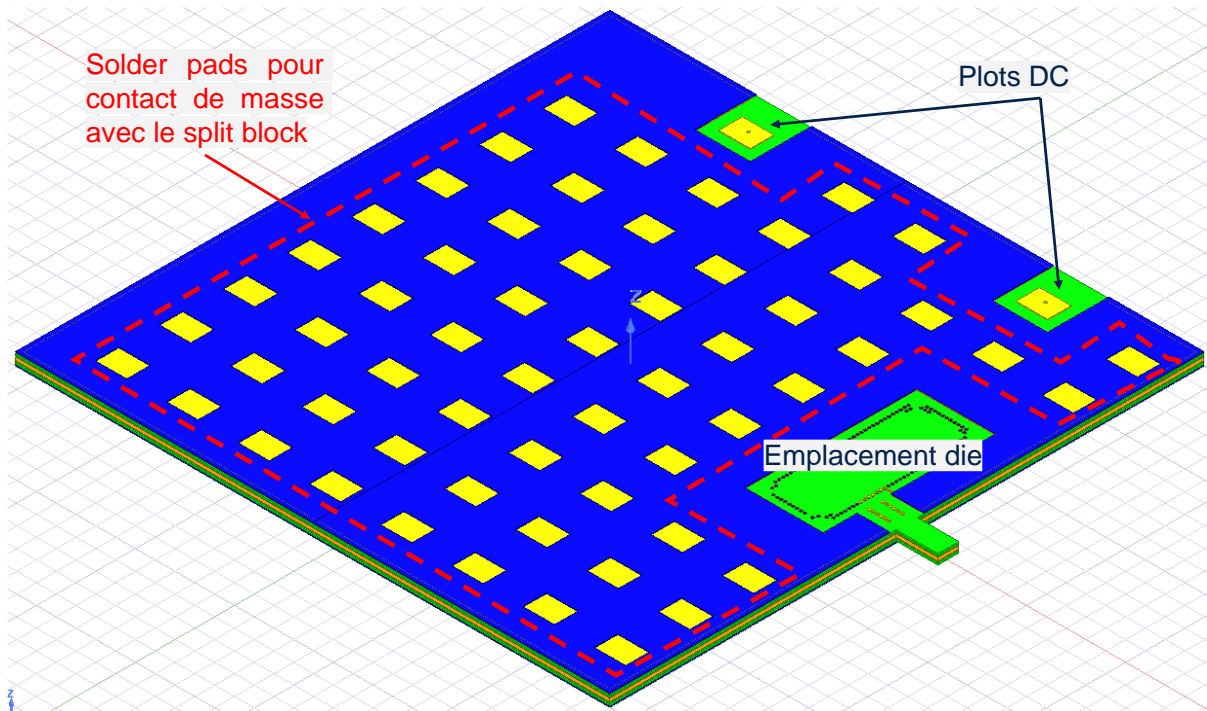


Figure 100 : Vue 3D du layout du substrat 6 couches métalliques pour la mise en boîtier d'une source de bruit standalone. Seuls 2 accès DC sont requis dans cette configuration.

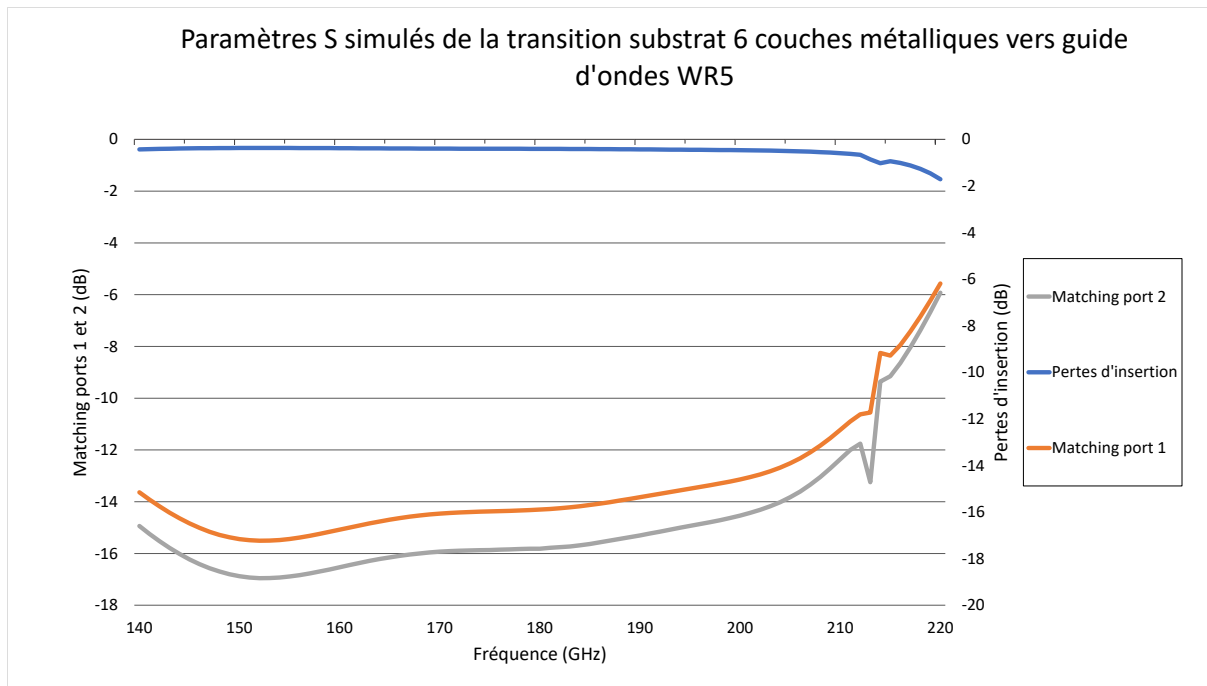


Figure 101 : Paramètres S simulés de la transition entre substrat 6L et guide d'ondes WR5 en bande G

Une modélisation des *copper pillar bumps*, appelés *bumps* dans la suite de ce manuscrit, utilisés pour l'assemblage par flip chip de la puce B55 sur le substrat 6L a été faite dans le but d'estimer l'impact sur la

transformation d'impédance de sortie sur silicium et le niveau de pertes auquel il faut ajouter celui de la transition présentée ci-dessus. Un rappel de la structure d'un *bump* est fait en Figure 102 ci-dessous avec les dimensions usuelles disponibles chez Amkor qui a effectué l'étape de *bumping* d'un wafer 300 mm au cours de cette thèse :

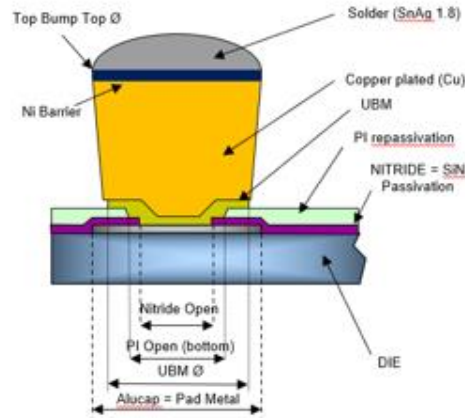


Figure 102 : Schéma d'un *copper pillar bump* utilisé dans l'assemblage par *flip chip* [15]

Dans le cadre de cette thèse, l'assemblage par technique de *flip chip* a été fait en utilisant des *bumps* dont la hauteur totale est de 20 μm sur une *Under Bump Metallization* (UBM) circulaire de 60 μm de diamètre avec un pas (*pitch*) de 99 μm . La modélisation HFSS réalisée pour simuler les pertes d'insertion entre le circuit silicium en technologie B55 et le substrat 6L au travers des *bumps* est représenté sur la

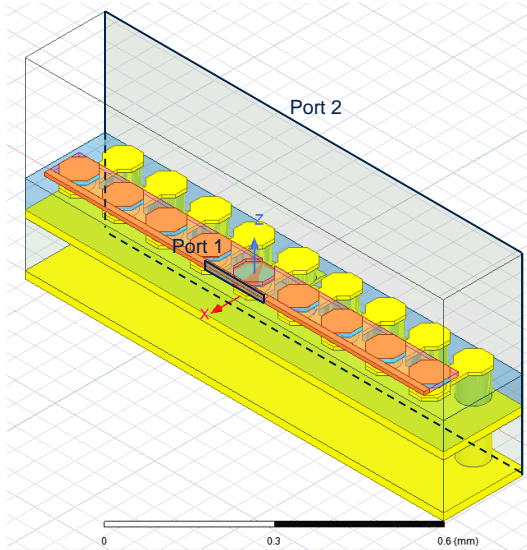


Figure 103 ci-dessous :

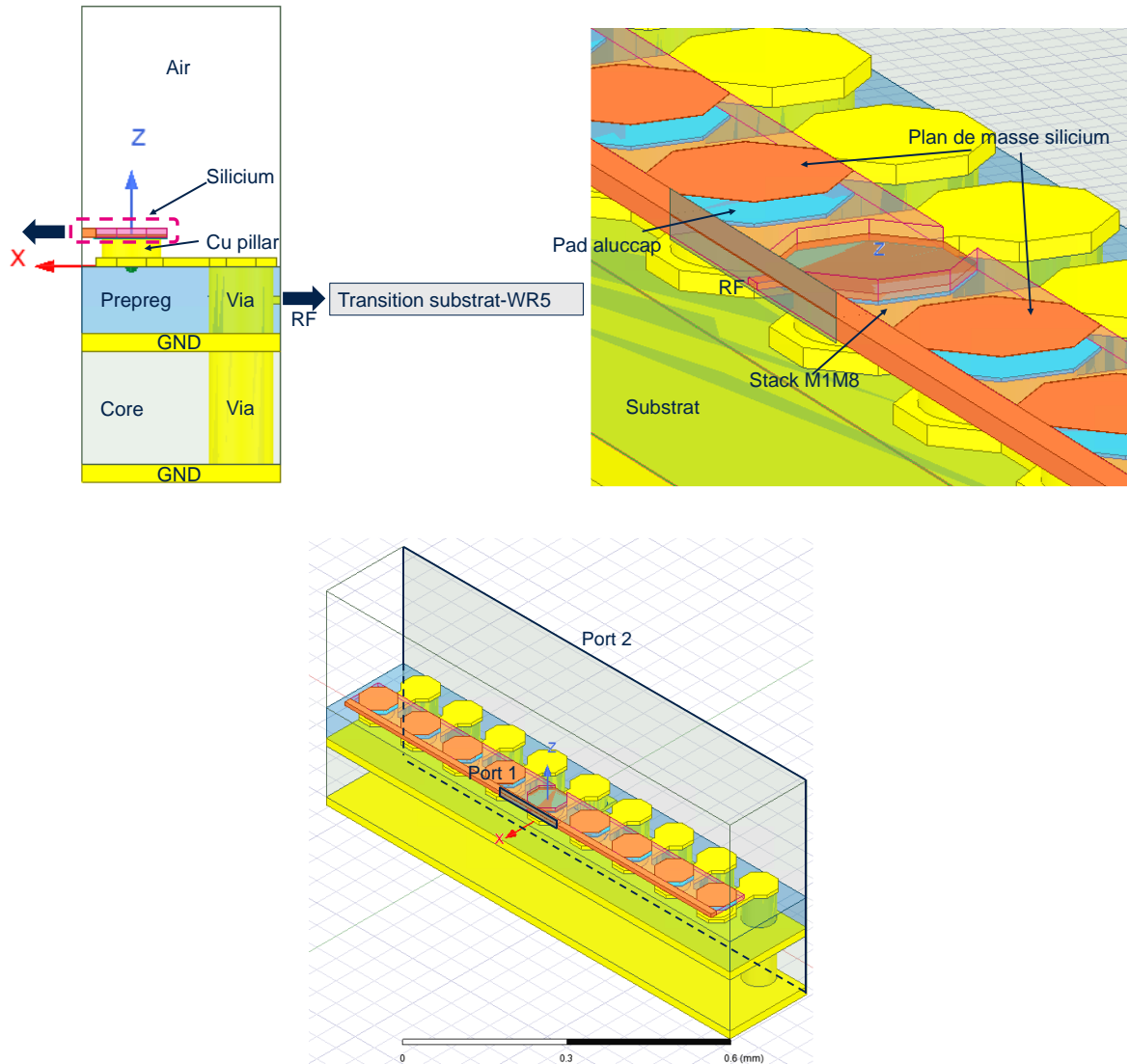


Figure 103 : Modélisation HFSS de la transition silicium vers substrat organique laminé à 6 couches métalliques.

Cette simulation a été faite à l'aide de *waveports* auxquels une ligne d'intégration a été ajoutée afin d'assurer le bon mode d'excitation aux deux ports. Il s'agit ici de modes *microstrip*, où le signal RF est routé dans une portion de conducteur située au-dessus d'un plan de masse séparé par un diélectrique. La hauteur de boîte d'air a été définie en fonction de la largeur des lignes RF situées sur le silicium et sur le substrat. Une condition de radiation a été appliquée afin de placer le design en configuration de rayonnement en champ lointain. Ces conditions de simulation ont permis de mettre en évidence le diagramme de rayonnement représenté sur la Figure 104 :

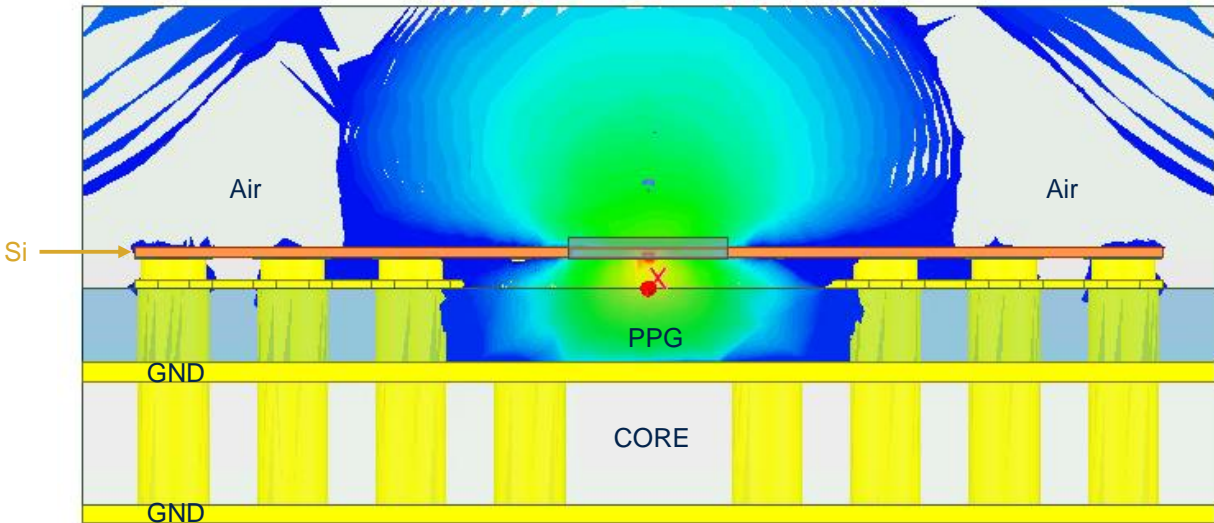


Figure 104 : Champ E simulé à 200 GHz dans la transition silicium vers substrat à 6 couches métalliques (vue de face côté silicium).

Les résultats de simulation en paramètres S de cette transition silicium vers guide d'ondes en bande G ont été regroupés sur la figure suivante. Ils mettent en évidence un faible impact des *bumps* sur les pertes de signal millimétrique et une adaptation constante dans toute la bande de fréquence visée (cf. Figure 105).

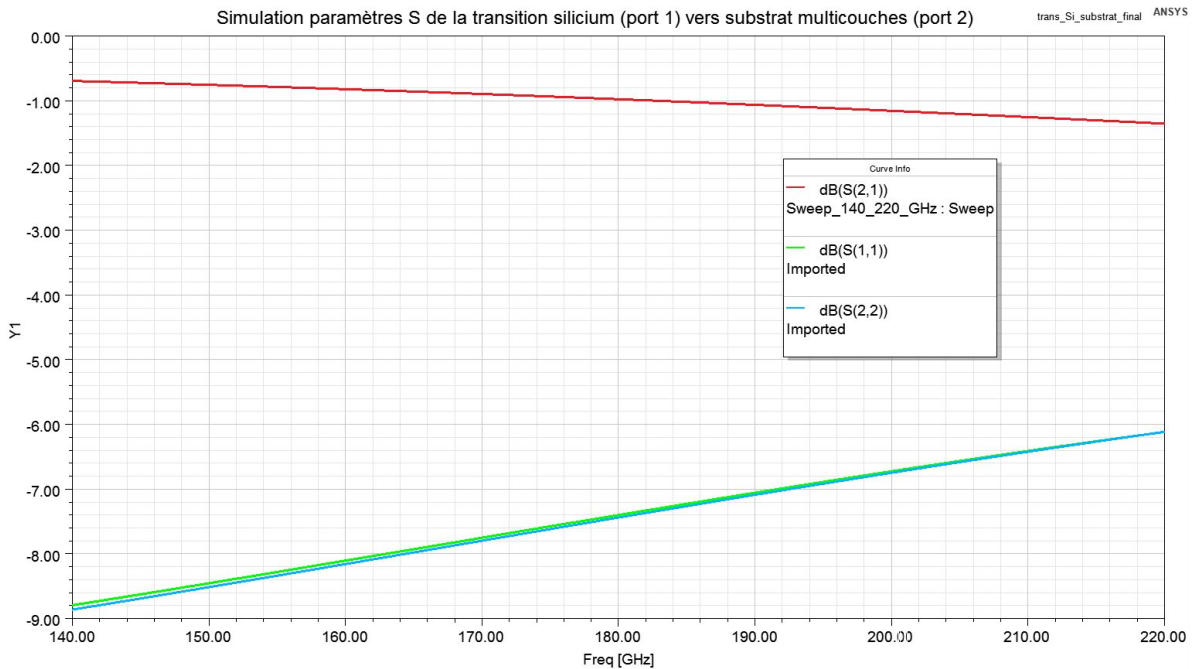


Figure 105 : Paramètres S simulés de la transition silicium vers substrat 6L

De ces paramètres S, un modèle de *bump* a permis d'appréhender les valeurs de capacités parasites vues du côté du silicium et du substrat ainsi que de leur inductance. Ces paramètres donnent un impact clair sur la transformation d'impédance qu'induisent les *bumps* sur l'impédance de sortie des circuits silicium assemblés sur le substrat. La Figure 106 ci-dessous donne le schéma équivalent utilisé pour cette modélisation. Les équations (1) à (4) donnent le détail des calculs opérés pour extraire les valeurs de différents parasites.

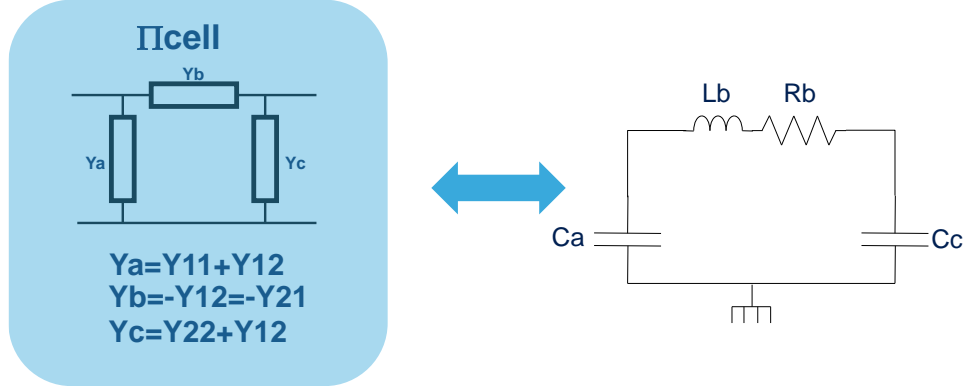


Figure 106 : Modélisation des *bumps* : schéma équivalent

Avec

$$C_a(\text{fF}) = \frac{\text{im}(Y_{11} + Y_{12})}{2 * \text{Pi} * \text{Freq}} * 1\text{e}15 \quad (1)$$

$$C_c(\text{fF}) = \frac{\text{im}(Y_{22} + Y_{12})}{2 * \text{Pi} * \text{Freq}} * 1\text{e}15 \quad (2)$$

Puis

$$Y_b = \frac{1}{R_b + jL_b w} = \frac{R_b - jL_b w}{R_b^2 + L_b^2 w^2} \quad (3)$$

Or, à 180 GHz, $L_b w = 56,5 \Omega$ et $R_b = 50 \text{ m}\Omega$

Donc $R_b \ll L_b w$.

D'où

$$L_b(\text{pH}) \approx \frac{1}{\text{im}(Y_{12})w} * 1\text{e}12 \quad (4)$$

$$R_b(\text{Ohms}) \approx \text{re}(-Y_{12})(L_b w)^2 \quad (5)$$

C_a correspond à la capacité parasite équivalente vue du côté du silicium, qui englobe la capacité parasite des plots d'assemblage *flip chip*. C_c correspond à la capacité parasite vue du côté du substrat organique laminé.

Les représentations graphiques de ces paramètres dans la bande G sont données par la Figure 107 ci-après :

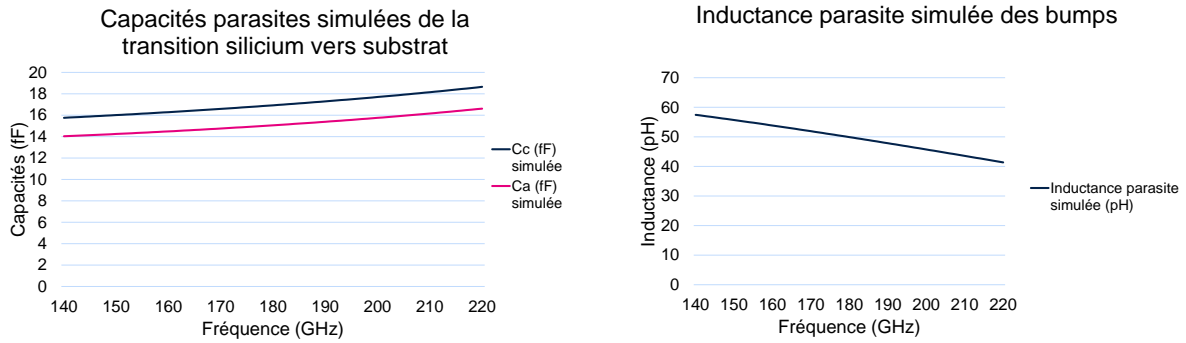
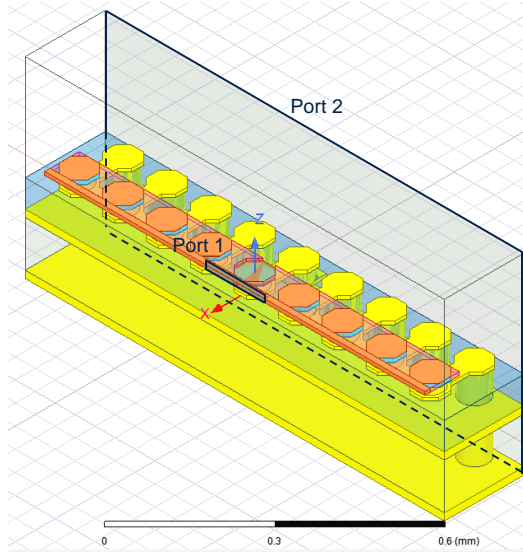


Figure 107 : Capacités et inductance parasites extraites par simulation EM de la transition silicium vers substrat à 6 couches métalliques

Les valeurs de capacités parasites et d'inductance sont en ligne avec les valeurs usuelles simulées à des fréquences millimétriques. La valeur de résistance est faible et devient négative au-delà de 180 GHz. Ceci peut s'expliquer par le fait que l'hypothèse d'un schéma équivalent en Pi n'est valable que pour une plage de valeurs de longueur d'ondes suffisamment grande. Le modèle simulé englobe une partie du silicium et



du substrat (cf.

Figure 103), un modèle localisé n'est donc plus réaliste au-delà de 180 GHz. Une valeur de 50 mOhms sera prise pour modéliser la résistance parasite du *bump*. Ces valeurs choisies pour l'ensemble de la bande G sont représentées sur la Figure 108.

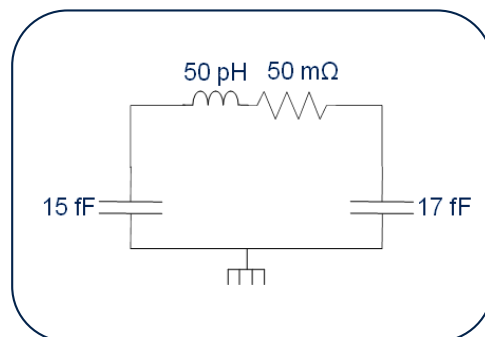


Figure 108 : Schéma équivalent de la transition silicium vers substrat 6L avec choix de valeurs parasites

Ces valeurs ont permis de simuler l'impact sur l'impédance de sortie des puces B55 destinées à être mises en boîtier, à savoir :

- Une diode de bruit utilisée en source de bruit (NS) seule avec une impédance de sortie de 50 Ω
- La NS en série avec un LNA
- La NS en série avec un LNA et un tuner d'impédances

Les deux premières puces ont une impédance de sortie égale ou très proche de 50 Ω dans la bande G. Dans le cas de la mise en boîtier du tuner d'impédances, il est crucial de maîtriser au mieux la transformation d'impédance que génère le boîtier afin d'appréhender la zone d'abaque de Smith couverte par les impédances synthétisées par le tuner.

L'influence des *bumps* sur l'impédance de sortie d'une puce adaptée 50 Ω a été étudiée grâce à l'outil Smith Chart d'ADS et aux valeurs des parasites des bumps extraits par simulation électromagnétique avec HFSS. La Figure 109 ci-dessous montre l'analyse de la transformation d'impédance réalisée ($Z_{outSilicium}$ vers $Z_{insubstrat}$) grâce à cet outil :

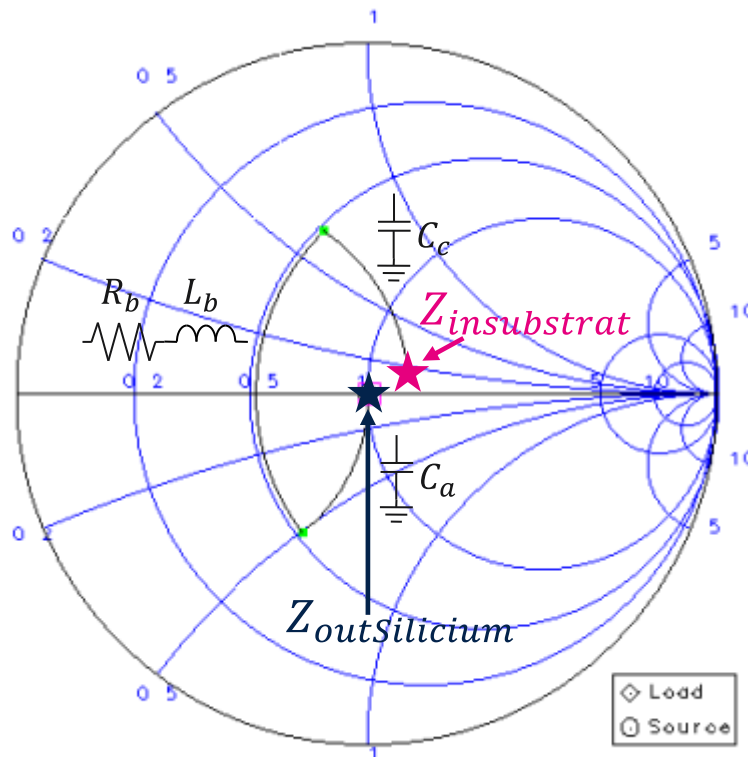


Figure 109 : Analyse de l'impact des *bumps* sur l'impédance de sortie silicium de 50 Ohms à 180 GHz

Cette analyse a permis de considérer que l'impact de la transition silicium vers le substrat 6L est négligeable sur une impédance de sortie de 50 Ω sur silicium. Par conséquent, pour la mise en boîtier des puces

constituées d'une NS seule d'une part et d'une NS et LNA d'autre part, aucune adaptation d'impédance sur substrat n'a été faite.

Dans la perspective d'ajout d'un synthétiseur d'impédances afin d'intégrer la fonction de source de bruit multi impédances en boîtier, il conviendra d'ajouter des réseaux d'adaptation d'impédance sur le substrat, le *tuner* d'impédances ayant pour fonction de générer des impédances à caractère inductif afin de mailler la zone où se situe l'impédance de source optimale en bruit du DST, dans notre cas un transistor NPNVHS en technologie B55.

III.2 Conception de boîtier en bande G (140-220 GHz)

III.2.1 Évaluation de l'impression 3D métallique pour usinage de boîtier split block

De manière traditionnelle, les technologies III-V ont été les premières à être capables de couvrir de nombreuses applications aux fréquences millimétriques. Désormais, l'émergence de solutions sur silicium montre des résultats prometteurs dans un large spectre allant de 0.1 à 1 THz [18], ouvrant la perspective d'applications grand public à faibles coûts. Ainsi, plusieurs systèmes sans-fil (*wireless*) s'appuyant sur des technologies CMOS et BiCMOS ont apporté des premiers jalons aux fréquences millimétriques, à l'instar de démonstrateurs radars en bande W (75-110 GHz) [19], de lien sans fils entre 110 et 170 GHz [8] et de radars centrés en bande G (140-220 GHz) [20]. Pour pouvoir s'intégrer réellement dans une logique de marché grand public, ces premières démonstrations sur silicium doivent s'accompagner de solution de *packaging* à bas coûts.

III.2.1.1 État de l'art de l'impression 3D aux fréquences millimétriques

Dans cette partie, un état de l'art des techniques d'impression 3D est présenté, puis une comparaison de ces différentes techniques est réalisée pour permettre de dégager celle utilisée lors de la réalisation de différents blocs mesurés au cours de cette thèse.

Fondamentalement, l'impression 3D est un procédé additif, où les composants sont fabriqués par un empilement de couches de matériaux, qui peuvent être de différentes natures (diélectriques, métalliques, matériaux composites, céramiques, sables, résines liquides, polymères...). L'usinage à proprement parler de cette matière de base ne se fait pas par l'intermédiaire d'outils additionnels : de manière générale, l'objet à réaliser par impression 3D a déjà été modélisé lors d'une étape de CAO ou d'un scan 3D. Il est à noter que la définition stricte d'impression 3D est 'procédé de fabrication couche-par-couche ne nécessitant pas

d'outils d'usinage additionnels'. Le Tableau 12 ci-dessous récapitule l'ensemble des techniques de fabrication de boîtier, en mettant en évidence le périmètre couvert par l'impression 3D :

Techniques usuelles	Techniques d'impression 3D
Micro-usinage par CNC [21]	SLA (Stéréolithographie) [22]
Électroérosion	SLM (Fusion Laser Sélective) [23]
Fraisage	SLS (Frittage de poudre laser) [24]
Électroérosion par enfonçage (EDM) [25]	MLS (Micro-frittage de poudre laser) [26]
Moulage par injection [27]	PJ (Injection de Photopolymère) [28]
	BJ (Impression 3D par jet de liant) [29]
	EBM (Fusion par faisceau d'électron) [30]
	FDM (Dépôt de fil polymère fondu) [31]

Tableau 12 : Liste des procédés disponibles de fabrication de boîtiers

D'un point de vue historique, les premières réalisations d'impression 3D de composants passifs aux fréquences millimétriques ont vu le jour grâce aux techniques dites diélectriques, la première réalisation datant de 2005, montrant l'élaboration d'une antenne cornet à double polarisation fabriquée à partir d'un matériau diélectrique sous forme de poudre [32]. De nombreuses réalisations de lentilles, guides d'ondes, filtres et antennes cornet alimentent l'état de l'art de l'impression 3D aux fréquences millimétriques, les plus probantes étant listées dans le tableau ci-dessus.

Lors d'une fabrication par impression 3D diélectrique, l'objet est fabriqué en plusieurs pièces afin de faciliter un plaquage métallique de quelques microns (usuellement 10 μm) pour donner les propriétés de conductivité électrique nécessaires aux applications visées. Plusieurs travaux ont montré des résultats intéressants pour des applications guides d'ondes en bande WR-3.4 (220-325 GHz) et antennes cornet en se basant sur une technique de type SLA [33]. Cependant, l'étape de dépôt métallique post-impression peut s'avérer complexe pour certaines géométries d'objets et l'utilisation d'un dépôt métallique par électrolyse est théoriquement impossible à mettre en œuvre si le matériau servant de support est un diélectrique.

Ce constat a engendré l'apparition de travaux utilisant des procédés d'impression 3D métalliques, au cours desquels le matériau de base est un métal conducteur, souvent sous forme de micro-poudre. La rugosité et la précision finales obtenues dépendent directement du diamètre des grains de cette micro-poudre, qui d'ordinaire n'excède pas 20 μm et varie selon les alliages utilisés. Dans le cadre de la technique SLM, des réalisations ont été menées jusqu'à 325 GHz sur des alliages Cu-15Sn avec des particules n'excédant pas 20 μm de diamètre [34]. Cette technique s'accompagne souvent d'étapes de finalisation, où du traitement de surface à l'aide d'un fluide contenant des particules abrasives est injecté sous haute pression dans les cavités où l'on souhaite lisser les parois exposées. Cela a permis de montrer des rugosités moyennes (R_a) d'environ 6 μm , limitant les performances d'objets tels que des guides d'ondes à la bande D [35]. Le Tableau 13 ci-dessous propose une liste des procédés d'impression 3D métalliques les plus courants :

	BJ	SLS	SLM
Matériau	Poudre métallique	Poudre métallique	Poudre métallique
Contrôle dimensionnel	Moyen	Moyen	Bon
Rugosité de surface	4 μm	2 μm	2 μm

Tableau 13 : Liste des techniques d'impression 3D métallique les plus courantes [36]

La technique d'impression 3D par jet de liant (BJ) consiste à déposer un agent liant, souvent sous forme liquide, sur un lit de poudre (métallique, composite ou céramique). Ce liquide va solidariser les particules sur une première couche, puis une seconde couche de poudre est déposée et le procédé est répété pour obtenir un empilement solidaire formant l'objet. Cette technique d'impression 3D se distingue par la rapidité du procédé qu'elle confère : contrairement aux techniques utilisant un laser où un pixel volumique de la géométrie est travaillé, une surface complète est traitée à chaque étape, rendant possible des productions à grande échelle. Cependant, la rugosité de surface permise avec ce procédé reste moins attrayante que celles proposées par les procédés SLS et SLM.

Le second procédé couramment utilisé lors d'impression 3D métallique est la technique de frittage sélectif de poudre métallique au laser (SLS). Ce procédé utilise également un lit de poudre sur lequel un laser va parcourir, en suivant la géométrie dictée par le modèle CAO de la pièce, la surface des grains afin de les lier entre eux par fusion partielle. Cette technique est moins énergivore que le procédé de SLM, qui fait appel à un laser afin de lier les particules de poudre métallique par fusion totale. Le procédé SLS a pour désavantage de laisser des gaps d'air entre les particules, contrairement au procédé de fusion laser sélective (SLM) ce qui a pour conséquence d'altérer les propriétés mécaniques et la résistance des pièces réalisées. Il est à noter que les procédés SLS et SLM sont souvent considérés comme allant de pair, car la principale différence réside dans l'utilisation du laser qui en est faite. Ces deux procédés présentent des performances en termes de contrôle dimensionnel de l'ordre de $10\ \mu\text{m}$ et de rugosité de surface meilleurs que le procédé de BJ. Cependant, si l'impression 3D métallique présente des avantages certains par rapport à l'impression 3D diélectrique, les meilleurs résultats en termes de rugosité ont été obtenus par des procédés de stéréolithographie (SLA) [33], ce qui explique l'apparition dans la littérature de guides d'ondes diélectriques avec un plaquage métallique opérant au-delà de 200 GHz.

Au cours de cette thèse, des réalisations de guides d'ondes WR5 fonctionnant en bande G (140-220 GHz) ont été élaborées par un procédé de MLS, dans le but de minimiser la rugosité de surface et optimiser les tolérances de fabrication sans nécessiter d'étapes de post-procédé. Ce procédé de MLS illustré Figure 110 fait appel à un alliage métallique sous forme de poudre, dont le diamètre est inférieur à $5\ \mu\text{m}$ et qui constitue le principal levier à l'amélioration de la rugosité. Des résultats prometteurs de filtres opérant jusqu'à 100 GHz fabriqués par MLS ont été rapportés. [37] Ces travaux proposent de vérifier la validité de ce procédé jusqu'à 220 GHz sur des géométries de type guides d'ondes.

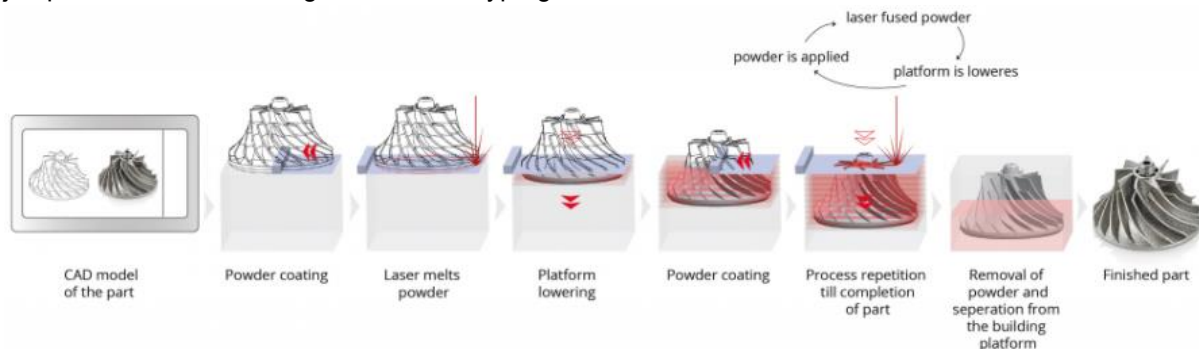
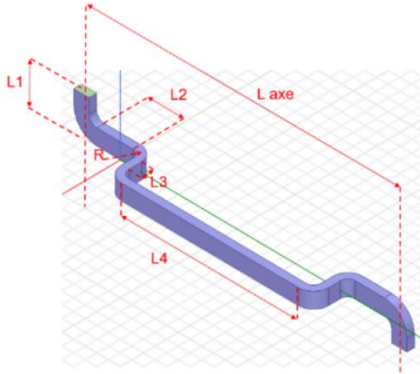


Figure 110 : Illustration du procédé laser de frittage de poudre [38]

III.2.1.2 Description du module d'évaluation WR5 en back-to-back

Afin de pouvoir estimer les performances du procédé de MLS jusqu'à 220 GHz, trois géométries de guides d'ondes WR5 en configuration back-to-back ont été simulées puis fabriquées chez 3DMicroprint, fournisseur de solutions d'impression 3D. La Figure 111 ci-dessous illustre la géométrie de la cavité WR5 réalisée dans un bloc d'alliage chrome-nickel-molybdène. Les trois dessins de WR5 diffèrent par la

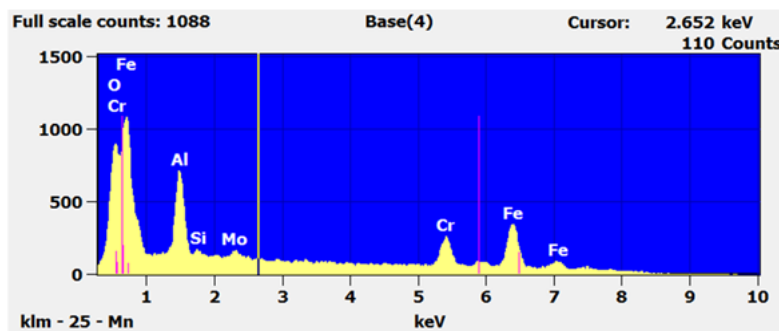
longueur L4 afin de pouvoir extraire des pertes d'insertion linéiques sur plusieurs échantillons. Cette longueur L4 a été imposée à 7.2 mm, 10.2 mm et 15.2 mm, respectivement. Malheureusement, les échantillons à 10.2 mm et 15.2 mm ont montré une non-fonctionnalité en transmission, mettant en évidence une obturation partielle des cavités WR5. En revanche, l'échantillon ayant un L4 de 7.2 mm a montré des performances encourageantes, développées par la suite.



Dénomination	Longueur (mm)
L1	3.162
L2	3.12
L3	1
L4	7.2
L axe	19.275
R	1.296

Figure 111 : Modèle CAD du guide d'ondes WR5 en configuration back-to-back et dimensions

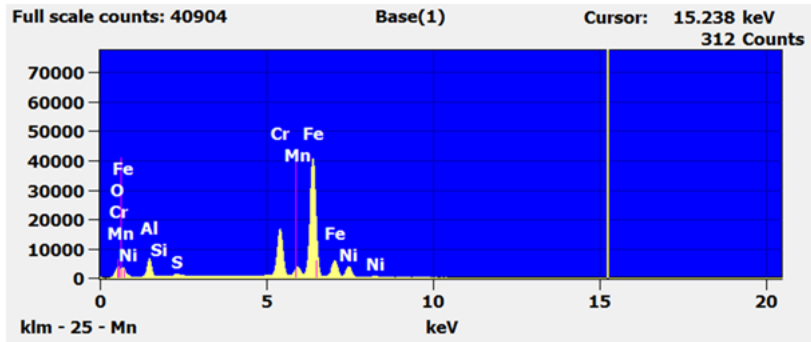
Pour rendre les simulations EM davantage réalistes, une analyse de l'alliage métallique a été réalisée grâce à une technique d'EDX³⁵ couplé avec une analyse SEM³⁶ en collaboration avec l'équipe CARPHY de STMicroelectronics Crolles. Le résultat de la spectroscopie EDX est représenté en Figure 112. L'échantillon est composé principalement de fer, de chrome et d'aluminium. Une faible variation de composition est observée pour deux niveaux d'énergie appliqués, permettant de faire l'analyse en surface et en profondeur de l'échantillon. Cette analyse permet de confirmer la qualité du *process* MLS et d'apporter une précision supplémentaire aux simulations EM réalisées grâce à la connaissance précise de l'alliage présent dans ces modules.



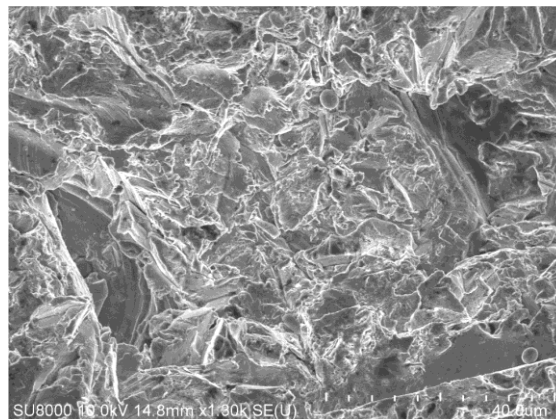
(a)

³⁵ : Electron Dispersive X-Ray Spectroscopy. Il s'agit d'une technique de spectroscopie permettant de détecter l'énergie générée par rayons X propre à chaque élément présent dans un échantillon. La quantité d'énergie perçue est proportionnelle à la concentration de l'élément dans l'échantillon. La précision obtenue est de l'ordre du pourcent.

³⁶ : Scanning Electron Microscopy. Il s'agit d'une technique d'imagerie utilisant un faisceau d'électrons appliqué à la surface de l'échantillon. Les électrons émis par l'échantillon sont détectés et permettent d'obtenir un contraste d'image variant avec la topographie et les changements de matériaux détectés. Ces deux points sont responsables de l'émission d'électrons.



(b)



(c)

Figure 112 : Résultat de l'analyse EDX de l'échantillon imprimé par SLS intégrant une cavité WR5. Ces résultats sont représentatifs de la surface (a) et de l'intérieur (b) de l'alliage analysé. Une image obtenue par SEM à la surface de l'échantillon est donnée en (c).

Le Tableau 14 donne la répartition de chaque élément de l'échantillon.

Elément	WR5 10.2			
	10 kV		30 kV	
	Wt %	At%	Wt %	At%
O	14.1 ± 3.1	34.3 ± 7.6	-	-
Cr	17.8 ± 0.7	13.3 ± 0.5	16.1 ± 0.2	15.1 ± 0.1
Fe	58.7 ± 2.6	40.8 ± 1.8	60.9 ± 0.4	53.0 ± 0.3
Ni	-	-	8.8 ± 0.1	7.3 ± 0.1
Al	6.6 ± 0.2	9.6 ± 0.2	12.4 ± 0.2	22.3 ± 0.4

Tableau 14 : Composition atomique et massique de l'échantillon réalisé par impression 3D après analyse SEM EDX.

Le boîtier contenant la cavité WR5 en back-to-back possède également des surface d'assemble par bride (flange) afin de pouvoir effectuer une mesure en paramètres S en bande G à l'aide de têtes d'extensions millimétriques OLESON, reliées à un VNA. Une calibration de type *Thru Reflect Match* (TRM) a été réalisée à l'aide de structures en guides dédiées. La Figure 113 ci-dessous montre une vue du dispositif sous test :

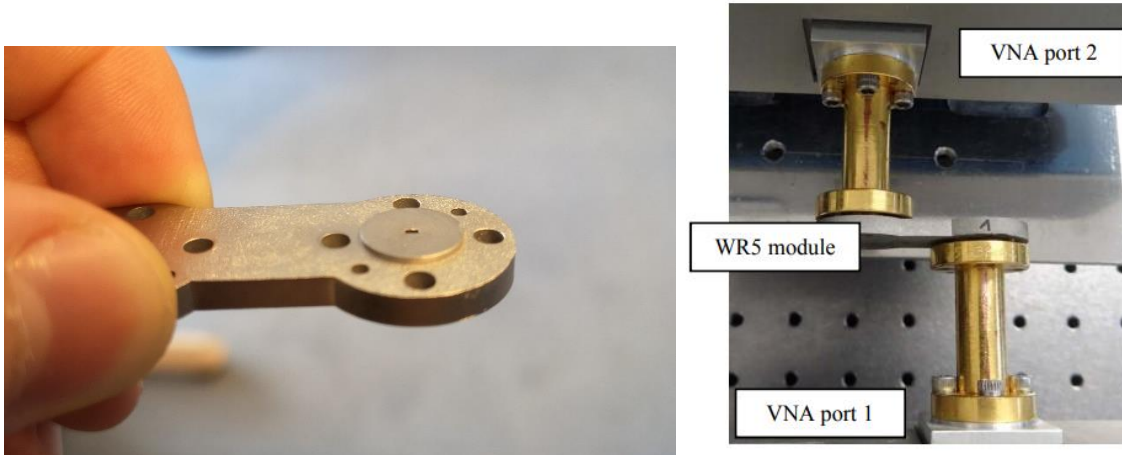


Figure 113 : Illustration du module WR5 en cours de mesure petit signal en bande G. À gauche une photographie de l'échantillon analysé par SEM EDX puis mesuré en paramètres S à STMicroelectronics Crolles et à l'IEMN.

III.2.1.3 Résultats expérimentaux

Les mesures en paramètres S entre 140 et 220 GHz ont montré des résultats prometteurs en termes d'adaptation d'impédances mieux que -13 dB sur l'intégralité de la bande G, comme illustré sur la Figure 114.

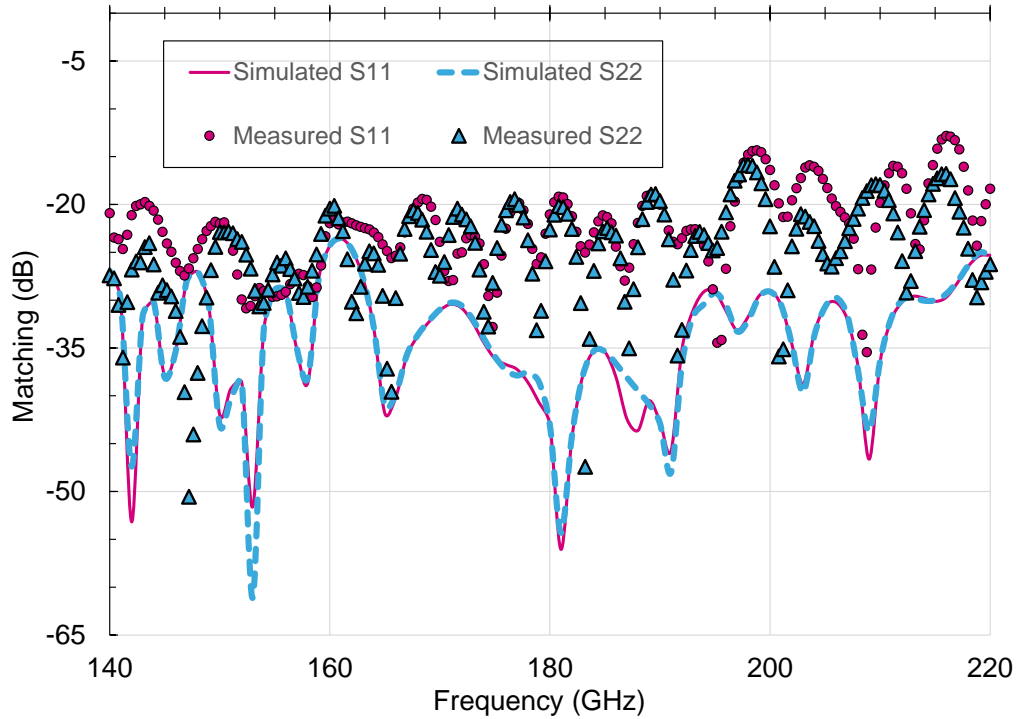


Figure 114 : Comparaison simulation mesure du *matching* du module WR5 imprimé par procédé MLS [39]

En termes de pertes d'insertion, le module mesuré présente un niveau de pertes de l'ordre de 2.5 dB à 180 GHz. Cette valeur est à mettre en parallèle avec la longueur totale de guide d'ondes WR5 comprise dans le module mesuré. Une fois reportée en dB/m, la correspondance est de 90 dB/m en termes de pertes linéiques. Il est à noter que certaines pertes sont spécifiques aux coudes du guide d'onde réalisé et sont indépendantes du procédé de fabrication. En simulation, les pertes d'insertion liées à un coude ont été estimées à environ 0,3 dB à 180 GHz.

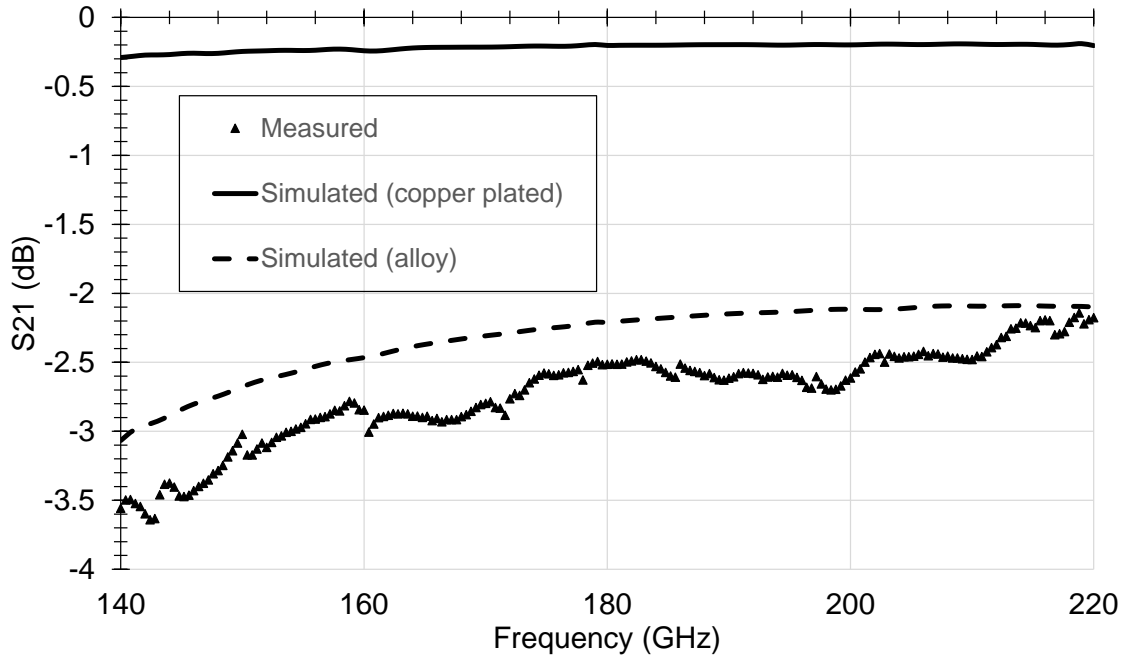


Figure 115 : Comparaison des pertes d'insertion simulées et mesurées [39]

La Figure 115 ci-dessus permet de mettre en évidence une très bonne corrélation entre les pertes d'insertion mesurées et simulées avec l'alliage utilisé, démontrant la pertinence du procédé de MLS pour la fabrication de guides d'ondes en bande G. Afin de quantifier l'intérêt de réaliser un plaquage de cuivre sur les faces internes de la cavité WR5, comme cela est fait de manière courante lors d'étapes post-procédé sur des pièces métalliques, des simulations ont été réalisées avec l'hypothèse d'un revêtement de cuivre d'épaisseur $30\ \mu\text{m}$ ³⁷ parfaitement lisse. Cela a permis de montrer une évolution des pertes d'insertion de 2.5 dB à 0.3 dB, qui s'explique par le fait que le cuivre présente une conductivité électrique environ 5 fois plus élevée que l'alliage utilisé en pratique. Ce plaquage améliorerait le niveau de pertes à 12 dB/m, rendant cette technologie compétitive par rapport aux solutions commerciales existantes. Le Tableau 15 ci-après présente une comparaison avec l'état de l'art pour des réalisations de guides d'ondes aux fréquences millimétriques :

³⁷ : Cette épaisseur de $30\ \mu\text{m}$ permet d'être au-delà de la valeur de l'épaisseur de peau du cuivre à 180 GHz, qui est de $0,3\ \mu\text{m}$.

Standard	Freq (GHz)	Techno	Matériaux	Split Block	Atténuation (dB/m)	Ref.
WR-12	60-90	SLM	Cu-15Sn	Non	7.5 ; 7.8	[36]
WR-10	75-110	SLA	Plastique	Oui	11	[40]
WR-06	110-170	SLM	Cu-15Sn	Non	19 ; 21.5	[36]
WR-06	110-170	-	Alliage métal	Non	11.6	Commercial
WR-05	140-220	SLS	Chrome-Nickel	Non	90	Ces travaux
WR-03	230-320	LBM	Alliage Acier inox	Non	300	[41]

Tableau 15 : Comparaison à l'état de l'art des pertes d'insertion dans des guides d'ondes aux fréquences

Des mesures complémentaires ont permis de confirmer l'utilisation du procédé MLS pour l'usinage de guides d'ondes fonctionnant aux fréquences millimétriques. La reproductibilité des mesures en paramètres S a ainsi pu être vérifiée entre deux bancs de mesure, à la fois en termes de *matching* (Figure 116) et en termes de pertes d'insertion (Figure 117).

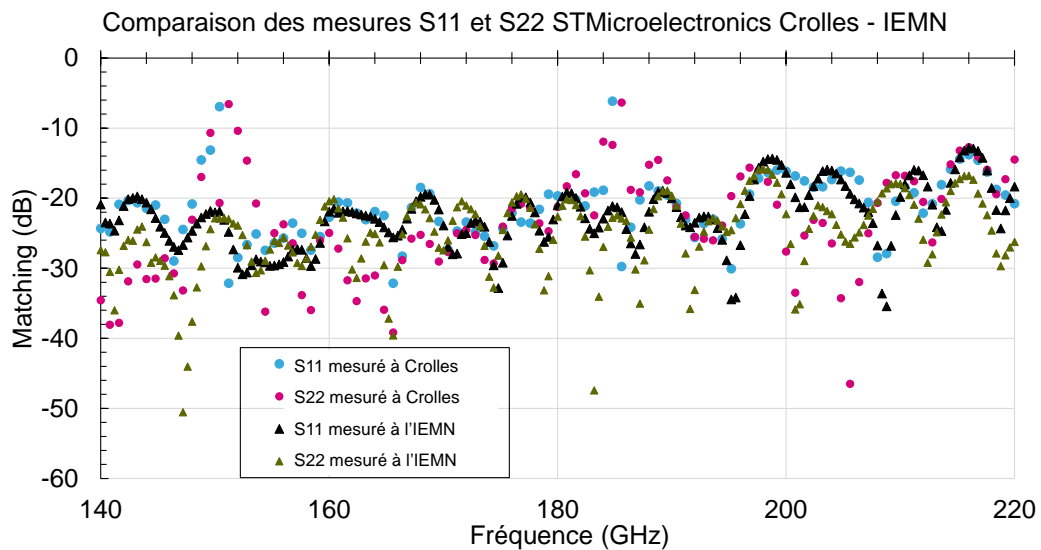


Figure 116 : Comparaison de mesures en paramètres S (*matching*) en bande G du module WR5 back-to-back entre deux bancs de mesure

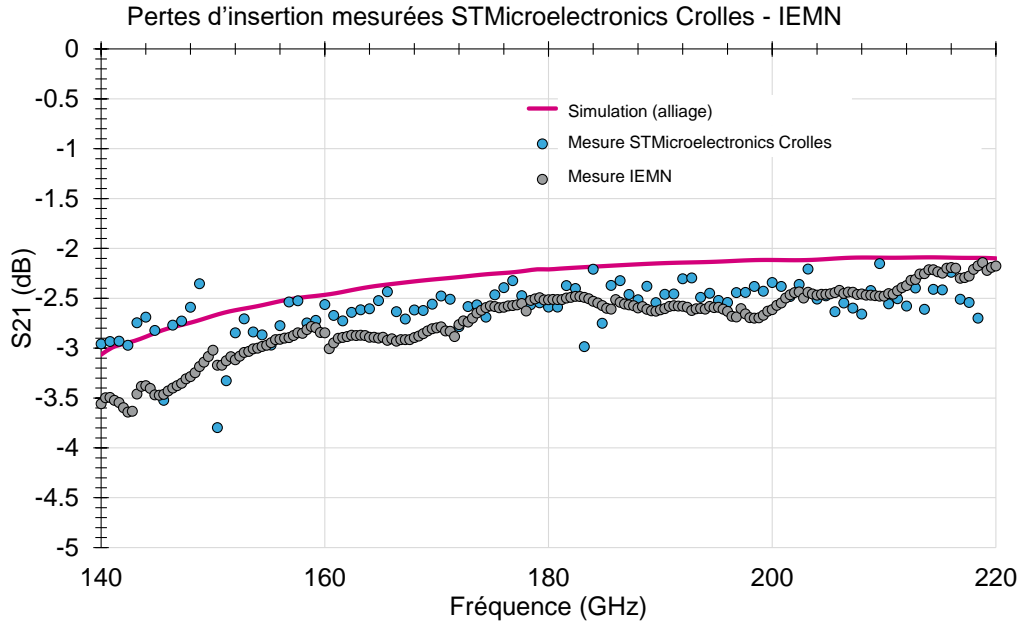


Figure 117 : Comparaison des pertes d'insertion simulées et mesurées sur deux bancs du module WR5 en configuration back-to-back.

III.2.2 Fabrication de boîtier split block par micro-usinage

Dans le cadre de cette thèse, des essais de fabrication de boîtier utilisant une technique traditionnelle de micro-usinage par CNC (*Computer Numerical Controlled*, usinage numérique), se basant sur le contrôle automatisé d'un outil de fabrication, ont été réalisés par l'intermédiaire de partenaires extérieurs à STMicroelectronics. La société MC2 a ainsi collaboré à la conception et à la fabrication des boîtiers servant de démonstrateurs pour cette thèse par le biais des travaux d'usinage numérique.

III.2.2.1 Description du module d'évaluation de la transition substrat vers boîtier

L'enjeu de cette première réalisation d'assemblage d'un substrat laminé organique, couramment utilisé dans le secteur du packaging, dans un boîtier de type *split block* est de quantifier les performances en termes de pertes d'insertion de la transition substrat vers guide d'ondes WR5. Cette transition est cruciale car inévitablement présente pour effectuer la mise en boîtier de circuits actifs s'appuyant sur un assemblage de type *flip chip* sur un substrat, comme c'est le cas dans cette thèse.

Afin de pouvoir quantifier les pertes d'insertion de la transition substrat vers le guide d'onde WR5, un module en configuration back-to-back a été simulé sous Ansys HFSS, comme illustré sur la Figure 118 ci-dessous :

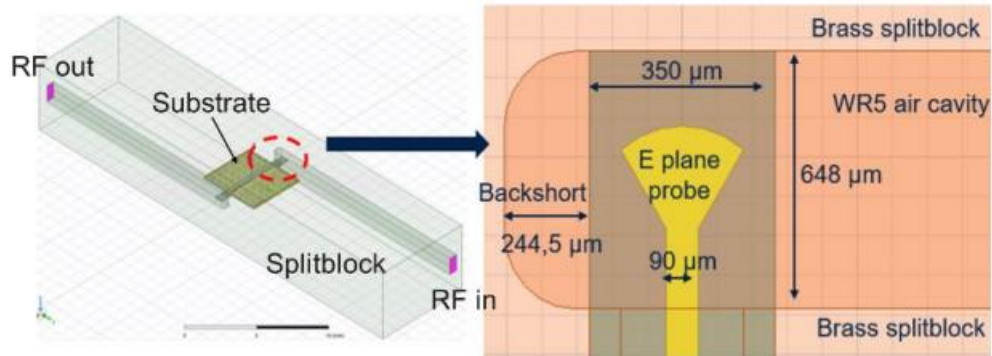


Figure 118 : Simulation HFSS du *split block* intégrant le substrat à 2 couches métalliques en configuration *back-to-back*

Certains paramètres clés, tels que la longueur du *backshort* (voir figure ci-dessus) et la quantité de substrat soutenant la sonde plan E à l'intérieur de la cavité WR5 impactent au premier ordre les performances de la transition. La longueur de *backshort* influence l'adaptation d'impédance entre le mode majoritaire TE₁₀ du guide d'onde rectangulaire et le mode de propagation *stripline* suspendue de la ligne RF du substrat. La position de la *probe* plan E a été optimisée de manière à garantir la collecte maximale de l'énergie électromagnétique véhiculée à l'intérieur de la cavité WR5.

Le boîtier englobant le substrat à deux couches métalliques a été conçu de manière à minimiser le coût d'assemblage et les décalages sur plusieurs assemblages successifs. À cette fin, plusieurs broches d'alignement ont été positionnées sur l'ensemble de l'objet représenté en Figure 119. Quatorze vis de serrage ont également été intégrées par l'intermédiaire de trous taraudés pour garantir un serrage le plus homogène possible en utilisant une tournevis dynamométrique.

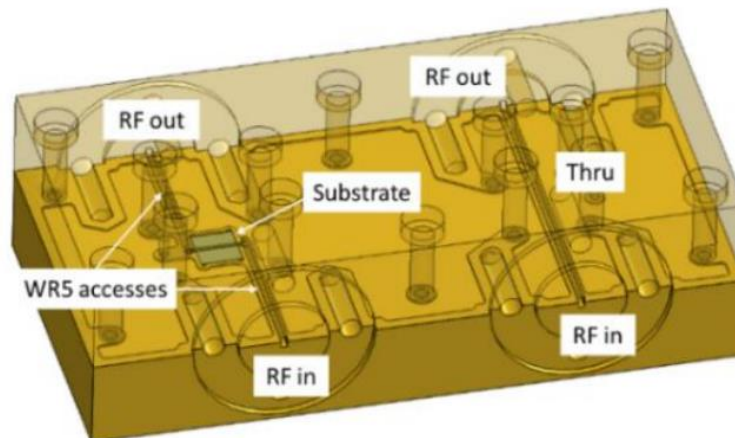


Figure 119 : Modèle CAD du boîtier *split block*

Deux boîtiers en laiton ont été fabriqués par micro-usinage CNC afin de quantifier la reproductibilité des résultats de mesure de pertes d'insertion. Une structure de type *thru* a également été intégrée au *split block* afin de pouvoir éplucher les pertes induites par les accès guides WR5, l'objectif final étant de remonter aux performances d'une transition guide d'ondes vers substrat seule. Une étape post-procédé a été réalisée, au cours de laquelle un dépôt par électrolyse de nickel (1.3 μm) et d'or (6.5 μm), permettant de protéger les faces internes des cavités WR5 d'une oxydation et d'améliorer la qualité de surface sur ces géométries.

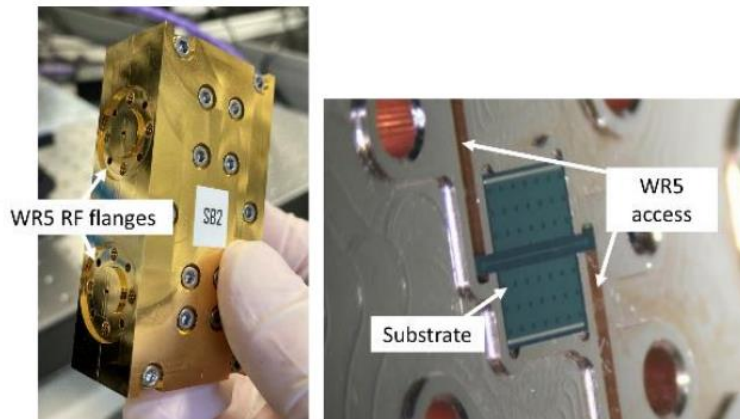


Figure 120 : Vue d'un des deux *split-block* micro-usiné et positionnement du substrat en cours d'assemblage (droite)

Avec le jeu de découpes laser effectuées sur le substrat à deux couches métalliques (cf. partie III.1.1) et les deux boîtiers réalisés, une combinaison statistiquement représentative a permis de constituer un échantillonnage permettant d'éprouver la robustesse de l'assemblage, inscrivant cette étude dans une démarche industrielle.

Ces différentes configurations ont été mesurées en paramètres S entre 140 et 220 GHz à l'aide de tête d'extension millimétriques à l'IEMN. La Figure 121 ci-dessous montre l'objet en cours de mesure. Une calibration de type TRM (*Thru Reflect Match*) a été effectuée afin d'éplucher les accès WR5 servant de connectique entre les têtes d'extension millimétriques OLESON et le boîtier.

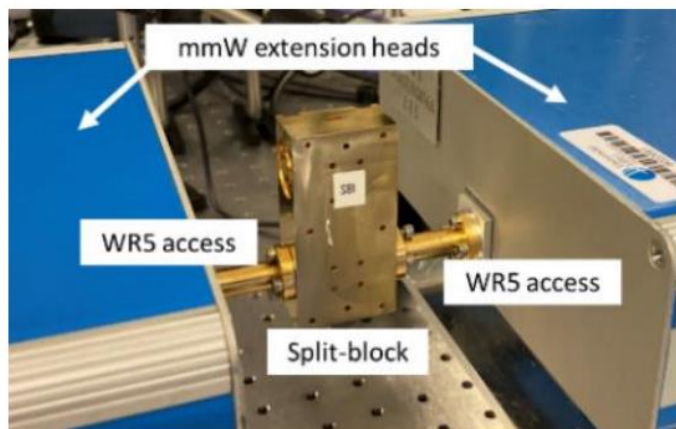


Figure 121 : *Split-block* micro-usiné en mesures de paramètres S 140-220 GHz

III.2.2.2 Résultats expérimentaux

Les pertes d'insertion mesurées sont mises en comparaison avec la simulation sur la Figure 122 ci-dessous :

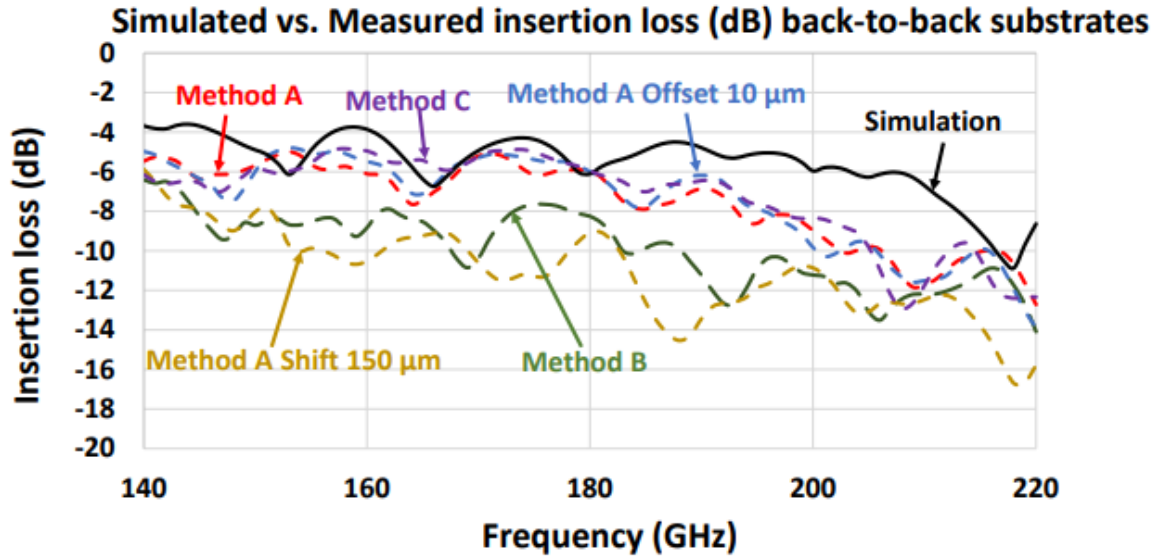


Figure 122 : Comparaison des pertes d'insertion simulées et mesurées pour trois découpes lasers et les valeurs extrêmes de *shift* et d'*offset*

Les différentes découpes nominales faites (voir Tableau 11) avec respectivement le laser femtoseconde de l'IEMN (Méthode A), le laser picoseconde de ST Agrate (Méthode B) et le laser nanoseconde de EOTechnics (Méthode C) démontrent un impact clair de la qualité de découpe sur les performances de la transition. La méthode de découpe B a montré des zones de brûlure qui peuvent facilement expliquer la baisse de performances. Ce phénomène a été étudié dans la littérature pour des procédés lasers [16]. Globalement, l'allure observée en simulation se retrouve en mesure, même si une fréquence de coupure est observée 10 GHz plus bas qu'attendu. La valeur maximale d'offset de 10 μm choisie dans le DOE correspond à une erreur envisageable lors de montages successifs sur le positionnement du substrat dans la cavité. Pour pouvoir appréhender de manière précise l'impact du *shift* et de l'*offset* sur les performances de la transition, des mesures ont été effectuées pour des variations graduelles sur ces deux paramètres, grâce à des chemins de découpe ajustés avec le laser femtoseconde. La Figure 123 ci-après met en comparaison la simulation et les pertes mesurées pour chaque valeur de *shift* du DOE présentée Figure 96. Les valeurs prises pour ce DOE sont données dans le Tableau 8.

Offset (μm)	Shift (μm)
	0 (nominal)
-10	20
-5	40
0 (nominal)	60
5	100
10	150

Tableau 8 : Valeurs d'offset et de *shift* utilisées pour le DOE de découpe de substrats à 2 couches métalliques

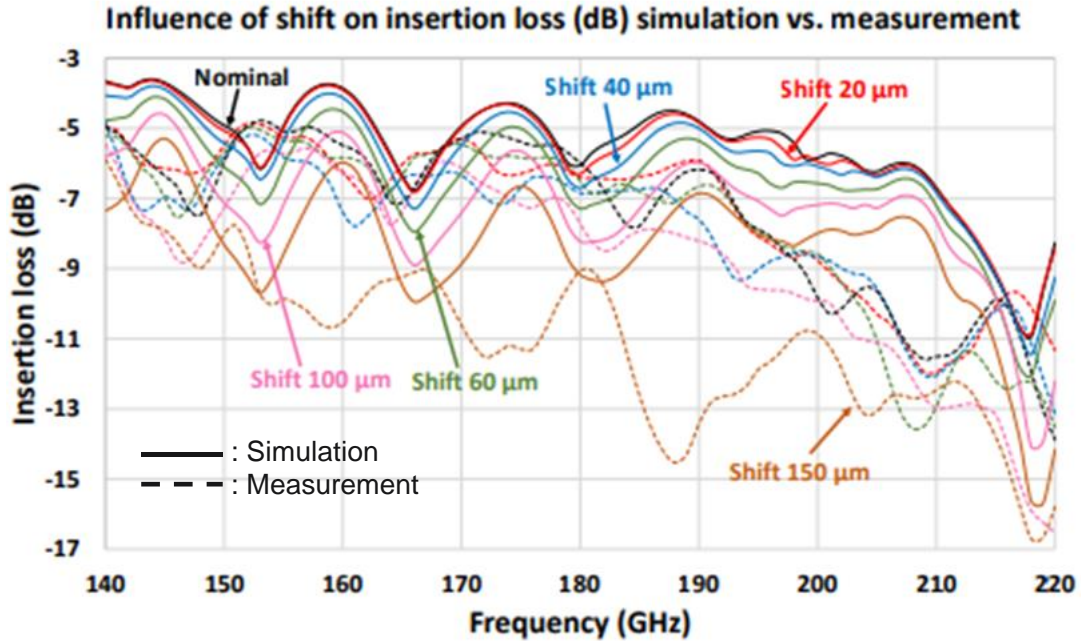


Figure 123 : Influence du shift sur les pertes d'insertion de la transition substrat vers guide d'ondes

L'accord simulation mesure semble acceptable pour des valeurs de shift allant jusqu'à 100 μm et pour des fréquences allant jusqu'à 190 GHz. La valeur de shift de 150 μm semble être trop agressive et influence le diagramme de radiation de la *probe* plan E. Ces mesures permettent de montrer clairement la dégradation progressive et l'importance de contrôler au mieux la valeur du shift lors de multiples assemblages.

Pour pouvoir extraire les pertes d'insertion dans une seule transition substrat vers guide d'ondes, les contributions des accès guides d'ondes rectilignes de 17.5 mm ont pu être épluchés grâce à la structure *thru* du *split block*. Les pertes induites par la ligne *stripline* du substrat de 5.74 mm ont été estimées par simulation HFSS et retranchées à la mesure en *back-to-back*. Ces résultats sont illustrés sur la Figure 124 ci-dessous :

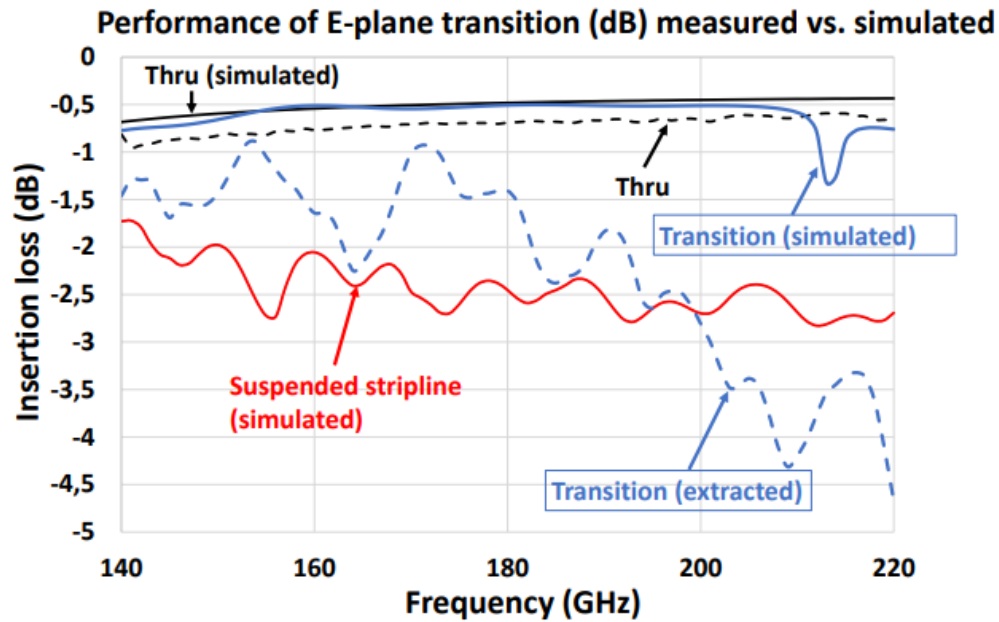


Figure 124 : Comparaison des pertes mesurées et simulées d'une transition entre *stripline* suspendue et guide d'onde WR5 et *thru*

Le niveau de pertes d'insertion extrait par la mesure d'une transition seule est de 1,5 dB à 180 GHz, ce qui est comparable à des niveaux de pertes observés sur des technologies de packaging utilisant des substrats de quartz [17]. L'accord simulation mesure se dégrade au-delà de 180 GHz, les causes exactes sont en train d'être étudiées au moment de la rédaction de ce manuscrit.

III.2.2.3 Description du boîtier intégrant différentes fonctions de circuits actifs sur silicium dédiés à la mesure en bruit

L'utilisation d'un substrat à 6 couches métalliques est justifiée par la nécessité de router différents signaux. Dans le cadre de cette thèse, différents circuits actifs ont été conçus pour être insérés dans un seul boîtier compatible avec différentes topologies de substrat. L'enjeu pour le substrat est de router à la fois le signal RF du circuit et les polarisations dont le nombre varie en fonction du circuit à assembler. Dans le cadre de la diode utilisée en tant que source de bruit, 2 polarisations sont nécessaires. Dans le cadre de cette même diode et du LNA à 2 étages, 5 polarisations sont nécessaires.

À cette fin, le choix d'un substrat organique à couches métalliques s'est imposé comme étant le plus évident. Cette configuration dédie la partie supérieure du substrat au routage RF et la partie inférieure au routage du DC. Le détail du substrat est donné sur la Figure 125 ci-après :

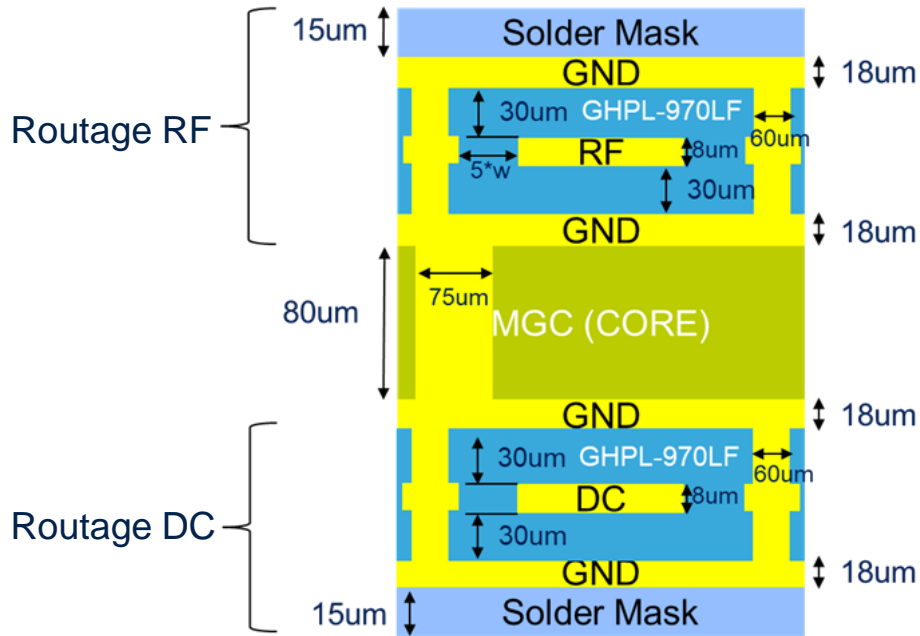


Figure 125 : Stack détaillé du substrat organique à 6 couches métalliques

Cet empilement permet de donner au substrat des propriétés mécaniques suffisantes pour pouvoir être utilisé dans notre application. La surface minimale de substrat est dictée par l'encombrement des 6 connecteurs DC et par l'accès RF. La Figure 126 ci-après est une vue 3D simplifiée du boîtier intégrant les puces en technologie B55.

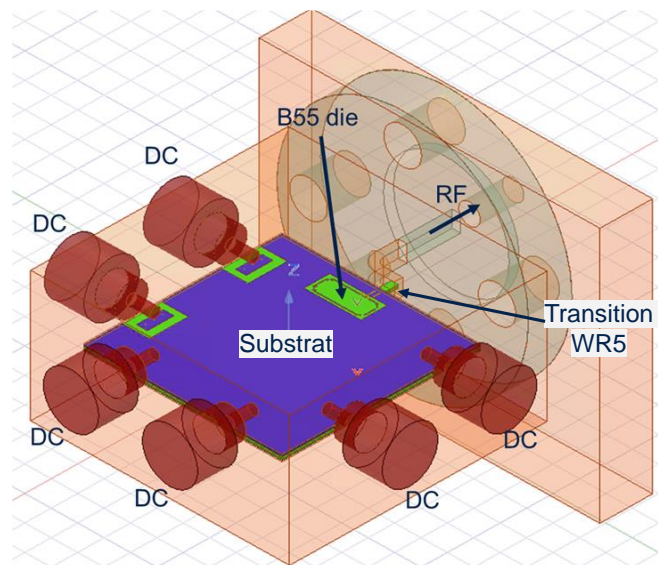


Figure 126 : Vue HFSS simplifiée du module intégrant le substrat 6 couches métalliques avec les différents accès RF et DC.

Pour réduire au maximum le travail d'assemblage, la contrainte imposée a été de définir une géométrie de boîtier compatible avec les différents circuits, ce qui implique également un dimensionnel de substrat unique.

Suite aux résultats obtenus avec le module intégrant le substrat organique à deux couches métalliques qui ont permis de valider la conception de la transition substrat vers guide d'ondes WR5, un travail de conception de boîtier destiné à intégrer des circuits sur silicium a été mené. Cette nouvelle conception utilise un substrat à 6 couches métalliques décrit dans la partie III.1.2. Les contraintes relatives à la conception du substrat 6L évoquées précédemment se retrouvent également dans la conception de ce boîtier. L'objectif est de garantir un bon contact de masse entre le substrat et le boîtier ainsi que de pouvoir réaliser des montages et démontages multiples d'un même substrat dans le boîtier sans dégrader les performances hautes fréquences.

Pour cela, il faut s'assurer que les contacts entre les connecteurs DC, le substrat et les reports de masse entre le substrat et le boîtier se fassent de manière fiable pour chaque montage. Il est également crucial de rester aussi fidèle que possible sur la position de la transition plan E au sein de la cavité WR5.

Pour pouvoir garantir des contacts reproductibles à chaque montage, des plages de soudures rectangulaires de $800 \times 600 \mu\text{m}^2$ ont été disposées de manière périodique sur la surface du substrat et au niveau des connecteurs DC. Une soudure sans plomb est réalisée sur la broche du connecteur pour garantir un contact avec le substrat. La hauteur de ces plages de soudure en excès du masque de soudure est d'environ $20 \mu\text{m}$, avec une tolérance difficile à appréhender. L'utilisation de feuilles conductrices de papier graphène permet de remplir les espaces restants entre le substrat et le boîtier. La Figure 127 suivante représente un schéma de principe de ce mode d'assemblage :

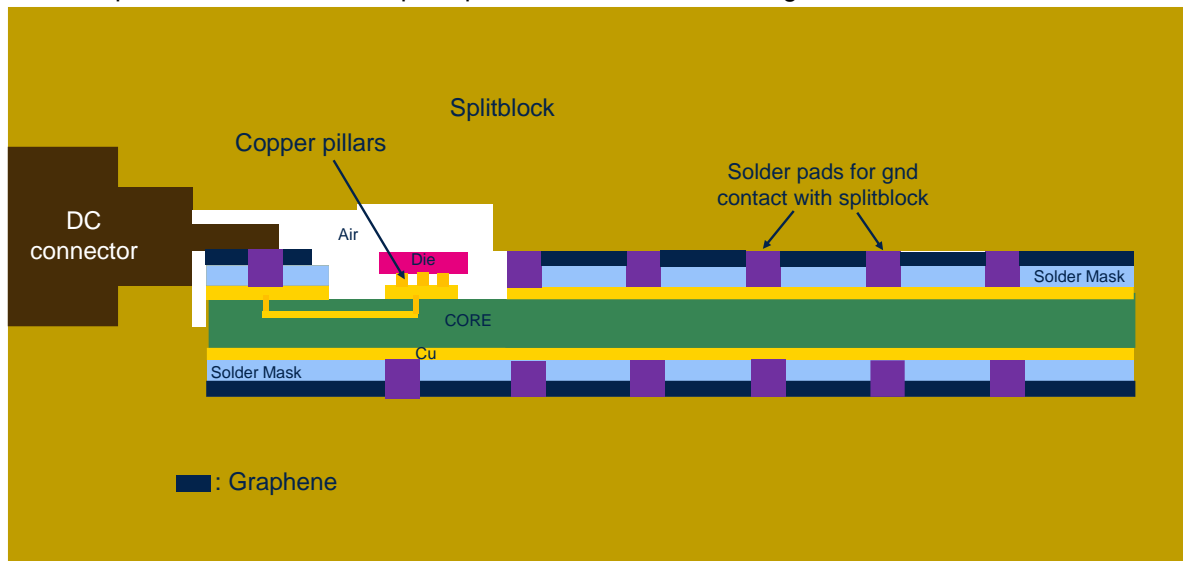


Figure 127 : Vue en coupe schématique du substrat 6L mis en boîtier

Les feuilles de papier graphène ont une épaisseur de $120 \mu\text{m}$ et ont été découpées au laser femtoseconde de l'IEMN pour pouvoir s'insérer dans la cavité faite dans le boîtier. La tolérance prise sur la hauteur de la cavité se base sur la hauteur de l'ensemble constitué par le substrat et les feuilles de papier graphène, en tenant compte d'un écrasement partiel de ces feuilles données par le couple de serrage appliqué lors de l'assemblage. Ce choix de contact de masse a nécessité de nombreuses discussions avec différents fournisseurs dont le site de ST Grenoble, le fournisseur de boîtier MC2 et l'IEMN qui réalise l'assemblage du substrat dans le boîtier ainsi que la découpe laser des substrats 6L.

Les connecteurs DC choisis sont constitués d'une partie 'femelle' vissée dans le flanc du *split block* et d'une partie « mâle » compatible avec des câbles de type super mini jack. Une broche centrale est soudée et recoupée à la longueur voulue pour contacter les plages de soudure rectangulaires situées à la surface du substrat. La Figure 128 donne un aperçu détaillé de la partie inférieure du split block avec le substrat positionné. Des logements ont été prévus afin de positionner des capacités de découplages de 100 pF .

Celles-ci sont de type CMS, elles sont soudées au split block, l'un des deux plots est couvert d'un isolant et soudé à un fil dont la deuxième extrémité est reliée à la broche DC visible sur la vue 3D ci-dessous.

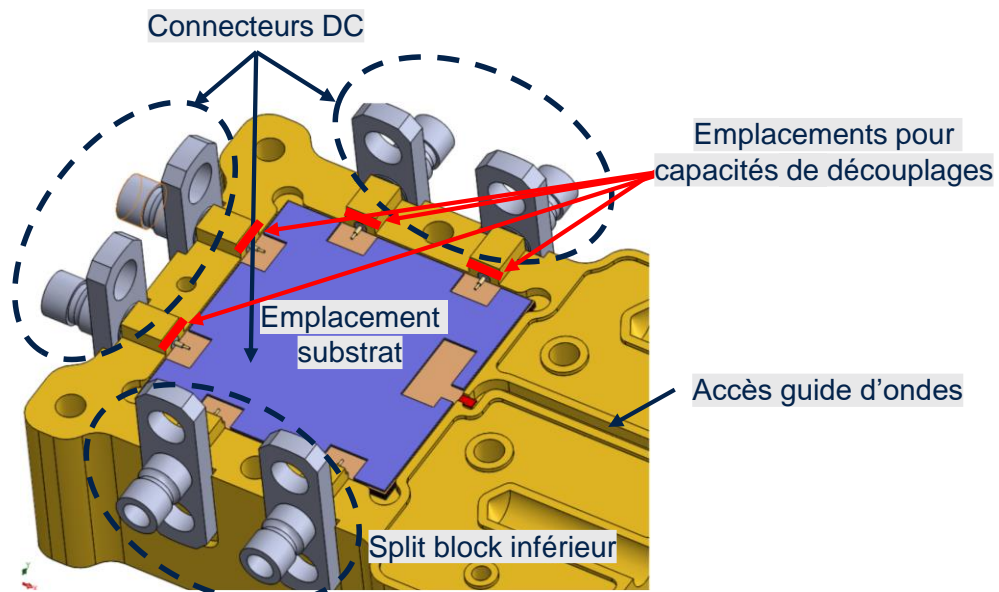


Figure 128 : Vue CAD du demi-split block inférieur avec le substrat à 6 couches métalliques en position.

Conclusion du Chapitre 3

Ce chapitre a rendu compte de l'ensemble des travaux effectués en rapport avec les étapes d'assemblage et de *packaging* inhérentes à ce sujet de thèse. La mise en boîtier de circuits fonctionnant en bande G nécessite de véhiculer l'énergie en gamme d'onde mmW par des cavités de type guides d'ondes rectangulaires. Ces guides d'ondes servent d'interface entre le milieu extérieur au boîtier d'une part via une connectique de type *flange*, mais aussi entre la puce silicium via une transition avec un substrat organique accueillant différents circuits silicium. Dès lors, l'enjeu a été de minimiser les pertes au niveau de la transition substrat vers guide d'ondes, et de la puce silicium vers le substrat. Les premiers pas ont consisté à déterminer une nature de substrat permettant d'adresser l'intégration de puces en technologie BiCMOS 55 nm, en ayant à l'esprit une volonté de réduire le coût du prototype final. Une première géométrie de substrat à deux couches métalliques en configuration *back-to-back* mesurée au sein d'un boîtier fabriqué par micro-usinage classique a permis de valider les transitions réalisées et de quantifier les niveaux de pertes dans la transition substrat vers guide d'ondes, mettant en évidence des pertes d'insertion de l'ordre de 1,5 dB à 180 GHz. De multiples essais de découpe, effectués à l'aide de trois technologies lasers effectuées chez trois fournisseurs différents ont permis de générer une base de données significative permettant de quantifier la sensibilité des performances électriques en fonction de la précision d'usinage et d'assemblage.

Ce premier résultat a permis de figer une géométrie de transition, utilisée de nouveau dans la version suivante de substrat à six couches métalliques, ayant pour but d'accueillir différents circuits par procédé *flip chip*³⁸. La conception de ce substrat à six couches métalliques a été menée de pair avec la conception du boîtier correspondant. De nombreux échanges avec les fournisseurs et concepteurs ont permis de converger vers un mode d'assemblage du substrat dans le boîtier permettant d'assembler et de retirer plusieurs types de substrats dans une seule géométrie de boîtier.

En parallèle des développements liés aux substrats, des investigations ont été menées sur des méthodes alternatives de fabrication de guides d'ondes fonctionnant en bande G. Des essais d'impression 3D métallique par procédé de MLS ont permis de poser de nouveaux jalons en géométrie WR5. Ces essais encourageants ont montré des limites lors de l'usinage de section droites de guides d'ondes WR5 pour des longueurs excédant 7.2 mm. Cependant, des perspectives d'impression 3D de boîtiers avec une géométrie adaptée sont en train d'être adressées et présentent des coûts compétitifs par rapport à de l'usinage standard.

Au moment d'écrire ce chapitre, la conception des substrats d'accueil de puce a été finalisée et les spécifications de fabrication partagées avec les fabricants de substrats. Le contexte lié au COVID-19 a induit de longs délais dans les retours des fabricants de substrats, adressant en priorité les principaux projets clients. Les substrats ont été fabriqués et reçus sous forme de panneaux. Leur découpe au laser femtoseconde est en cours du côté de l'IEMN. Les boîtiers split blocks ont été fabriqués (cf. Figure 129). Les puces en BiCMOS 55 nm ont été caractérisées, un *wafer* dédié au *packaging* a été envoyé chez Amkor pour la réalisation de *copper pillar bumping*. Ce *wafer* est en cours de découpe et d'assemblage sur la ligne pilote de ST Grenoble.

³⁸ : Le chapitre 2 fait état des performances mesurées de ces circuits et a permis de valider au préalable leur fonctionnalité.

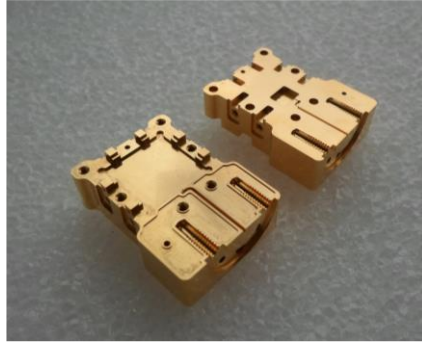


Figure 129 : Split blocks fabriqués par CNC après dorure.

Principaux résultats

- Conception d'une transition entre substrat organique laminé à 2 couches métalliques et guide d'onde optimisée pour fonctionner entre 140 et 220 GHz. Les pertes d'insertion mesurées sont de l'ordre de 1,5 dB à 180 GHz.
- Cette transition est réutilisée dans le cadre de substrats organiques laminés à 6 couches métalliques servant de support à la mise en boîtier de puces silicium en technologie B55.
- La transition entre le silicium et le substrat organique a été simulée sous HFSS et ses contributions parasites ont été extraites.
- En parallèle, une évaluation du procédé MLS d'impression 3D métallique d'un guide d'onde WR5 a permis de mettre en évidence des pertes d'insertion de l'ordre de 90 dB/m en bande G. Une étape supplémentaire de plaquage de cuivre permettrait d'améliorer les pertes jusqu'à 12 dB/m, rendant cette technique compétitive avec les solutions commerciales.

Perspectives

- Réception des substrats organiques laminés à 6 couches métalliques courant Mars 2022 pour assemblage des puces B55 et mise en boîtier.
- Mesures de l'ENR source de bruit sur silicium en boîtier en bande G
- Mesure du facteur de bruit d'un transistor NPNVHS en technologie B55 en bande G

Références bibliographiques du Chapitre 3 :

- [1] H. Schröder *et al.*, "A 3D Glass Based Interposer Concept for SiP with Integrated Optical Interconnects," in *Proceedings - Electronic Components and Technology Conference*, 2010, pp. 1647–1652.
- [2] L. Brusberg, N. Schleppe, and H. Schröder, "Chip-to-chip Communication by Optical Routing Inside a Thin Glass Substrate," in *Proceedings - Electronic Components and Technology Conference*, 2011, pp. 805–812.
- [3] H. Schroder, N. Amdt-staufenbiel, and L. Brusberg, "Photonic Packaging using thin glass foils for Electrical-Optical Circuit Boards (EOCB) and sensor modules," in *Proceedings of 2nd Electronics Systemintegration Technology Conference*, 2008, pp. 1245–1250.
- [4] H. Schröder, L. Brusberg, N. A. Staufenbiel, J. Hofmann, and S. Marx, "Glass panel processing for electrical and optical packaging," in *Proceedings - Electronic Components and Technology Conference*, 2011, no. July, doi: 10.1109/ECTC.2011.5898578.
- [5] M. T. Sebastian and H. Jantunen, "Low loss dielectric materials for LTCC applications: A review," *Int. Mater. Rev.*, vol. 53, no. 2, pp. 57–90, 2008, doi: 10.1179/174328008X277524.
- [6] Y. Imanaka, *Multilayered Low Temperature Cofired Ceramics (LTCC) Technology*. 2005.
- [7] H. Song, "Packages for Terahertz Electronics," vol. 105, no. 6, pp. 1121–1138, 2017.
- [8] P. F. Sun, T. Liu, J. Zhang, and L. P. Huang, "Integration of a 60 GHz packaged LTCC grid array antenna with an amplifier," *2017 IEEE Electr. Des. Adv. Packag. Syst. Symp. EDAPS 2017*, vol. 2018-Janua, no. 8, pp. 1–3, 2018, doi: 10.1109/EDAPS.2017.8277055.
- [9] J. Tong, "Electrical modeling, design and characterization of tapered through-package-vias in glass interposers for high-performance applications," Georgia Institute of Technology, 2016.
- [10] "Advanced PCB Materials Product Selection Guide."
- [11] "ULTRALAM® 3850HT Liquid Crystalline Polymer Circuit Material Double-Clad Laminates," 2016.
- [12] M. Ali, "Advanced 5G substrates with integrated antennas," Georgia Institute of Technology, 2017.
- [13] A. Wright, "Printed circuit board surface finishes: advantages and disadvantages," 2021. <https://www.epectec.com/articles/pcb-surface-finish-advantages-and-disadvantages.html>.
- [14] "Microwaves101.com," 2018. .
- [15] "Wafer Bumping Service Solutions," 2018. <https://amkor.com/services/wafer-bumping/>.
- [16] R. Le Harzic *et al.*, "Comparison of heat-affected zones due to nanosecond and femtosecond laser pulses using transmission electronic microscopy," *Appl. Phys. Lett.*, vol. 80, no. 21, pp. 3886–3888, 2002, doi: 10.1063/1.1481195.
- [17] C. Wang, Y. Yao, J. Wang, X. Cheng, J. Yu, and X. Chen, "A Wideband Contactless CPW to W - Band Waveguide Transition," *IEEE Microw. Wirel. Components Lett.*, vol. 29, no. 11, pp. 706–709, 2019, doi: 10.1109/LMWC.2019.2945242.
- [18] P. Chevalier *et al.*, "SiGe BiCMOS Current Status and Future Trends in Europe," *2018 IEEE BiCMOS Compd. Semicond. Integr. Circuits Technol. Symp. BCICTS 2018*, pp. 64–71, 2018, doi: 10.1109/BCICTS.2018.8550963.
- [19] A. Jebiril, M. Lucente, T. Rossi, M. Ruggieri, and L. Zuliani, "Aero-WAVE: A W-band preliminary test using HAP," *IEEE Aerosp. Conf. Proc.*, vol. 2006, p. 6 pp., 2006, doi: 10.1109/aero.2006.1655988.
- [20] S. E. Gunnarsson, N. Wadefalk, I. Angelov, H. Zirath, I. Kallfass, and A. Leuther, "A 220 GHz (G-band) microstrip MMIC single-ended resistive mixer," *IEEE Microw. Wirel. Components Lett.*, vol. 18, no. 3, pp. 215–217, 2008, doi: 10.1109/LMWC.2008.916819.
- [21] "ScienceDirect Micromachining," 2021. .
- [22] C. W. Hull, "Apparatus for Production of Three-Dimensional Objects By Stereo Thography," *Patent*, no. 19, p. 16, 1984, [Online]. Available: <https://patents.google.com/patent/US4575330>.
- [23] "SLM Solutions," 2021. <https://www.slm-solutions.com/>.
- [24] C. R. Deckard, J. J. Beaman, and J. F. Darrah, "Method for Selective Laser Sintering With Layerwise Cross-Scanning," 1992.
- [25] "EDM Intelligent Solutions," 2021. <https://www.edmdept.com/manufacturing-services/>.
- [26] "Precipart," 2021. <https://www.precipart.com/products-capabilities/custom-mechanical-components/micro-3d-printing/>.
- [27] "DiverseOptics Inc.," 2018. <https://diverseoptics.com/injection->

- molding/?_vsrefdom=adwords&gclid=EAlalQobChMIoLKpjsOo8gIVkmDmCh0A6gKDEAAYASAB EgLWJPD_BwE (accessed Jun. 06, 2020).
- [28] “Additively”, 2020. <https://www.additively.com/en> (accessed Apr. 14 2020).
- [29] “ExOne”, 2021. <https://www.exone.com/> (accessed May 06, 2021).
- [30] “GE Additive”, 2021. <https://www.ge.com/additive/> (accessed May 06, 2021).
- [31] “HUBS”, 2021. <https://www.hubs.com/knowledge-base/what-is-fdm-3d-printing/> (accessed May 06, 2021).
- [32] L. Schulwitz, S. Member, A. Mortazawi, and S. Member, “A Compact Dual-Polarized Multibeam Phased-Array Architecture for Millimeter-Wave Radar,” vol. 53, no. 11, pp. 3588–3594, 2005.
- [33] A. Von Bieren, E. De Rijk, J. P. Ansermet, and A. Macor, “Monolithic metal-coated plastic components for mm-wave applications,” *Int. Conf. Infrared, Millimeter, Terahertz Waves, IRMMW-THz*, vol. 1, no. c, pp. 4–5, 2014, doi: 10.1109/IRMMW-THz.2014.6956222.
- [34] B. Zhang *et al.*, “Metallic 3-D Printed Antennas for Millimeter- and Submillimeter Wave Applications,” *IEEE Trans. Terahertz Sci. Technol.*, vol. 6, no. 4, pp. 592–600, 2016, doi: 10.1109/TTHZ.2016.2562508.
- [35] B. Zhang and H. Zirath, “Metallic 3-D Printed Rectangular Waveguides for Millimeter-Wave Applications,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 6, no. 5, pp. 796–804, 2016, doi: 10.1109/TCPMT.2016.2550483.
- [36] B. Zhang, Y.-X. Guo, H. Zirath, and Y. P. Zhang, “Investigation on 3-D-Printing Technologies for Millimeter- Wave and Terahertz Applications,” *Proc. IEEE*, vol. 105, no. 4, pp. 723–736, 2017, doi: 10.1109/jproc.2016.2639520.
- [37] M. Salek *et al.*, “W-Band Waveguide Bandpass Filters Fabricated by Micro Laser Sintering,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 66, no. 1, pp. 61–65, 2019, doi: 10.1109/TCSII.2018.2824898.
- [38] “1 Technology Micro Laser Sintering - a process overview Micro Laser Sintering for finer details About 3D MicroPrint GmbH,” vol. 49, no. 0, p. 9126, 2016.
- [39] V. Fiorese *et al.*, “Evaluation of Micro Laser Sintering Metal 3D-Printing Technology for the Development of Waveguide Passive Devices up to 325 GHz,” *IEEE/MTT-S Int. Microw. Symp.*, pp. 4–7, 2020.
- [40] M. D’Auria *et al.*, “3-D Printed Metal-Pipe Rectangular Waveguides,” 2015.
- [41] S. Makhlof, B. Khani, J. Lackmann, S. Dulme, and A. Stöhr, “Metallic 3D Printed Rectangular Waveguides (WR3) for Rapid Prototyping of THz Packages,” *2018 1st Int. Work. Mob. Terahertz Syst. IWMTS 2018*, pp. 7–10, 2018, doi: 10.1109/IWMTS.2018.8454684.

Chapitre 4 : Assemblages d'une source de bruit BiCMOS 55 nm en boîtier : résultats expérimentaux entre 140 et 220 GHz.

Ce chapitre a pour objectif de présenter les assemblages de la source de bruit BiCMOS 55 nm dans un boîtier de type *split block*. La puce est reportée par flip chip sur un substrat multicouche laminé organique qui est lui-même inséré dans le boîtier *split block*. Les résultats expérimentaux liés à la mesure en paramètres S entre 140 et 220 GHz et en puissance de bruit à l'aide des deux récepteurs de bruit couvrant les bandes 140-170 GHz d'une part et 170-220 GHz d'autre part seront présentés. Les performances de cette source de bruit seront mises en comparaison avec les solutions commerciales existantes à ces fréquences. La caractérisation du NF d'un amplificateur MPA04-1 en connectique WR05-1 sera détaillée. La mesure du NF d'un transistor NPNVHS sur silicium sera explicitée. Pour finir, ces démonstrations seront accompagnées de preuves de répétabilité et de robustesse des assemblages réalisés sur plusieurs mesures. En effet, une caractéristique non négligeable de cette mise en boîtier est la capacité d'assembler un grand nombre de pièces au sein d'un même boîtier sans détériorer la qualité de l'assemblage.

IV.1 : Présentation des échantillons réalisés et du plan d'expérience

Afin d'inscrire cette étude dans une volonté de robustesse des résultats, tout en prenant en compte le temps associé à la mise en boîtier et aux caractérisations manuelles sur les bancs disponibles à l'IEMN, plusieurs échantillons ont été fabriqués.

Deux boîtiers *split block* ont été réalisés grâce à une collaboration avec l'entreprise MC2 Technologies, qui comprend la conception mécanique, l'usinage CNC et la dorure de ces boîtiers. Le travail de réflexion mené autour du choix de connecteurs DC et des câbles associés s'est concrétisé par leurs conseils.

Le silicium du MPW B55 BUKA a permis de disposer de 64 sources de bruit. Un *wafer* dédié à ces travaux d'assemblages a été envoyé pour une étape de *copper pillar bumping* sur un site de l'entreprise AMKOR situé en Corée du Sud. À la réception du *wafer*, ces puces ont été découpées à la scie mécanique et assemblées par report *flip chip* à l'aide des équipements du site de STMicroelectronics Grenoble avec une qualité et une répétabilité industrielles.

En parallèle, les substrats organiques dessinés en partenariat avec les équipes de STMicroelectronics Grenoble ont été fabriqués par l'entreprise Nan Ya et livrés à la mi-mars 2022. Deux versions de substrats ont été réalisées car elles permettent chacune de router les signaux DC de la source de bruit non amplifiée d'une part, et de la version amplifiée, d'autre part. Sur les plusieurs milliers d'unités de substrats livrées, quelques pièces ont été envoyées à l'IEMN afin d'être découpées au laser femtoseconde pour pouvoir être insérées dans les cavités des *split blocks*.

Une fois découpés, ces substrats ont été envoyés à STMicroelectronics Grenoble pour le report *flip chip* des puces B55. Une étape de dépôt d'alliage de soudure a été faite sur ce même site afin de mettre au point la technique de report de masse entre les substrats et les boîtiers. Cette technique a le grand avantage de permettre d'opérer à plusieurs assemblages de substrats dans différents boîtiers.

Les puces B55 assemblées sur les substrats découpés ont ensuite été renvoyées à l'IEMN pour la campagne de mesures qui s'est déroulée les premières semaines de Mai 2022.

La Figure 130 donne une vue d'ensemble des échantillons produits, la Figure 131 donne la correspondance physique aux paramètres de longueur et d'épaisseur de diélectrique.

Épaisseur de diélectrique sous la probe plan E (μm)	Longueur de diélectrique dans la cavité WR5 (μm)	Substrat ID Batch 1	Substrat ID ID Batch 2	Substrat ID ID Batch 3
24	873	AA-T24-P873-U1	AA-T24-P873-U2	AA-T24-P873-U3
24	960	AA-T24-P960-U1	AA-T24-P960-U2	AA-T24-P960-U3
24	1020	AA-T24-P1020-U1	AA-T24-P1020-U2	AA-T24-P1020-U3
48	873	AA-T48-P873-U1	AA-T48-P873-U2	AA-T48-P873-U3
48	960	AA-T48-P960-U1	AA-T48-P960-U2	AA-T48-P960-U3
48	1020	AA-T48-P1020-U1	AA-T48-P1020-U2	AA-T48-P1020-U3
24	873	BB-T24-P873-U1	BB-T24-P873-U2	BB-T24-P873-U3
24	960	BB-T24-P960-U1	BB-T24-P960-U2	BB-T24-P960-U3
24	1020	BB-T24-P1020-U1	BB-T24-P1020-U2	BB-T24-P1020-U3
48	873	BB-T48-P873-U1	BB-T48-P873-U2	BB-T48-P873-U3
48	960	BB-T48-P960-U1	BB-T48-P960-U2	BB-T48-P960-U3
48	1020	BB-T48-P1020-U1	BB-T48-P1020-U2	BB-T48-P1020-U3

Figure 130 : Pucés assemblées sur substrats organiques : plan expérimental associé aux découpes laser femtoseconde.

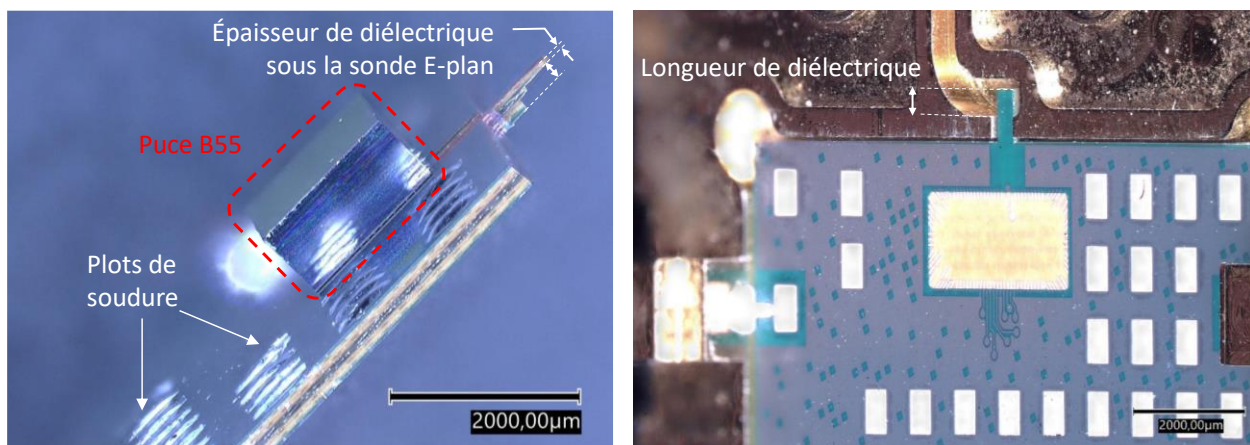


Figure 131 : Photographies explicitant les paramètres de longueur et d'épaisseur de diélectrique au niveau de la transition substrat vers guide d'ondes.

La nomenclature associée à ces substrats est expliquée Figure 132 :

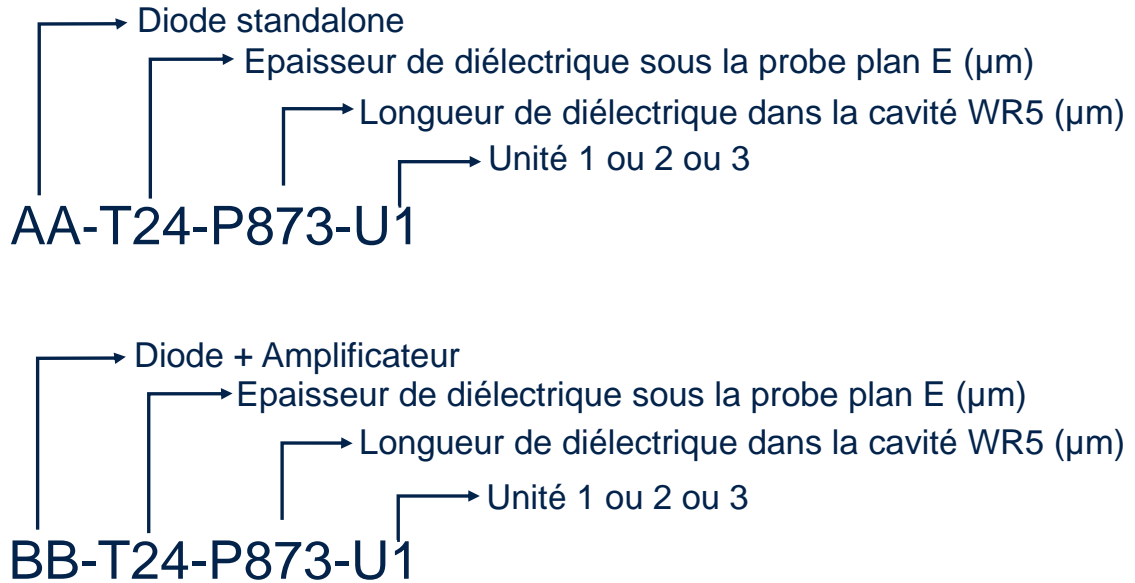


Figure 132 : Nomenclature des substrats d'accueil des puces B55 destinés à la mise en boîtier.

Au total, ce sont donc 36 substrats sur lesquels 18 sources de bruit standalone et 18 sources de bruit amplifiées ont été assemblées. Une grande partie de ce plan d'expérience a pu être mesurée en paramètres S et en bruit à l'aide des 2 boîtiers *split blocks*. En faisant varier la longueur et l'épaisseur de diélectrique autour de la probe plan E rayonnant dans la cavité WR5 du boîtier, l'objectif est de retrouver une sensibilité au niveau des paramètres S et des puissances de bruit en sortie de boîtier ainsi que de contrôler la qualité de l'assemblage. La position de la probe plan E est en effet cruciale pour le niveau de pertes dans la transition entre le substrat organique et le guide WR5. La précision du laser femtoseconde permet d'assurer un trajet de découpe précis à 3 µm près. Les réglages choisis dans notre cas permettent d'effectuer plusieurs passages à faible puissance laser, un passage permettant une ablation de diélectrique sur une profondeur de l'ordre de 20 µm, sans générer de brûlures des diélectriques usinés. Les Figure 133 Figure 134 donnent une bonne idée des pièces fabriquées et de l'effort de coordination entre les parties prenantes de ce projet.

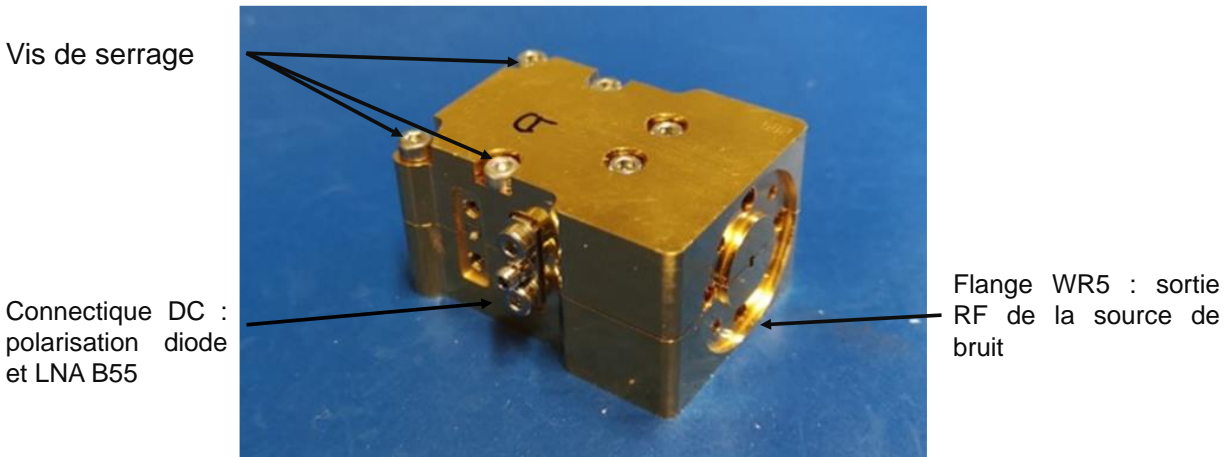


Figure 133 : Photographie d'un des deux *split blocks*. La dénomination utilisée est SBA et SBD pour *split block A* et *split block D*.

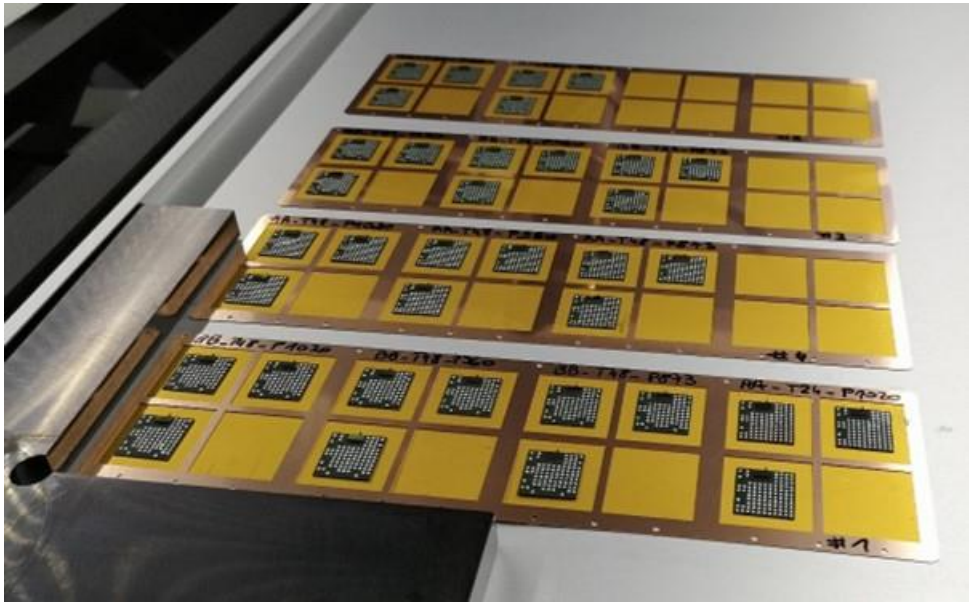


Figure 134 : Photographie des 36 substrats avec puces B55 sur *taper* dans un scanner à rayons X pour vérification de la qualité du report *flip chip* et des routages au sein des substrats. Il s'agit de la dernière étape de vérification avant envoi à l'IEMN pour les mesures en boîtier.

La Figure 135 est une vue du *split block* ouvert contenant un substrat organique sans puce B55. Les accès DC sont visibles au niveau des broches latérales qui seront soudées sur des plots dédiés à la surface du substrat dans la suite du montage. Les nombreuses plages rectangulaires de cuivre à l'air libre servent de contact de masse entre la masse du substrat et le *split block* et sont couvertes de dépôts d'alliage de soudure pour les pièces de substrat destinées à accueillir les puces B55. Ici, le substrat est une version du type AA, qui permet de router une source de bruit *standalone* qui nécessite deux accès DC, situés à gauche. Un accès sert à polariser en courant d'avalanche la cathode de la diode de bruit, le deuxième accès polarise la grille d'un transistor MOS froid au sein d'un réseau d'adaptation d'impédance de sortie de cette même diode. Le boîtier une fois refermé a un dimensionnel d'environ 27 mm x 18 mm x 20 mm.

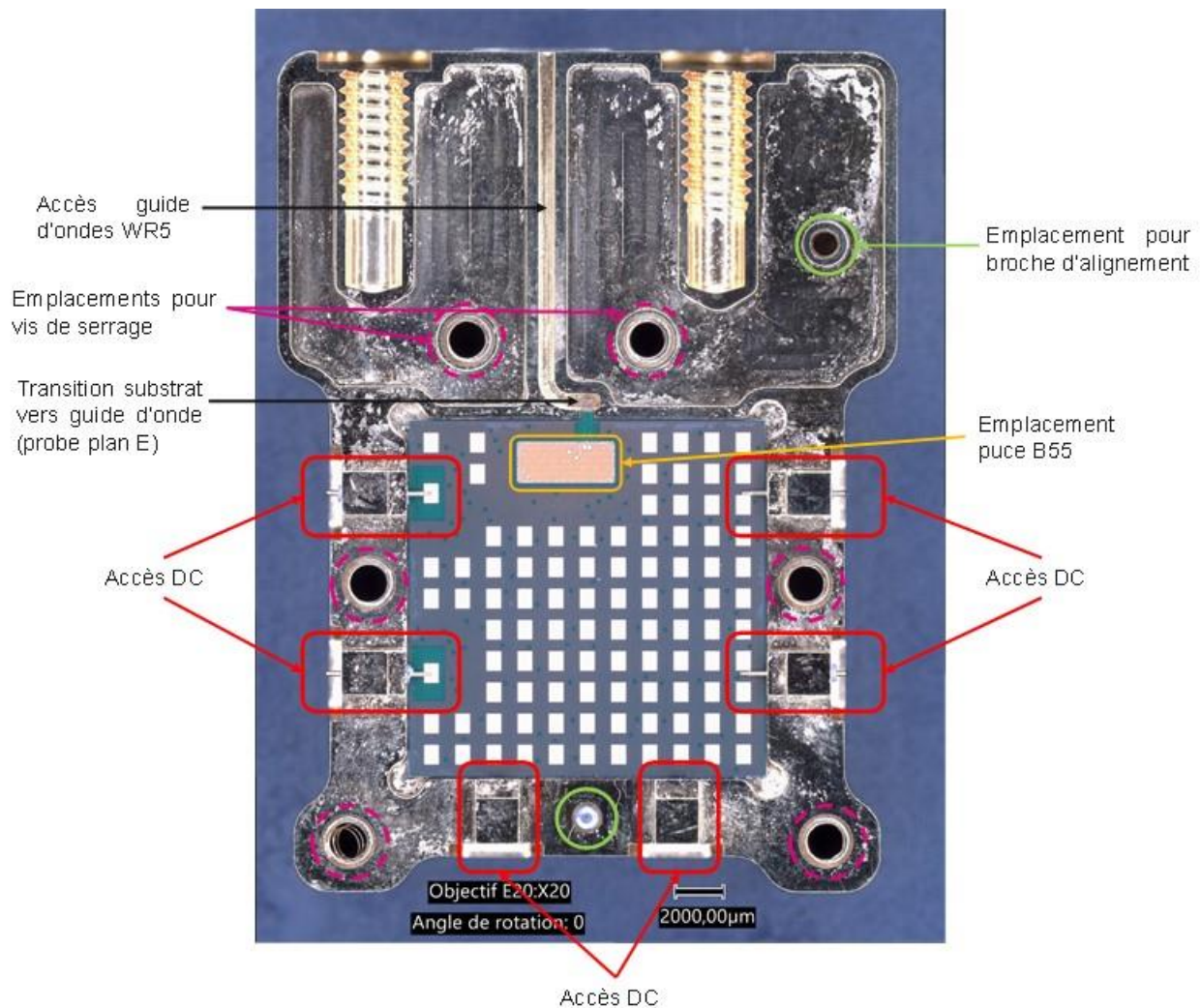


Figure 135 : Substrat organique sans puce mis en boîtier ouvert.

La Figure 136 est une vue du *split block* ouvert après un assemblage d'une NS standalone en boîtier. Plusieurs feuilles de papier graphène de 120 µm d'épaisseur ont été découpées au laser femtoseconde de manière à définir un périmètre compatible avec l'emplacement des connecteurs DC et la puce B55. Lors de l'assemblage, une feuille de papier graphène est placée sous le substrat, au fond de la cavité dédiée, une autre au-dessus du substrat, qui nécessite cette étape de découpe laser. Les soudures des broches DC sont effectuées à l'aide d'un microscope binoculaire et d'une fine panne à souder. Le volume d'alliage de soudure est contrôlé en déposant une bille d'un diamètre de 600 µm. La fusion rapide de la bille est obtenue pour une température de panne de 390°C. Les connecteurs DC visibles à gauche sont vissés sur la face extérieure du *split block*.

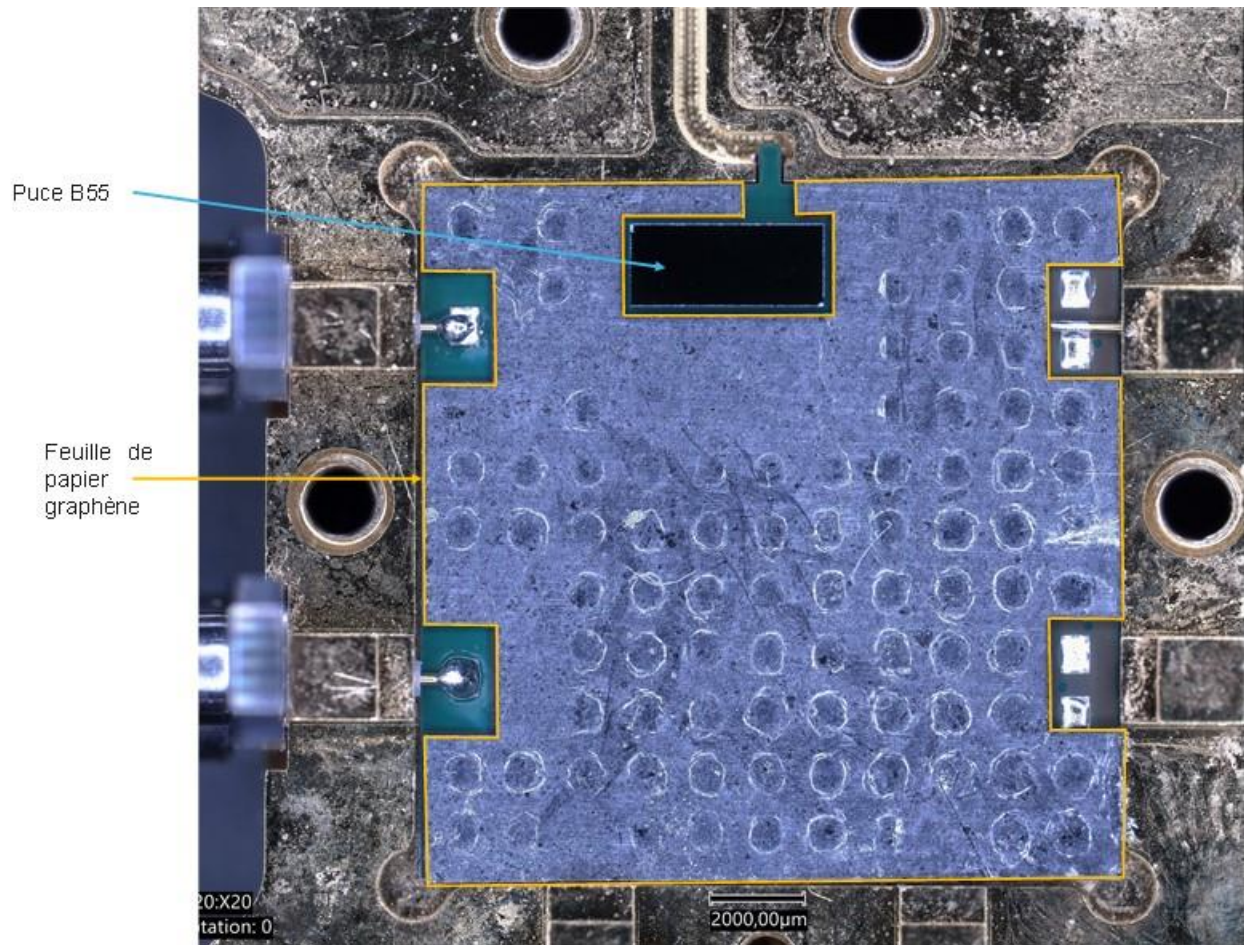


Figure 136 : Vue post-assemblage d'une puce B55 (NS standalone) en boîtier : soudures des broches DC et compression du papier graphène supérieur.

Le papier graphène remplit bien le rôle de contact électrique de masse entre le *split block* et les plots de masse du substrat sur lesquels l'alliage de soudure a été déposé. Ces plots de soudures ont une hauteur d'environ 70 µm en excès par rapport au *solder mask*. Après optimisation du procédé, la Figure 137 est une photographie des plages rectangulaires recouvertes d'alliage présentes en abondance sur les faces inférieures et supérieures du substrat. La technique de contact de masse est donc validée et permet d'assembler de nombreuses pièces au sein d'un même boîtier. Des essais donnent des résultats concluants malgré la réutilisation de feuilles de papier graphène déjà déformées. Ces réutilisations n'ont pas d'impact visible sur les performances obtenues en paramètres S et en bruit.

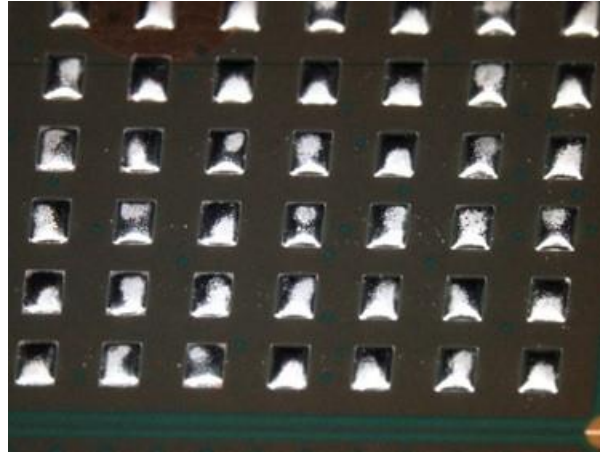


Figure 137 : Vue des soudures déposées sur les ouvertures de *solder mask* dédiées des substrats organiques. Les contacts de masse s'effectuent à travers ces soudures d'un dimensionnel d'environ 800 μm x 600 μm x 80 μm .

Les étapes d'un montage et d'un retrait du substrat avec puce dans le *split block* sont données ci-après :

Mise en boîtier d'une puce B55 :

- Pose du papier graphène au fond du *split block*
- Pose du substrat, la position du substrat est peu variable selon l'axe horizontale, mais peut varier d'environ 150 μm selon l'axe vertical
- Soudure des broches DC aux plots dédiés du substrat
- Pose du papier graphène supérieur
- Fermeture du *split block* et serrage des vis à l'aide d'un tournevis dynamométrique

Retrait d'une puce B55 :

- Ouverture du *split block*
- Retrait du papier graphène supérieur
- Retrait des soudures et des connecteurs DC. Les broches DC sont également retirées pour permettre l'extraction du substrat. Certaines broches servent uniquement à verrouiller la position du substrat dans le boîtier
- Retrait du substrat
- Retrait du papier graphène inférieur

Au total, ces étapes de montage et démontage d'une pièce prennent une dizaine de minutes une fois la technique éprouvée par l'opérateur. Toutes ces étapes ont été effectuées avec des équipements anti-ESD (bracelet, tapis, feuilles d'aluminium). Une future version du silicium pourra être améliorée en intégrant des diodes anti-ESD, ce qui faciliterait les manipulations.

Un contrôle dimensionnel des *bumps* a été effectué sur les puces B55 découpées et sur lesquelles l'étape de *copper pillar bumping* a été réalisée. L'espace inter-*bumps* et le diamètre sont conformes au cahier des charges donné à AMKOR. La Figure 138 donne une vue des *bumps* déposés et d'une puce découpée et bumpée.

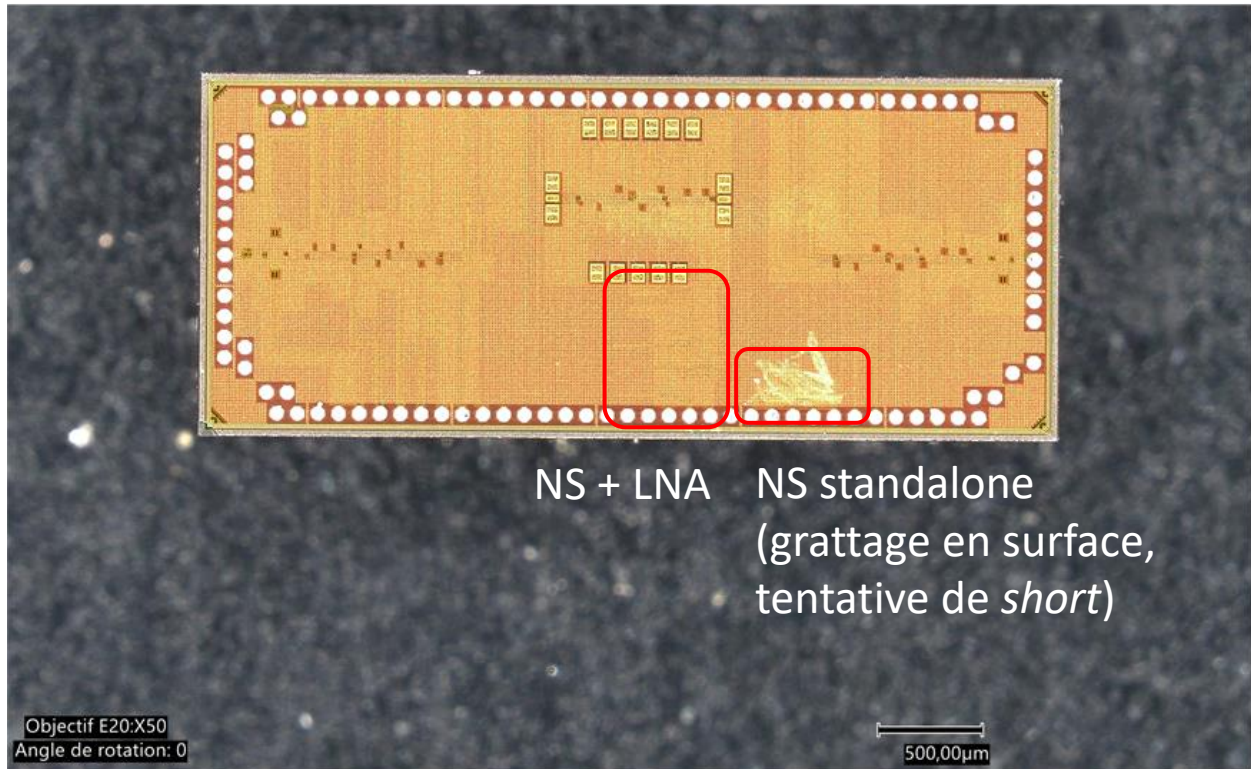
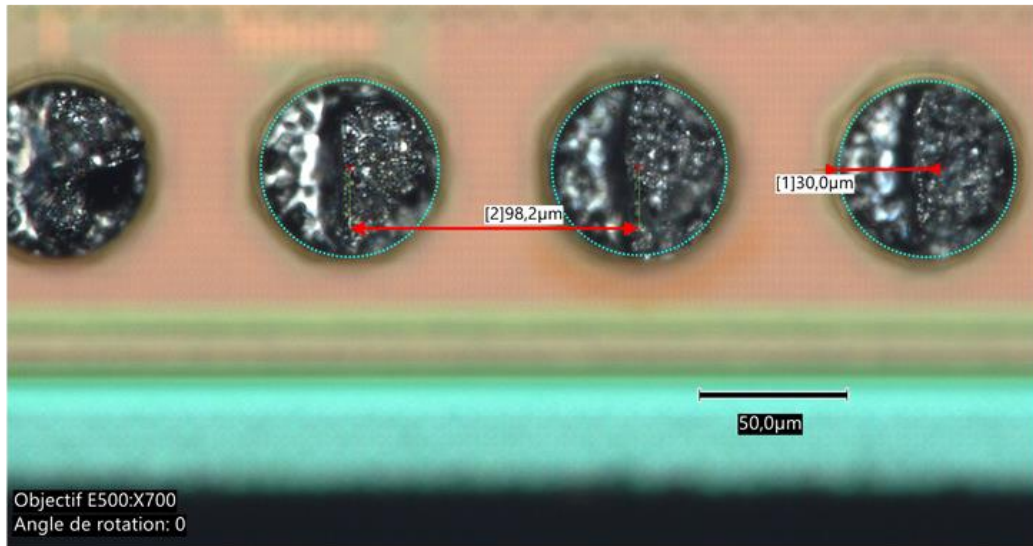


Figure 138 : Contrôle du dimensionnel des bumps et vue d'une puce B55 du MPW Buka découpée et bumpée.

Les deux semaines de test qui se sont déroulées à l'IEMN ont permis de caractériser une bonne partie des pièces du plan d'expérience. Un inventaire est proposé sur la Figure 139 ci-dessous :

A : assemblée (avec soudure)

[S] : mesurée en Sparams

N1 : mesurée en bruit 140-170 GHz

N2 : mesurée en bruit 170-220 GHz

dut uncal1 : mesure Pnoise uncal avec dut MPA04-1 140-170 GHz

dut uncal2 : mesure Pnoise uncal avec dut MPA04-1 170-220 GHz

Bip : mesure Pnoise uncal avec BIP on-wafer 140-170 GHz

Graphène : essais avec et sans papier graphène

Stat x20 : Statistiques sur 20 mesures

■ Pièce ok après test

■ Pièce HS en cours/avant test

■ Pièce non testée

Épaisseur de diélectrique sous la probe (µm)	Longueur de diélectrique dans guide WR5(µm)	Substrat unitaire ID Batch 1	Substrat unitaire ID Batch 2	Substrat unitaire ID Batch 3
24	873	AA-T24-P873-U1	AA-T24-P873-U2 Tµ A	AA-T24-P873-U3 Tµ A
24	960	AA-T24-P960-U1	AA-T24-P960-U2 [S] N1 retrait diel 2, 3 et 4 A	AA-T24-P960-U3
24	1020	AA-T24-P1020-U1	AA-T24-P1020-U2 Graphène A	AA-T24-P1020-U3 Tp [S] N1 dut uncal1 A
48	873	AA-T48-P873-U1 Tµ A	AA-T48-P873-U2	AA-T48-P873-U3 [S] N1 A
48	960	AA-T48-P960-U1 Tp	AA-T48-P960-U2 [S] N1 retrait diel 1 A	AA-T48-P960-U3
48	1020	AA-T48-P1020-U1	AA-T48-P1020-U2 Tp [S]x3 N1x3 2 boitiers A	AA-T48-P1020-U3
24	873	BB-T24-P873-U1 DC 1 étage/2 ok A	BB-T24-P873-U2 DC diode HS A	BB-T24-P873-U3 DC A [S] N1 N2 dut uncal1 dut uncal2
24	960	BB-T24-P960-U1 A [S] N1 dut uncal1 N2 dut uncal2 Bip Stat x20	BB-T24-P960-U2	BB-T24-P960-U3
24	1020	BB-T24-P1020-U1	BB-T24-P1020-U2	BB-T24-P1020-U3
48	873	BB-T48-P873-U1	BB-T48-P873-U2	BB-T48-P873-U3
48	960	BB-T48-P960-U1 DC [S] N1 N2 A assemblages x3	BB-T48-P960-U2	BB-T48-P960-U3
48	1020	BB-T48-P1020-U1 DC A N2 dut uncal2 N1 dut uncal1 [S]	BB-T48-P1020-U2 DC A N2 dut uncal2 N1 dut uncal1 [S]	BB-T48-P1020-U3

Figure 139 : Inventaire des puces mises en boîtier testées. Détail des tests réalisés et fonctionnalités observées.

L'ensemble des tests réalisés sur ces pièces a eu comme objectif :

- De valider une approche de mise en boîtier innovante à bas coûts permettant de multiples assemblages dans un même boîtier
- D'améliorer l'état de l'art des sources de bruit en boîtier opérant en bande G
- De valider l'utilisation de cette source de bruit en caractérisant le NF d'un DST en connectique WR5 (amplificateur de puissance MPA04-1)
- De valider l'utilisation de cette source de bruit en caractérisant le NF d'un DST *on wafer* (transistor NPNVHS en technologie B55)
- De valider les performances de cette source de bruit à travers plusieurs tests de répétabilité

Le détail des résultats et des bancs de test utilisés est donné dans la partie suivante. Les procédures d'extractions de l'ENR disponible et du NF des DST caractérisés sont similaires à celles décrites Chapitre 2.

IV.2 : Description des montages utilisés et résultats expérimentaux en DC et en paramètres S

Une des premières étapes de cette campagne de mesure a été de vérifier la tenue à l'assemblage des circuits. Des tests de résistivité électrique ont été effectués pour vérifier les routages internes aux substrats et la qualité du report de masse entre le *split block* et les masses des substrats. Pour ce faire, des tests sous pointes ont été effectués dont une vue est donnée sur la Figure 140 :

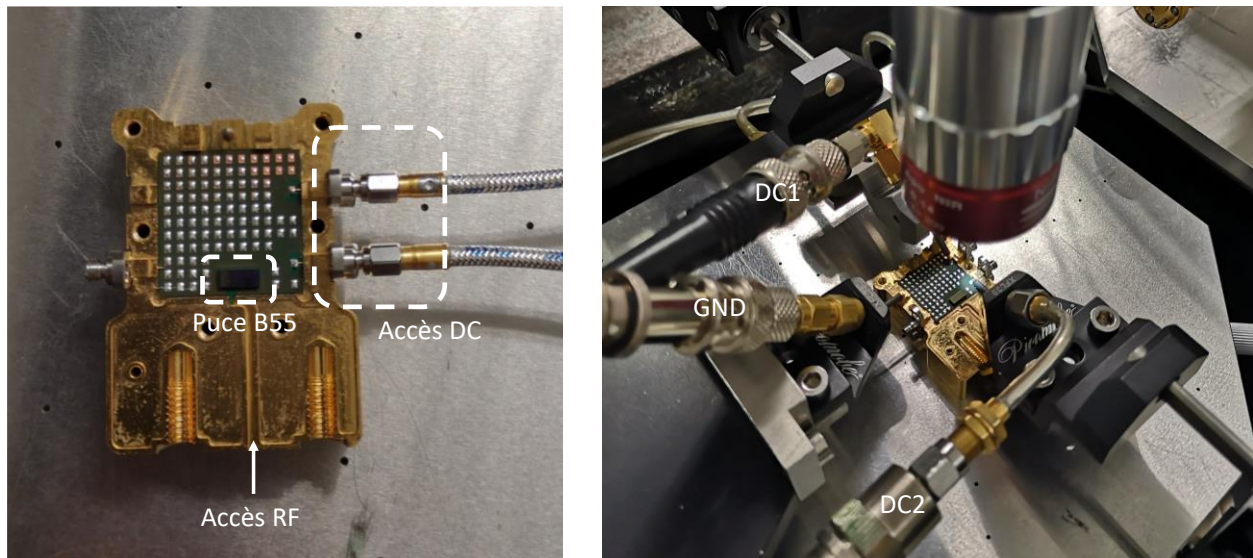
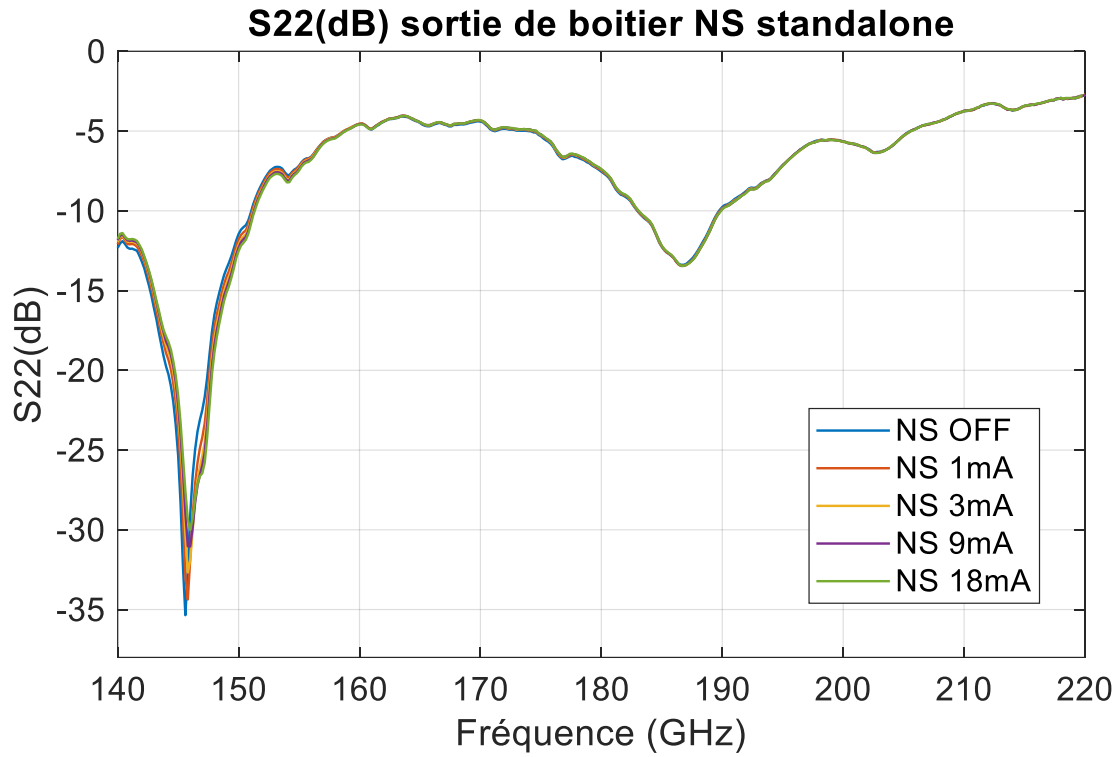
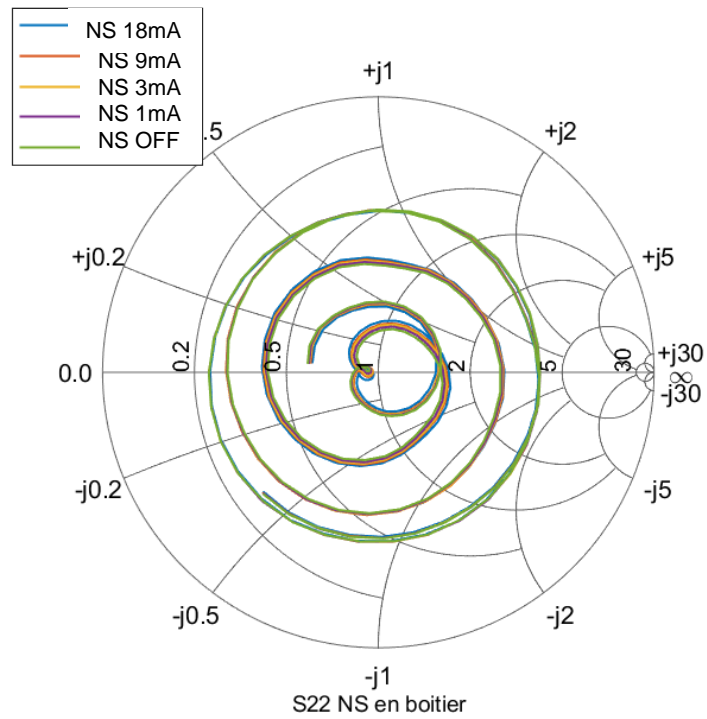


Figure 140 : Tests de vérification DC effectués sous pointes.

Toutes les pièces reçues à l'IEMN se sont avérées être fonctionnelles. Certaines pièces ont été détériorées au cours des tests effectués, en particulier le circuit d'adaptation de la diode de bruit qui repose sur la polarisation de la grille d'un transistor MOS. Néanmoins, cet étage s'avère être sans effet sur l'adaptation d'impédance observée en sortie de boîtier. La caractérisation en paramètres S des sources de bruit seules (AA-TXX-PXXX-UX) et amplifiées (BB-TXX-PXXX-UX) a donné des allures similaires quelle que soit la pièce assemblée : les variations de découpes et d'ablation laser non pas pu être corrélées à un effet visible sur les paramètres S. Les premiers assemblages ont été effectués avec des sources de bruit seules afin d'étudier l'adaptation d'impédance en sortie de boîtier pour différents courants de polarisation de cathode et correspondant au S22 du *split block* sur la sortie WR5. Les résultats sont donnés Figure 141.



(a)



(b)

Figure 141 : Paramètres S mesurés entre (a) 140 et 220 GHz et (b) entre 140 et 170 GHz en abaque de Smith. La source de bruit est en configuration standalone.

Il est à noter que le courant de polarisation de la source de bruit (I_{bias}) a très peu d'influence sur l'adaptation d'impédance en sortie de boîtier. De plus, la tension de polarisation (V_{load}) de la grille du MOS d'adaptation s'est avérée sans influence sur le S22.

Pour la version de source de bruit amplifiée, le S22 suit une allure similaire à celle observée sans l'étage amplificateur. La polarisation du LNA a peu d'impact sur la variation de l'adaptation d'impédance de sortie. L'isolation du LNA peut être une explication aux faibles variations du S22 en fonction de la polarisation choisie. Un meilleur niveau d'adaptation est observé par rapport à la version NS *standalone* et met en évidence une adaptation meilleure que -7,5 dB entre 140 et 170 GHz. Les résultats sont décrits Figure 142.

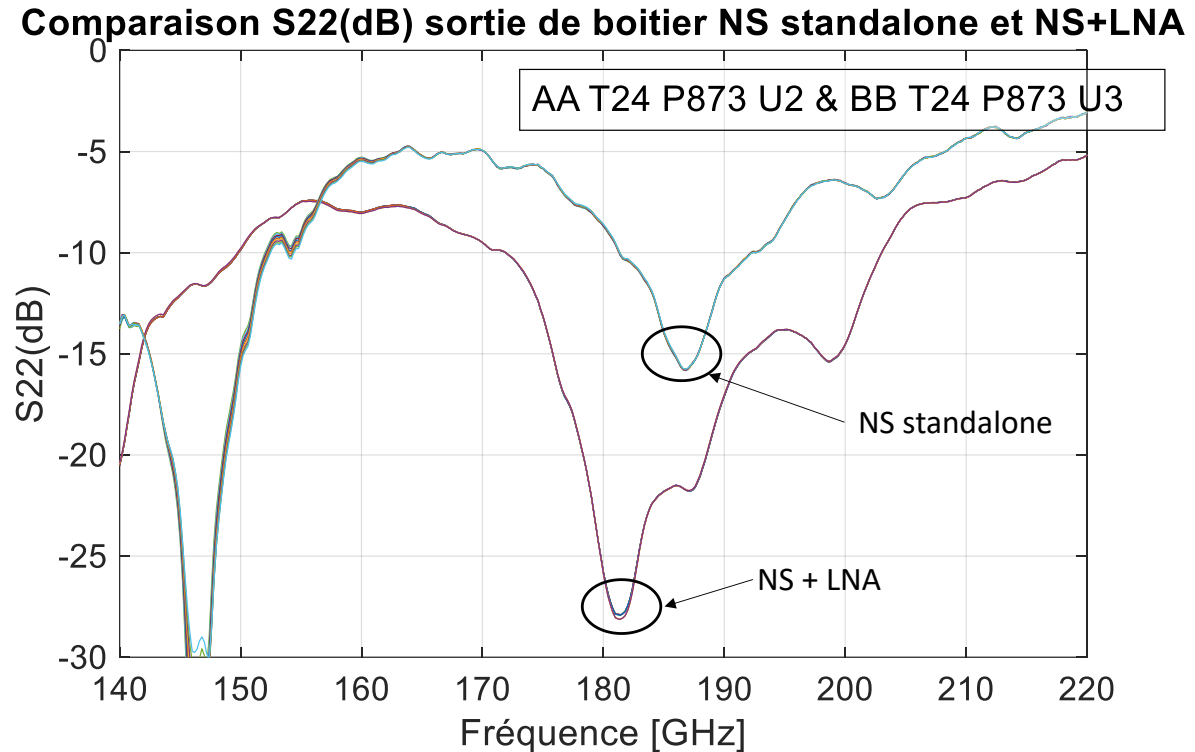


Figure 142 : Comparaison du S22 (dB) en sortie de boîtier de deux sources de bruit. L'une est amplifiée, l'autre est une diode de bruit standalone.

Les pertes du boîtier semblent avoir un effet prépondérant sur le S22 observé en sortie de boîtier. Pour identifier la cause de cet effet, des structures de *short* ont été mesurées. Une structure est le *split block* vide de tout substrat, avec une cloison métallique en argent obstruant la cavité guide. Une autre structure *short* a été réalisée en connectant le plot de signal RF aux plots de masses adjacents à l'aide d'un point de soudure à la surface du substrat organique. Les résultats sont montrés sur la Figure 143 :

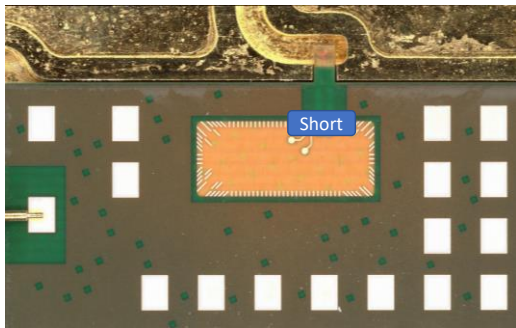
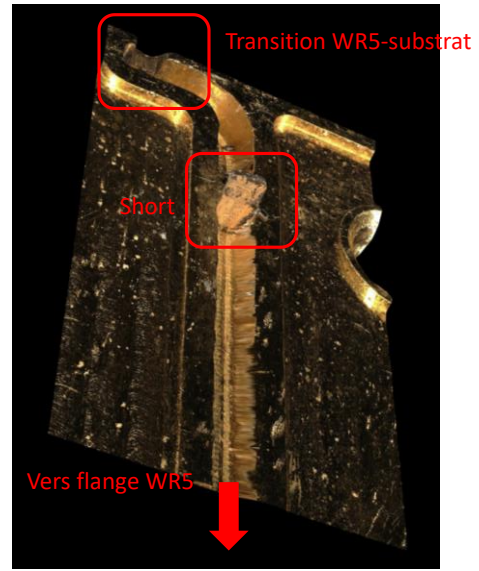
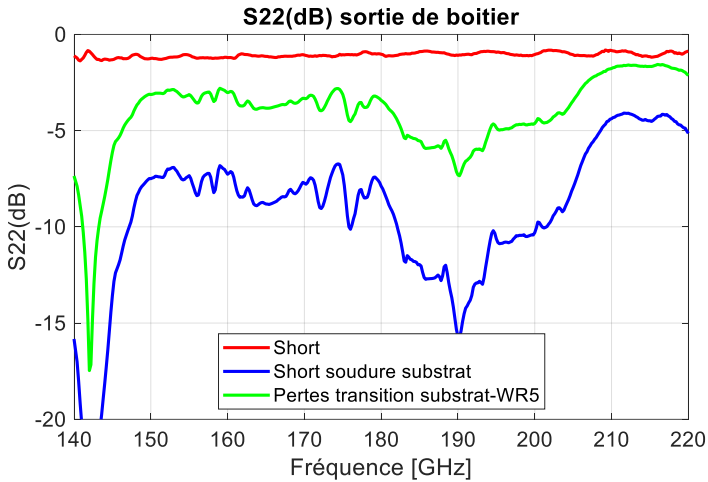


Figure 143 : Mesures des structures *short* réalisées. Déduction du niveau de pertes pour un aller simple dans la transition substrat vers guide d'ondes WR5.

Ces mesures mettent en évidence les pertes liées à la transition du substrat organique vers le guide WR5 qui s'élèvent en moyenne à 4 dB dans la bande 140-220 GHz. Ces pertes ($IL_{dB\ transition}$) s'expriment par l'équation suivante :

$$IL_{dB\ transition} = \frac{|RL_{dBshort} - RL_{dBshort\ soudure\ substrat}|}{2} \quad (dB)$$

Avec $RL_{dBshort}$ et $RL_{dBshort\ soudure\ substrat}$ respectivement les pertes par réflexion de la structure *short* avec cloison en argent et celles de la structure *short* avec soudure au niveau du substrat.

Ce niveau est bien plus élevé que celui obtenu en simulation (de l'ordre de 1,5 dB dans la même bande de fréquence) et peut s'expliquer par une incertitude liée aux propriétés des matériaux diélectriques présents dans cette transition. C'est une raison valable pour expliquer la faible modulation de l'adaptation d'impédance observée en sortie de boîtier en fonction de la polarisation choisie pour les sources de bruit. En effet, les fabricants de substrats fournissent des valeurs de ϵ_r et de $\tan(\delta)$ jusqu'à 60 GHz. Les valeurs choisies pour effectuer les simulations sont extrapolées à partir de celles fournies plus bas en fréquence. Des contrôles du bon positionnement de la probe plan E au sein de la cavité WR5 ont été effectués, pour s'assurer que la mesure se fasse dans des conditions proches de la simulation. Ces vérifications permettent en outre de confirmer la qualité de l'assemblage et de la réalisation des différents objets, puisque les valeurs mesurées au microscope sont très proches de celles optimisées par simulation. Le microscope électronique disponible à l'IEMN permet de faire des analyses de profil avec des profondeurs afin de connaître le positionnement vertical de l'antenne plan E. Cette analyse est illustrée Figure 144.

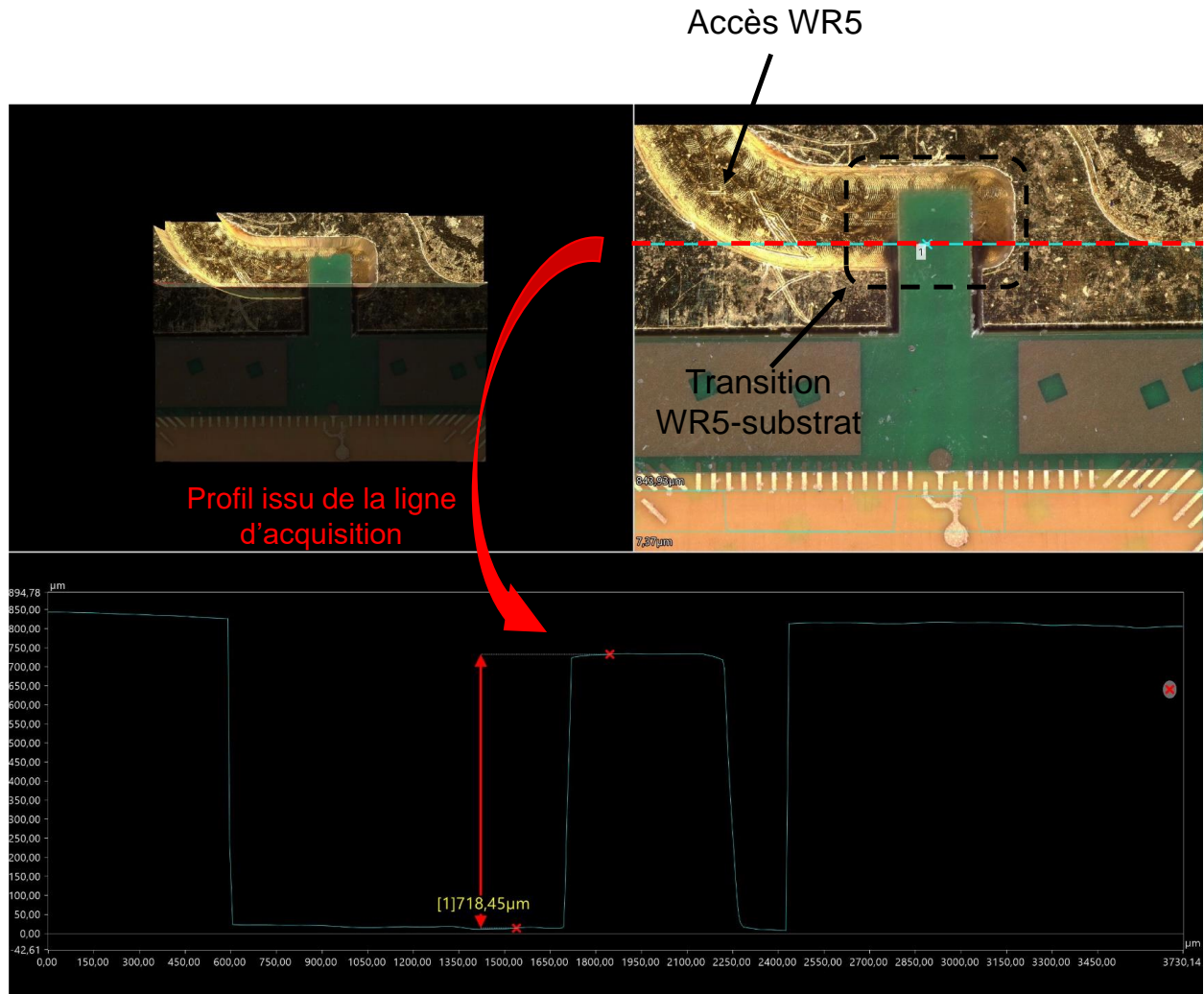


Figure 144 : Profil de la probe plan E obtenu à l'aide du microscope électronique de l'IEMN.

La hauteur de 718,45 μm correspond à la distance entre le fond de la cavité WR5 du demi-*split block* inférieur et le sommet du substrat au niveau de la *probe* plan E. En retranchant les 20 μm du *solder mask*, les 30 μm de prepreg et 4 μm de demi-épaisseur de métal, la *probe* plan E se situe à 664,45 μm du fond du guide d'ondes. Idéalement, le positionnement vertical est 648 μm et correspond à la demi-longueur du guide rectangulaire.

Des essais additionnels de retrait de diélectrique ont été effectués pour tenter de réduire les pertes dans cette transition. Cependant, les résultats de mesures obtenus ne permettent pas d'identifier clairement une corrélation entre un retrait de diélectrique et une amélioration du niveau de pertes dans cette transition. La Figure 145 représente les configurations obtenues après les essais réalisés.

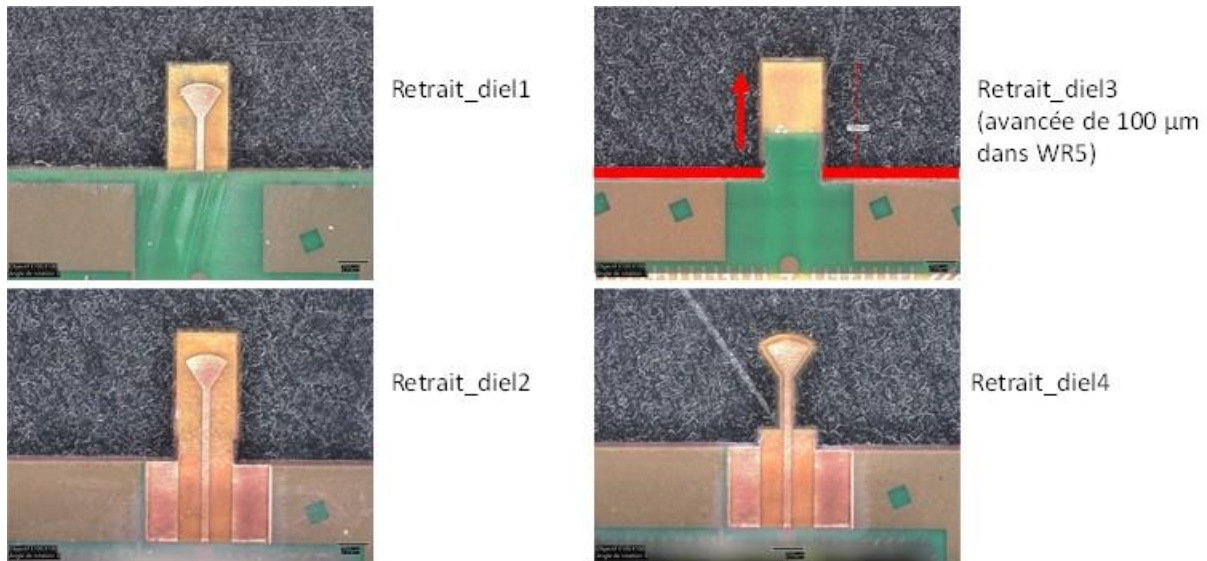


Figure 145 : Retraits progressifs de diélectrique par usinage et ablation au laser femtoseconde de l'IEMN.

Pour mettre en regard ces usinages avec les performances RF obtenues, les mesures en paramètres S correspondantes sont proposées Figure 146 :

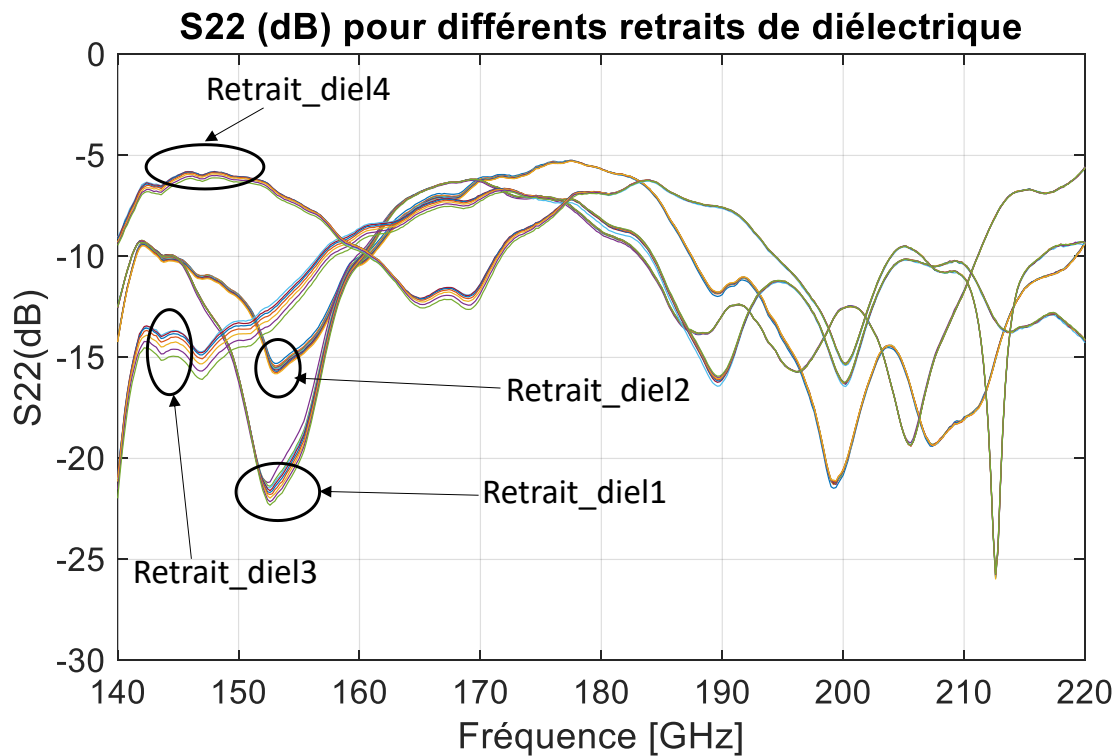


Figure 146 : Paramètres S mesurés après différents retraits de diélectrique.

Ces résultats ont permis une vérification supplémentaire du bon positionnement de la probe au sein de la cavité WR5.

Ces vérifications, effectuées au microscope, sont représentées Figure 147 :

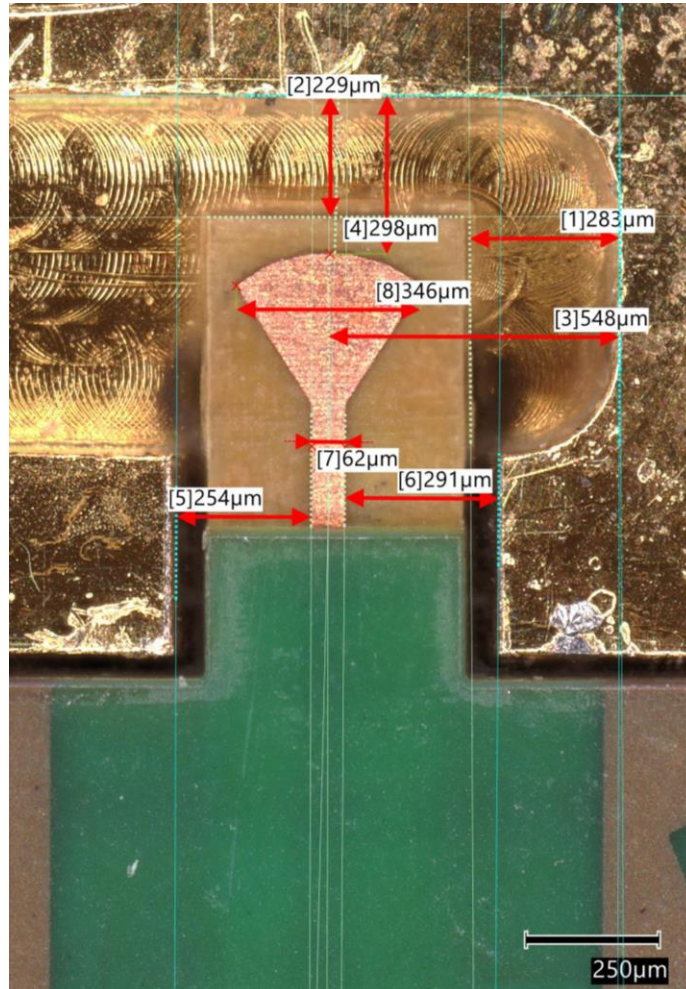


Figure 147 : Vérification du positionnement de la probe plan E lors des assemblages réalisés. Le jeu fonctionnel autorise une variation de 10 μm de gauche à droite et de 100 μm de bas en haut.

Les dimensions mesurées sont proches de celles simulées dans HFSS, la longueur de *backshort* optimale étant de 244 μm contre 283 μm mesurée en pratique. Une perspective à ce travail découlant des vérifications effectuées peut être de repenser la forme de la probe plan E ou d'opter pour des matériaux de type quartz utilisés pour de l'assemblage de circuits III-V à ces fréquences, avec cependant une incapacité à reporter par *flip chip* un grand nombre de puces B55 et un surcoût lié à ce choix de matériau. Des simulations supplémentaires peuvent être effectuées en changeant les valeurs de ϵ_r et de $\tan(\delta)$ des matériaux utilisés en essayant de retrouver un niveau de pertes similaire à celui observé en mesure. Une autre perspective est l'utilisation de la technologie B55X pour tenter d'améliorer la bande-passante et le gain de l'amplificateur en sortie de la source de bruit. Le silicium B55X n'a pu être mesuré au cours de cette thèse.

L'aspect positif des pertes liées à cette mise en boîtier est que l'impédance de sortie est constante quelle que soit la condition de polarisation appliquée à la source de bruit. Cet aspect est important pour des problématiques liées à la précision de mesure de bruit.

Des essais de reproductibilité de mesure ont été effectués en paramètres S. Le même substrat sur lequel est reporté une source de bruit amplifiée a ainsi été assemblé 3 fois (désassemblé 2 fois) et mesuré à chaque montage en paramètres S et en bruit entre 140 et 220 GHz. Le coefficient de réflexion en sortie de boîtier obtenu pour ces 3 montages est représenté sur la Figure 148 :

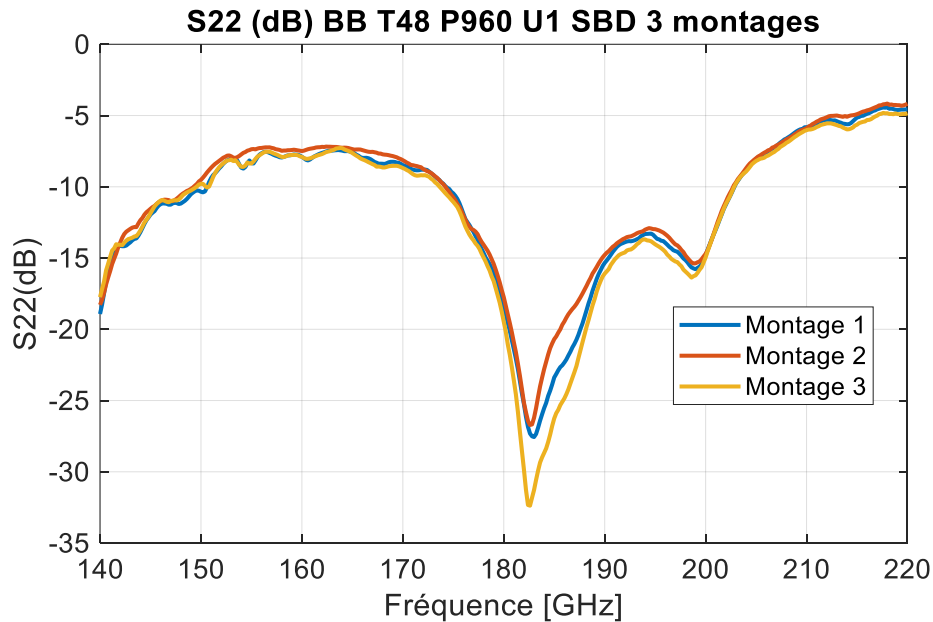


Figure 148 : Test de répétabilité de la mesure en paramètres S sur 3 assemblages successifs d'une source de bruit amplifiée dans un même boîtier.

La reproductibilité observée confirme l'utilisation de la méthode d'assemblage. Pour s'assurer que les mesures observées sont indépendantes du choix du *split block* et confirmer leur qualité de fabrication, des mesures d'une même pièce ont été faites dans chacun des *split blocks*. Les résultats en paramètres S sont représentés Figure 149.

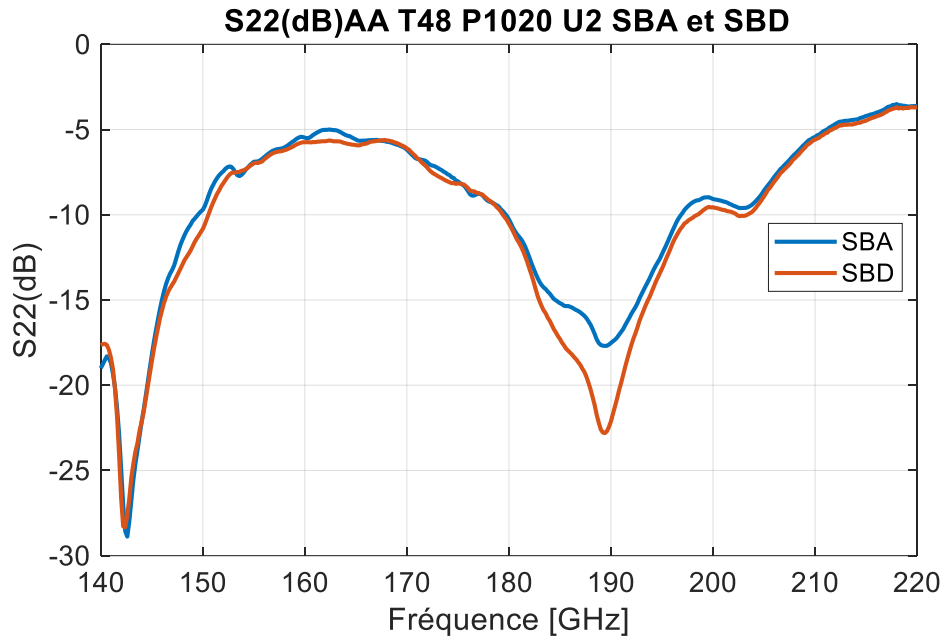


Figure 149 : Test de répétabilité de la mesure en paramètres S sur une même pièce assemblée dans les deux *split blocks* SBA et SBD.

Ces premières mesures ont permis de valider la méthode d'assemblage employée, permettant de multiples mises en boîtier. La qualité de fabrication des *split blocks* est vérifiée et estimée suffisante pour la présente application. La cause des pertes est attribuée à la transition entre le substrat et le guide d'ondes WR5 et à la difficulté de connaître avec exactitude les paramètres clés des matériaux diélectriques.



Figure 150 : Photographie d'une partie du banc de test en paramètres S d'une source de bruit amplifiée en boîtier. Le tronçon WR5 a été pris en compte lors de l'étape de calibration en 1 port.

Une comparaison du $S_{22}(dB)$ de la source de bruit mesurée sur silicium et celui observé en sortie de boîtier est proposée Figure 151. L'impact simulé attendu du boîtier s'avère plus faible que celui observé lors de la mesure. Une méconnaissance des propriétés électriques des matériaux utilisés à ces fréquences est certainement la cause de cet écart. Une autre source potentielle est l'effet parasite des *bumps* qui peut être plus important que celui simulé. Des rétro-simulations pourront être envisagées pour converger vers la

mesure. Il est à noter que l'adaptation d'impédance en sortie de boîtier est meilleure dans la demi-bande supérieure 170-220 GHz comparativement à la bande 140-170 GHz où un maximum de -7,5 dB a été mesuré en sortie de boîtier. La signature fréquentielle des pertes du boîtier prédomine autour de 190 GHz.

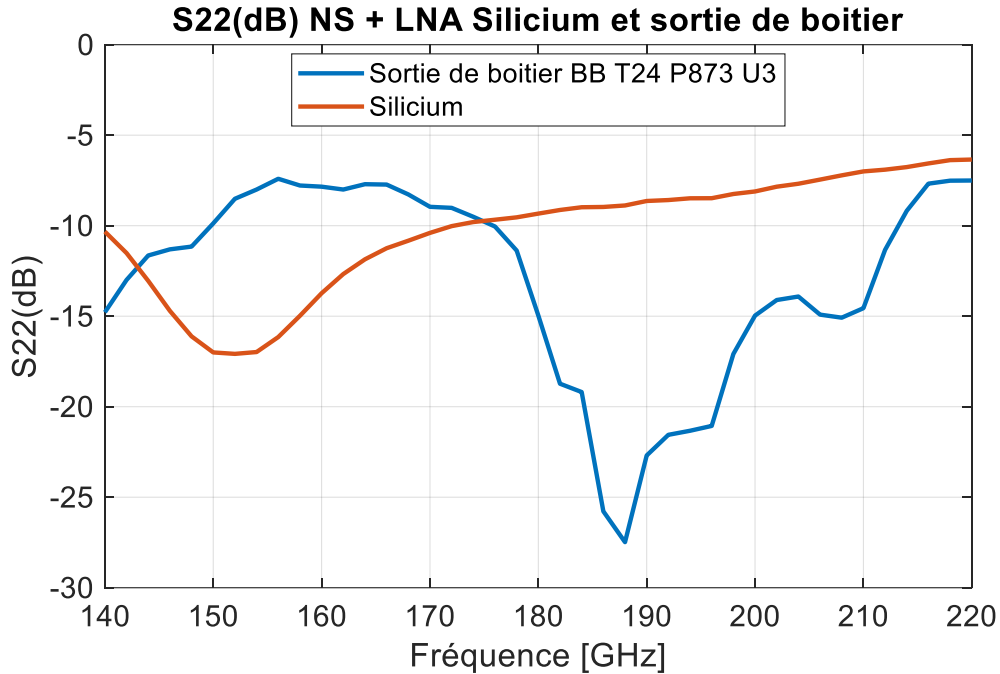


Figure 151 : Comparaison des coefficients de réflexion mesurés sur silicium et en sortie de boîtier de la source de bruit amplifiée.

IV.3 Résultats expérimentaux en puissances de bruit, extraction de l'ENR disponible

La connaissance des paramètres S a permis d'extraire les valeurs d'ENR disponibles en sortie de boîtier. La démarche est similaire à celle présentée au cours du Chapitre 2, avec la prise en compte d'un coefficient de désadaptation M entre le boîtier et le récepteur de bruit. La Figure 152 permet de définir le plan d'extraction des ENR disponibles, notés ENR_{av} . Cette figure représente brièvement les 2 bancs de test en bruit utilisés à l'IEMN.

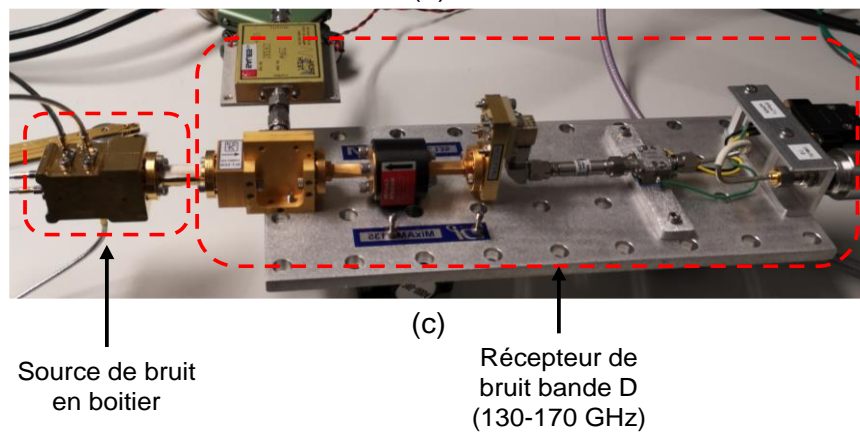
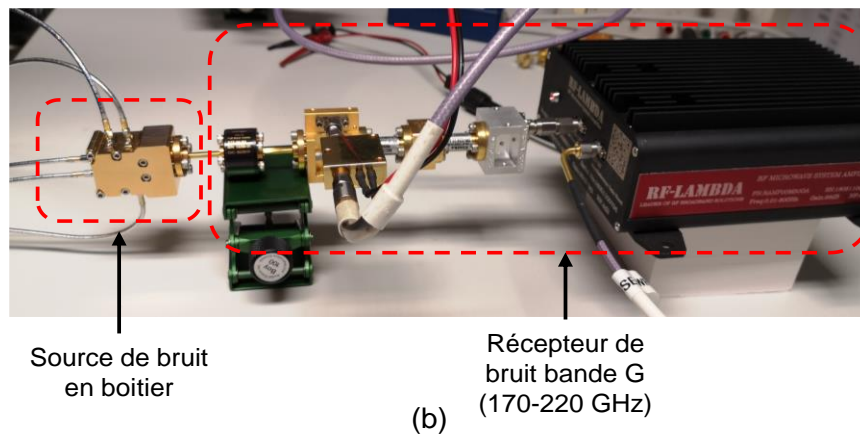
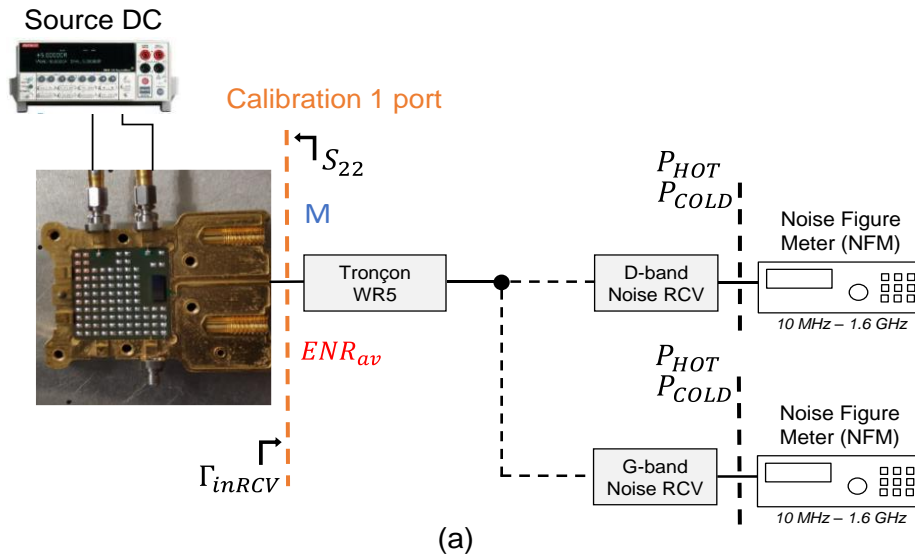


Figure 152 : Extractions d'ENR disponibles de la source de bruit en boîtier. (a) : Schéma des bancs utilisés. (b) : Photographie du banc de mesure de bruit en bande G. (c) : Photographie du banc de mesure de bruit en bande D.

Les valeurs d'ENR disponibles extraites pour la version amplifiée de la source de bruit en boîtier sont représentées Figure 153.

ENR_{av} (dB) BB T48 P960 U1 SBA

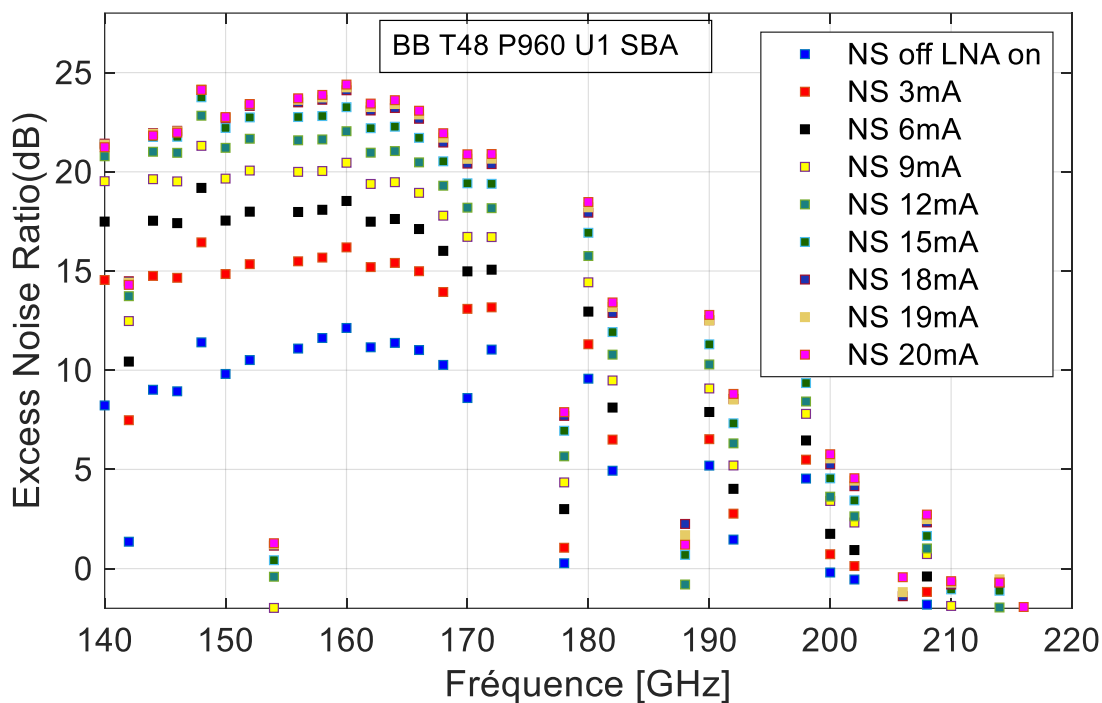


Figure 153 : ENR_{av} (dB) d'une source de bruit amplifiée en boîtier.

Les niveaux obtenus sont de l'ordre de 23 dB entre 140 et 170 GHz et se situent parmi les meilleures valeurs d'ENR présentes dans l'état de l'art des sources de bruit commerciales et sur silicium à ces fréquences. Au-delà de 170 GHz, la bande passante du gain du LNA tend à décroître et rend les niveaux d'ENR plus faibles. Il est cependant remarquable que ces niveaux soient de 10 dB à 190 GHz pour une solution intégrée en boîtier en polarisant la diode avec un courant de cathode de 12 mA. Le tableau suivant fait un rappel de l'état de l'art des sources de bruit commerciales et silicium au-delà de 140 GHz, afin de cibler les solutions potentielles pour de forts volumes.

$ENR_{av}(dB)$	Boitier	Technologie	Pilotable	Variation fréquentielle $ENR_{av}(dB)$	Fréquence (GHz)	$S_{22}(dB)$ constant	Référence
45	Oui	Diode IMPATT	Non	$\pm 15^{39}$	140-220	NA	ELVA ISSN-05 [1]
50	Oui	Diode IMPATT	Non	$\pm 20^{40}$	220-330	NA	ELVA ISSN-03 [1]
10	Oui	NA	Non	± 2	110-170	NA	VDI WR6.5NS [2]
8,5	Oui	NA	Non	± 2	140-220	NA	VDI WR5.1NS [2]
25	Oui	Process NR Noisecom	Non	± 2	18	Non	NC346D Precision [3]
25	Non	SiGe BiCMOS 130nm	Oui	± 7	120-220	Oui < -10	[4]
24	Oui	SiGe BiCMOS 55nm	Oui	± 3	140-170	Oui < -7,5	Ces travaux
37	Non	SiGe BiCMOS 55nm	Oui	± 3	140-170	Oui < -7,5	Ces travaux

Tableau 16 : État de l'art des sources de bruit commerciales et silicium au-delà de 140 GHz.

Les valeurs d'ENR de la source de bruit développée sont plus faibles que celles mentionnées dans les dernières annonces du fournisseur ELVA [1] qui démontrent des valeurs d'ENR de l'ordre de 50 dB entre 140 et 220 GHz mais avec des variations fréquentielles importantes. Une brusque augmentation de l'ENR peut placer le récepteur de bruit en régime de saturation si le DST présente un gain insuffisant. Cela implique d'ajouter un atténuateur à l'entrée du récepteur de bruit et contribue à l'incertitude de la mesure. De plus, cette source de bruit commerciale ne permet pas de générer des niveaux d'ENR commandables avec la polarisation appliquée. La source de bruit développée ici présente cet intérêt de pouvoir s'adapter au DST et au récepteur de bruit utilisé.

Les niveaux d'ENR mesurés en sortie de boitier sont plus faibles que ceux observés sur silicium d'environ 10 dB dans la bande 140-170 GHz. Un tel écart sur l'ENR lié à la mise en boitier mérite d'être investigué afin d'identifier les causes de ces pertes. Une possibilité serait de mesurer sous pointes une puce B55 déjà assemblée, ce qui permettrait de remonter aux impédances présentées par des *bumps* déjà écrasés par report *flip chip*. Pour être exhaustif, une structure de *short* sur silicium devrait être mesurée en paramètres S pour prendre en compte l'ensemble des pertes allant du silicium à la sortie guide d'ondes. Des usinages laser d'une puce assemblée peuvent être envisagés pour émuler un *short* sur silicium.

^{39,2} : il s'agit des variations observées sur l'ensemble de la bande de fréquence où cette source de bruit est commercialisée.

Pour rappel, la comparaison des ENR disponibles en boîtier et sur silicium à polarisation égale (NS 18mA, LNA ON) est représentée Figure 154.

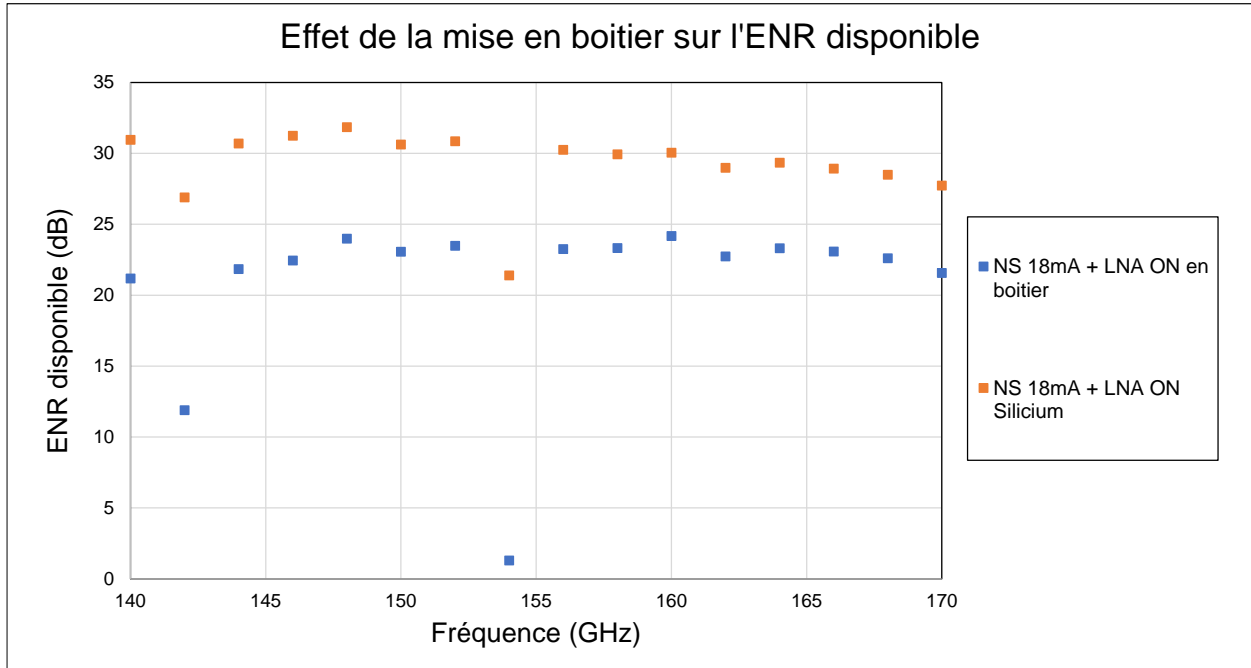


Figure 154 : Effet de la mise en boîtier sur le niveau d'ENR disponible d'une source de bruit amplifiée.

Au-delà de 15 mA, une augmentation du courant de cathode a peu d'effet sur l'augmentation de l'ENR, le gain observé étant de 1.2 dB pour un incrément de 5 mA en courant de polarisation. Ces résultats étant particulièrement intéressants dans la bande 140-170 GHz, une étude de reproductibilité de la mesure a été faite, à travers de 3 montages successifs d'une même puce dans le même *split block*. Les résultats sont représentés Figure 153. La variation maximale observée pour une polarisation de 20 mA est de 0,7 dB.

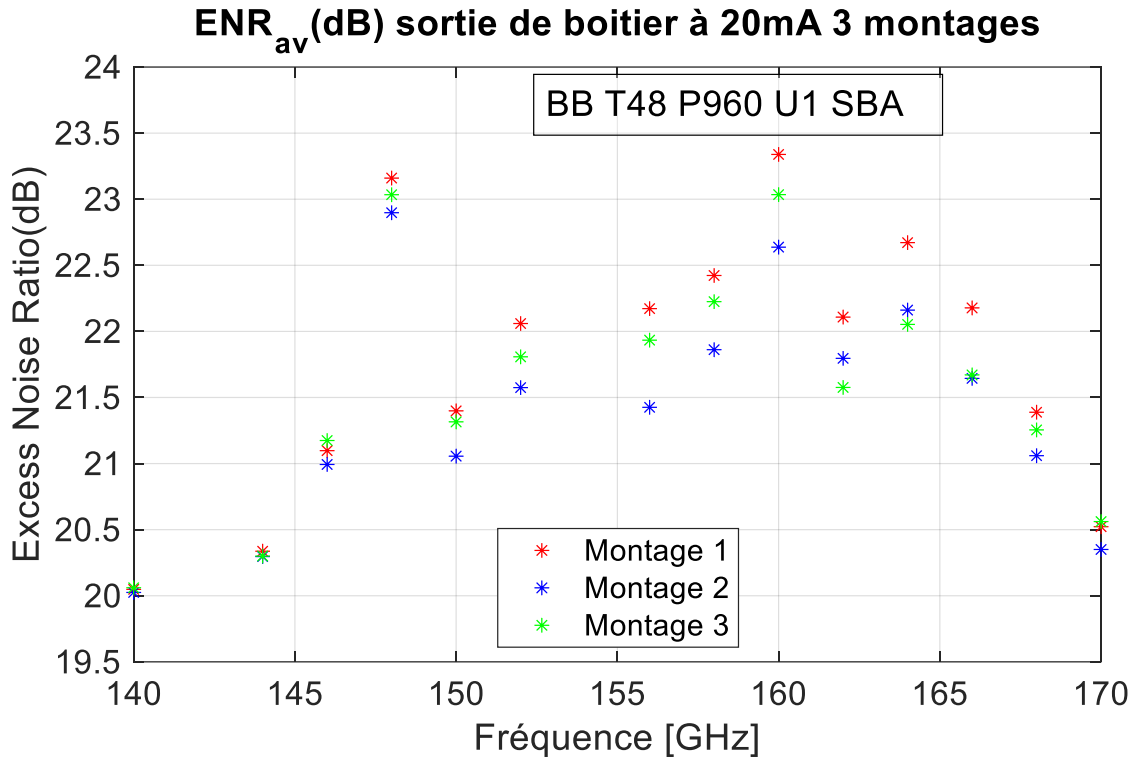


Figure 155 : $ENR_{av}(dB)$ extraits de 3 montages successifs d'une source de bruit amplifiée pour un courant de 20 mA

IV.4 Preuves de répétabilité et de robustesse, études statistiques générées par la mesure

Des mesures permettant d'évaluer la robustesse de cette source de bruit amplifiée en boîtier ont été faites. 40 mesures de puissance de bruit successives d'une même pièce en boîtier ont été réalisées en allumant et éteignant la diode et/ou le LNA, permettant d'extraire 20 valeurs d'ENR à chaque point de fréquence. À chaque activation de la diode, le courant de cathode de la diode passe directement de 0 mA (Etat OFF, pas de polarisation appliquée) à 20 mA. Cette valeur de courant de cathode est proche de la valeur maximale de courant admissible par la jonction PN de la diode, au vu de l'évolution des niveaux d'ENR au-delà d'un courant de polarisation de 15 mA. Le LNA est polarisé par 3 tensions, dont 2 servent à alimenter les bases de transistors (V_{b1}, V_{b2}) en configuration cascade, la troisième polarise les collecteurs de ces étages (V_{cc}). Ces tensions sont également modifiées sans transition, de 0 V à leurs valeurs nominales ($V_{cc} = 3V, V_{b1} = 2V, V_{b2} = 1,1V$) comme explicité Chapitre 2.

Les résultats obtenus entre 140 et 170 GHz sont donnés sur la figure suivante. Une étude statistique a été menée pour le calcul de l'ENR. Quand l'état bas est pris pour la source de bruit et le LNA éteint, la variation maximale observée est de 0,13 dB à 146 GHz (Figure 156). La source de bruit en boîtier est assemblée au début du test et laissée connectée au récepteur de bruit, ces mesures ont été faites pour un seul montage. Une comparaison similaire a été faite pour les ENR calculés à partir d'un état bas mixte, pour lequel la source de bruit est éteinte et le LNA polarisé aux tensions optimales en termes de gain. Dans cette configuration, la dispersion maximale observée est de 0,06 dB à 146 GHz (cf. Figure 157).

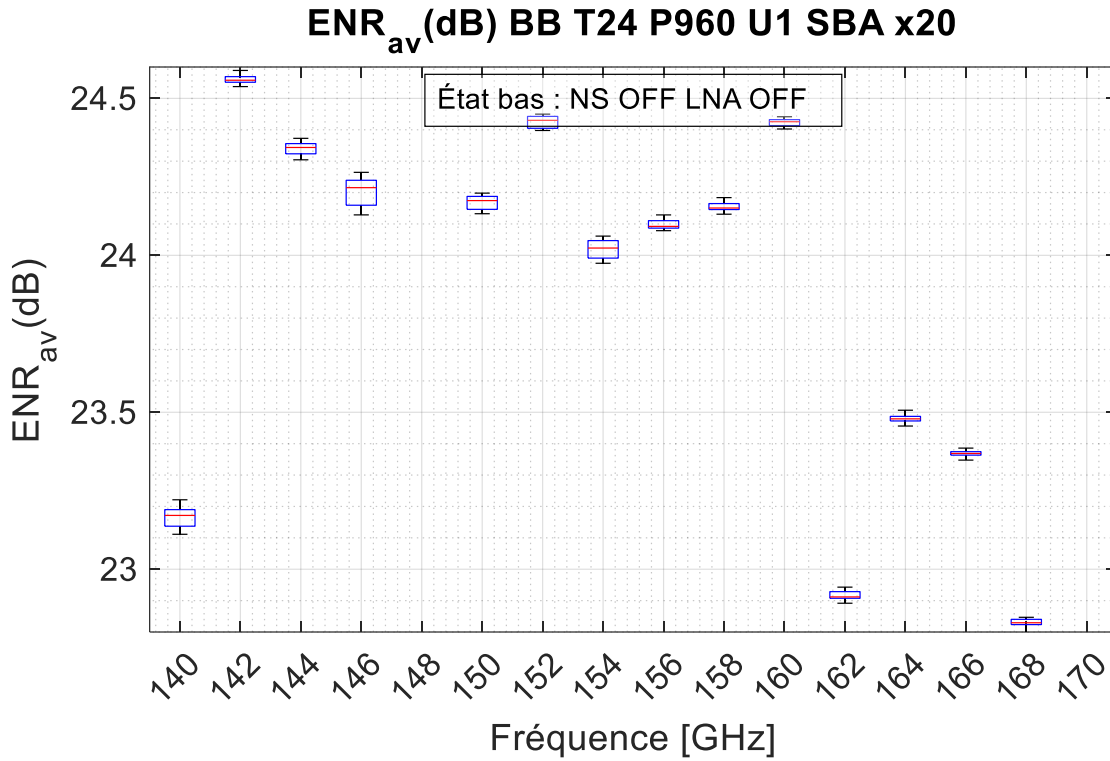


Figure 156 : Représentation statistique de l'extraction d'ENR pour un état bas de source de bruit amplifiée éteinte.

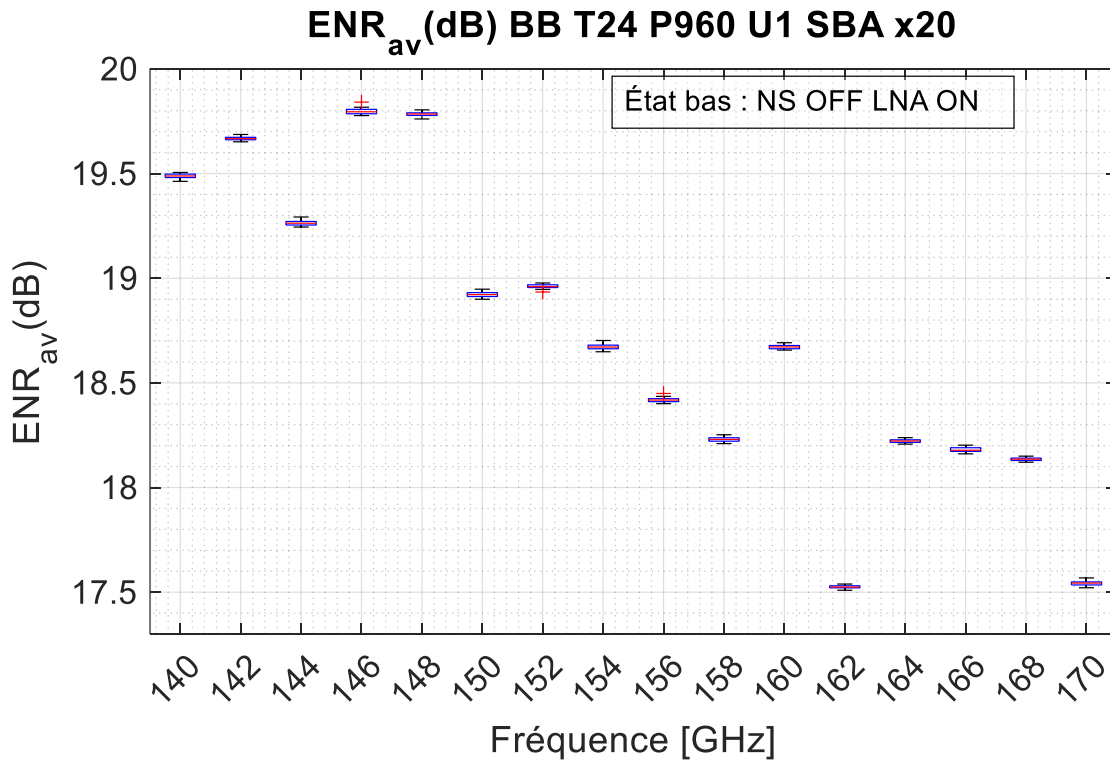


Figure 157 : Représentation statistique de l'extraction d'ENR pour un état bas de source de bruit éteinte LNA polarisé.

Ces résultats démontrent la répétabilité des mesures pour un assemblage figé, avec des variations de polarisations non négligeables entre un état bas et un état haut. Pour pousser l'étude de robustesse de cette source de bruit en boîtier, une possibilité est de laisser la source de bruit amplifiée polarisée à l'état haut (NS à 20 mA, LNA ON) pendant plusieurs heures et de mesurer de manière régulière les puissances de bruit générées. Cela permettrait d'émuler un test de vieillissement accéléré de la jonction PN de la diode de bruit. Des mesures en DC donneraient des valeurs de courant de fuite de la jonction au bout de plusieurs heures d'utilisation à forte polarisation. Cependant, cela nécessite l'immobilisation de plusieurs alimentations DC et du récepteur de bruit en bande D sur un intervalle de temps non négligeable par rapport à la durée de deux semaines dédiée à cette campagne de tests.

Une comparaison de l'ENR disponible extrait avec 4 sources de bruit amplifiées différentes est illustrée Figure 158. Des variations allant jusqu'à 2 dB sont observables à 144 GHz. Ces mesures font intervenir le plus de variabilité puisqu'elles sont la représentation des variabilités de la mise en boîtier, de la technologie B55 et de la découpe laser. Les mesures ont été effectuées dans un créneau d'une demi-journée. Comparativement à la valeur absolue des ENR disponibles générés, la variation est de l'ordre de 8%. L'ENR disponible a été extrait dans chaque cas pour un état haut où la jonction PN est polarisée avec un courant de cathode de 20 mA et le LNA aux tensions optimales pour son gain en puissance ($V_{b1} = 2,2V$; $V_{b2} = 1V$; $V_{CC} = 3V$). L'état bas est pris pour la diode de bruit et le LNA éteints.

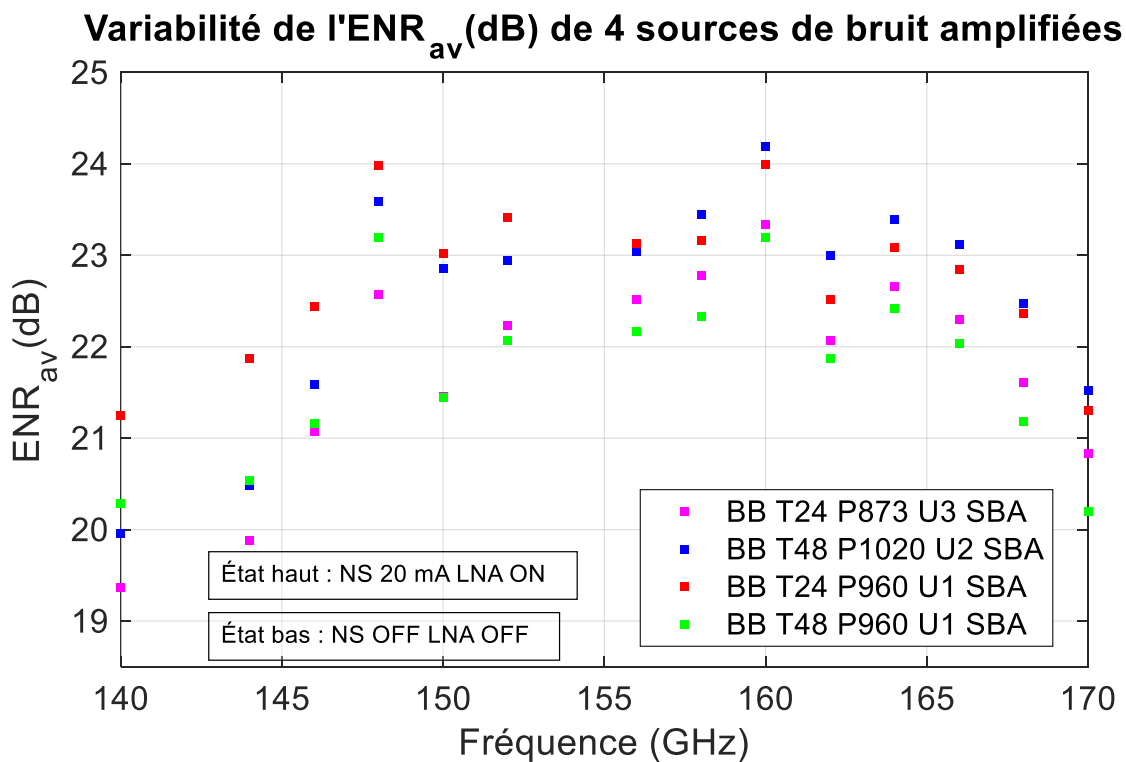


Figure 158 : Comparaison de l'ENR disponible de 4 sources de bruit amplifiées assemblées dans le même *split block* (SBA). L'état haut est pris pour NS 20 mA LNA ON, l'état bas correspond à NS OFF LNA OFF.

IV.5 Essais d'assemblages avec variations de report de masse

Le mode d'assemblage utilisant du papier graphène a été soumis à plusieurs tests visant à démontrer la nécessité de son utilisation lors de la mise en boîtier des substrats. Les configurations de tests sont listées ci-dessous et ont mené chacune à une extraction de l'ENR disponible en sortie de boîtier, pour une unique configuration de source de bruit non-amplifiée (AA T48 P1020 U2) dans un seul boîtier.

- Papier graphène présent au-dessus et en-dessous du substrat (3 montages réalisés dans cette configuration)
- Aucun papier graphène, plots de soudure du substrat en contact avec le *split block* (2 montages réalisés dans cette configuration)
- Papier isolant en dessous du substrat, rien au-dessus du substrat
- Papier isolant au-dessus et en dessous du substrat

Le papier isolant utilisé est une feuille de papier à écrire classique ayant une épaisseur de 100 μm , contre 120 μm pour les feuilles de papier graphène qui elles sont conductrices, de manière anisotrope. Elles favorisent une conduction latérale du courant. L'écart d'épaisseur est supposé négligeable et peu impactant sur les pertes de la transition entre le substrat organique et le guide d'ondes WR5. Les résultats obtenus en paramètres S en sortie de boîtier sont représentés Figure 159.

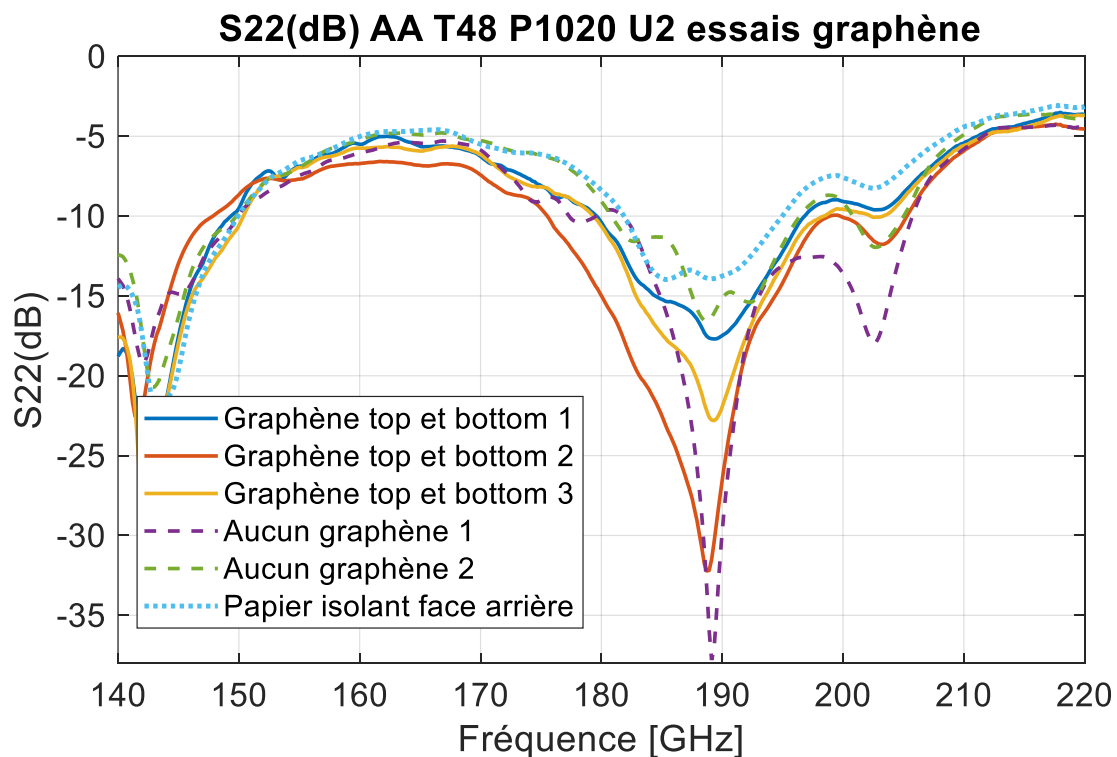


Figure 159 : S22 (dB) mesuré pour plusieurs variantes d'assemblages avec et sans papier graphène.

Ces résultats en paramètres S ne permettent pas de conclure sur un réel impact de la présence ou non de graphène au cours de l'assemblage réalisé.

En revanche, des variations sur les niveaux d'ENR disponibles mesurés dans chacune de ces configurations permettent d'identifier une influence du papier graphène sur la qualité de l'assemblage. La configuration d'assemblage où du papier isolant est placé en face arrière du substrat se détache du reste des configurations et montre des niveaux d'ENR plus faibles d'au moins 2 dB dans l'ensemble de la bande 140-170 GHz comme illustré Figure 160. Il semblerait que le report de masse en face arrière du substrat soit plus important que celui de la face supérieure. Il est fort probable qu'un contact de masse homogène établi sur l'une des deux faces du substrat soit suffisant pour un fonctionnement aux hyperfréquences. Si la nécessité du papier graphène n'est pas clairement démontrée ici d'un point de vue de l'ENR, il reste que sa déformation partielle favorise le verrouillage de la pièce de substrat dans le boîtier au cours du serrage. Sans papier graphène, la mesure montre une variation d'au moins 1,2 dB contre 0,7 dB au maximum en présence de graphène (cf. Figure 155).

Le papier graphène apporte une garantie de contact électrique, sans pour autant se démarquer réellement d'un assemblage de substrat dans lequel aucun matériau n'est ajouté entre les plots de soudure et le *split block*. Néanmoins, l'indice de confiance vis-à-vis des résultats de mesures semble plus élevé pour des assemblages faits avec du graphène puisque la variabilité observée sur l'ENR est presque deux fois plus faible entre plusieurs assemblages d'une même pièce en présence de graphène.

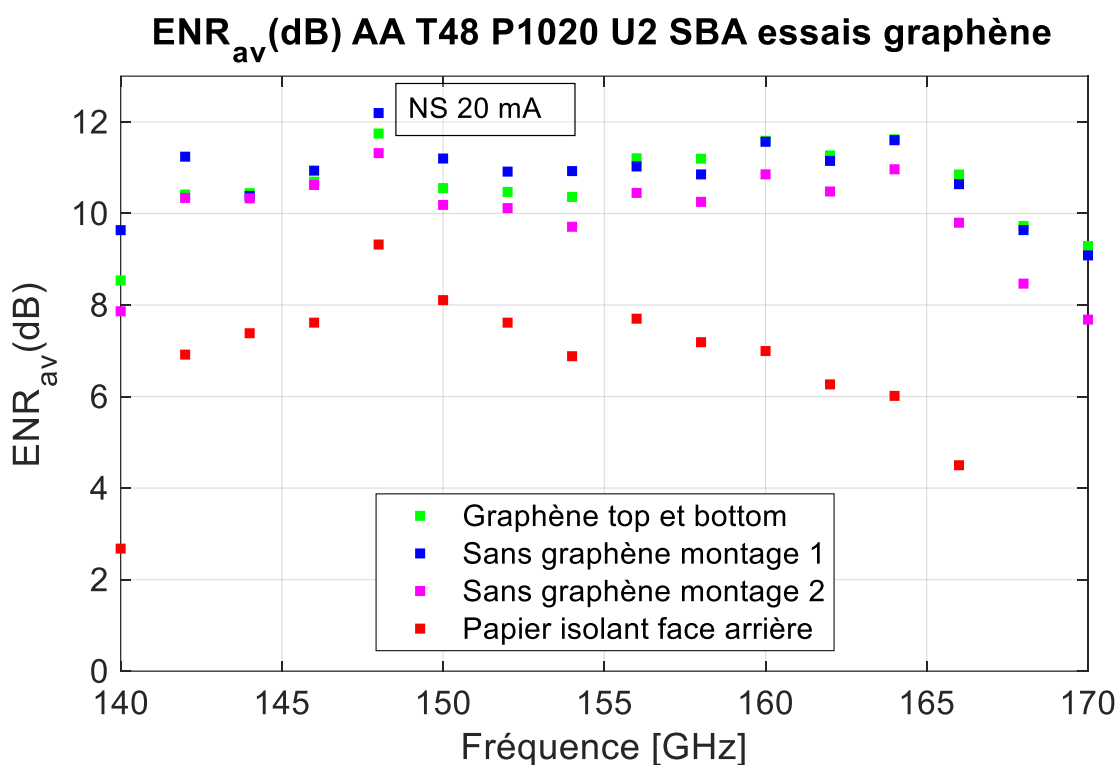


Figure 160 : ENR disponibles extraits pour plusieurs variantes d'assemblages avec et sans papier graphène.

La validation de la méthode d'assemblage, au travers plusieurs mesures en paramètres S et en puissances de bruit, a permis de mettre en évidence des niveaux d'ENR disponibles en sortie de boîtier suffisamment élevés pour pouvoir caractériser un large panel de DST en bande G au vu des facteurs de bruit des récepteurs disponibles à ces fréquences (de l'ordre de 10 dB) et de la condition du MDS (cf. Chapitre 2).

IV. 6 Extraction de facteurs de bruit de DST à l'aide de la source de bruit développée, comparaison avec la source ELVA

IV.6.1 Extraction du NF d'un amplificateur III-V en connectique WR5 (MPA04-1)

Afin de valider l'utilisation de cette source de bruit en boîtier, des extractions de F_{DST} ont été faites et comparées à celles obtenues avec la source de bruit ELVA commerciale.

La fonctionnalité des sources de bruit mises en boîtier ayant été prouvée sur plusieurs pièces, une comparaison avec les solutions commerciales existantes a été effectuée par l'extraction du facteur de bruit d'un transistor *on wafer* NPNVHS (très haute vitesse, pour Very High Speed) en technologie BiCMOS 55 nm et d'un amplificateur en technologie III-V (MPA04-1) en connectique WR5.

Le temps imparti au cours de la campagne de test n'ayant pas permis de calibrer les récepteurs de bruit à l'aide de la nouvelle source de bruit en boîtier proposée, les extractions de facteur de bruit ont été faites à partir de puissance de bruit non calibrées et mises en comparaison avec les valeurs de F_{DST} calibrées obtenues avec la source ELVA. Une photographie du banc de mesure est donnée Figure 165. Deux méthodes d'extraction ont été comparées. L'une d'elle utilise la puissance de bruit disponible en sortie du DST P_{DST} , il s'agit de la méthode employée au Chapitre 2 pour le calcul du facteur de bruit des transistors bipolaires avec réseaux d'adaptation. Son principal avantage est la prise en compte des désadaptations d'impédances au sein du banc de test. L'autre méthode consiste à extraire F_{DST} à partir de l'expression du facteur de bruit F_{tot} correspondant à l'ensemble {DST+Récepteur de bruit} en appliquant la formule de Friis.

Un premier DST a été mesuré avec cette source de bruit en boîtier, et la mesure a été mise en comparaison avec la source de bruit ELVA. Il s'agit d'un amplificateur de puissance en connectique WR5 MPA04-1 en technologie III-V [2]. Les bancs de tests utilisés pour ces extractions sont représentés Figure 165. Avant d'intégrer le DST au banc, une première étape a consisté à connecter directement la source de bruit en boîtier aux récepteurs de bruit afin de calculer un gain de récepteur G_{RCV} intervenant dans l'expression de la puissance de bruit disponible en sortie du DST P_{DST} :

$$P_{DST} = \frac{P_{COLD2}}{G_{RCV}} - kT_{RCV}\Delta_f$$

Avec P_{COLD1} la puissance de bruit mesurée lors de l'étape de calibration du récepteur de bruit, le gain du récepteur de bruit G_{RCV} est calculé à partir des mesures de puissances de bruit faites avec (P_{HOT2} et P_{COLD2}) et sans DST (P_{HOT1} et P_{COLD1}) pour deux états de polarisation (NS 20mA avec LNA allumé, NS 0mA avec LNA éteint), Δ_f étant la bande-passante du récepteur de bruit prise égale à 1 Hz et k la constante de Boltzmann :

$$G_{RCV} = \frac{P_{HOT1} - P_{COLD1}}{P_{HOT2} - P_{COLD2}} = \frac{P_{HOT1} - P_{COLD1}}{(T_{HOT} - T_{COLD})k\Delta_f}$$

La température équivalente de bruit à l'entrée du récepteur de bruit est calculée à l'aide de la connaissance du facteur Y_1 lors de l'étape où la source de bruit est directement reliée au récepteur de bruit :

$$T_{RCV} = \frac{T_{HOT} - Y_1 T_{COLD}}{Y_1 - 1}$$

Le facteur de bruit du DST est ensuite calculé en appliquant la formule de Friis à l'ensemble {DST + récepteur de bruit} :

$$F_{DST} = \frac{P_{DST}}{G_{av,DST} T_{COLD} k \Delta_f}$$

La mesure en paramètres S du DST a été effectuée par ailleurs et permet de calculer le gain en puissance disponible linéaire du DST $G_{av,DST}$. Ce gain peut également être calculé à partir des puissances de bruit non calibrées mesurées avec et sans DST :

$$G_{av,DST} = \frac{P_{HOT2} - P_{COLD2}}{P_{HOT1} - P_{COLD1}}$$

Une comparaison des $G_{av,DST}$ calculés à partir des puissances de bruit mesurées avec la source de bruit en boîtier et la source ELVA est proposée Figure 161. Le gain obtenu à partir de la mesure en paramètres S est également représenté.

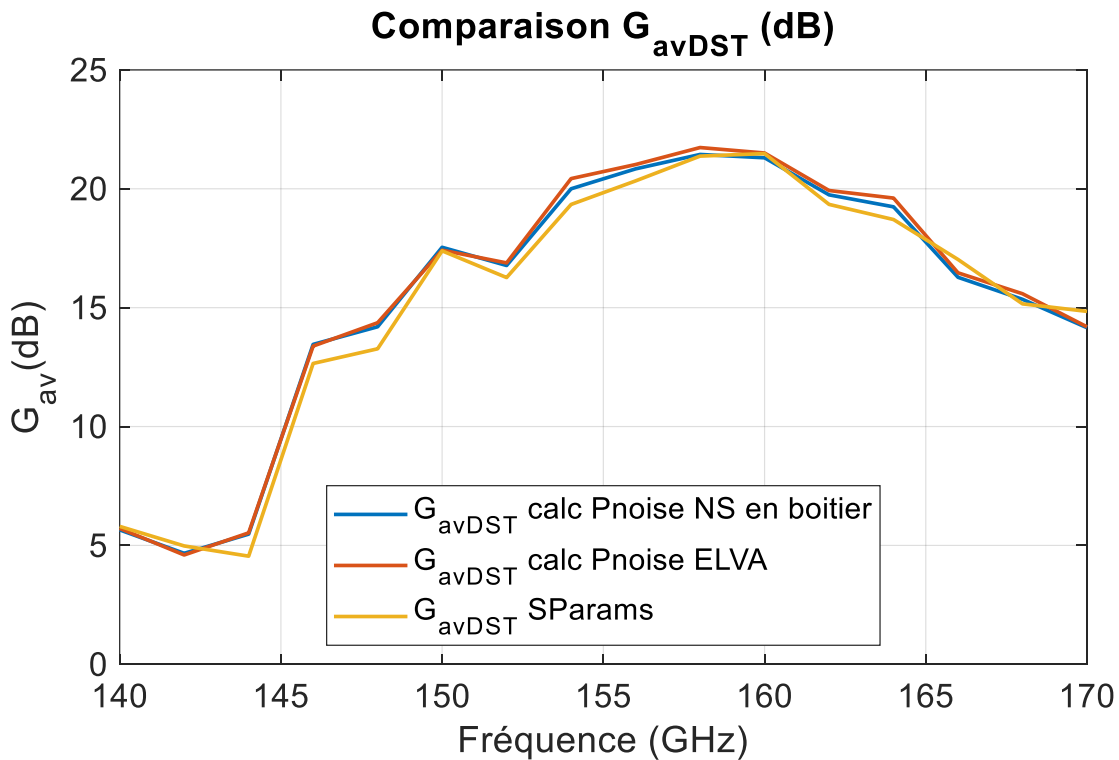


Figure 161 : Gains disponibles du DST, extraits à partir des puissances de bruit et des paramètres S.

Le gain du DST a été calculé à partir de plusieurs mesures en régime petit signal. Les paramètres S de l'ensemble constitué par le tronçon WR5, l'isolateur et le tronçon WR5 ont été mesurés. L'amplificateur MPA04-10 a été mesuré à l'aide d'un atténuateur 10 dB placé à son entrée pour extraire son S_{22} , puis une deuxième mesure avec l'atténuateur à sa sortie a permis d'obtenir son S_{11} . Ces coefficients de réflexion sont représentés sur la Figure 162.

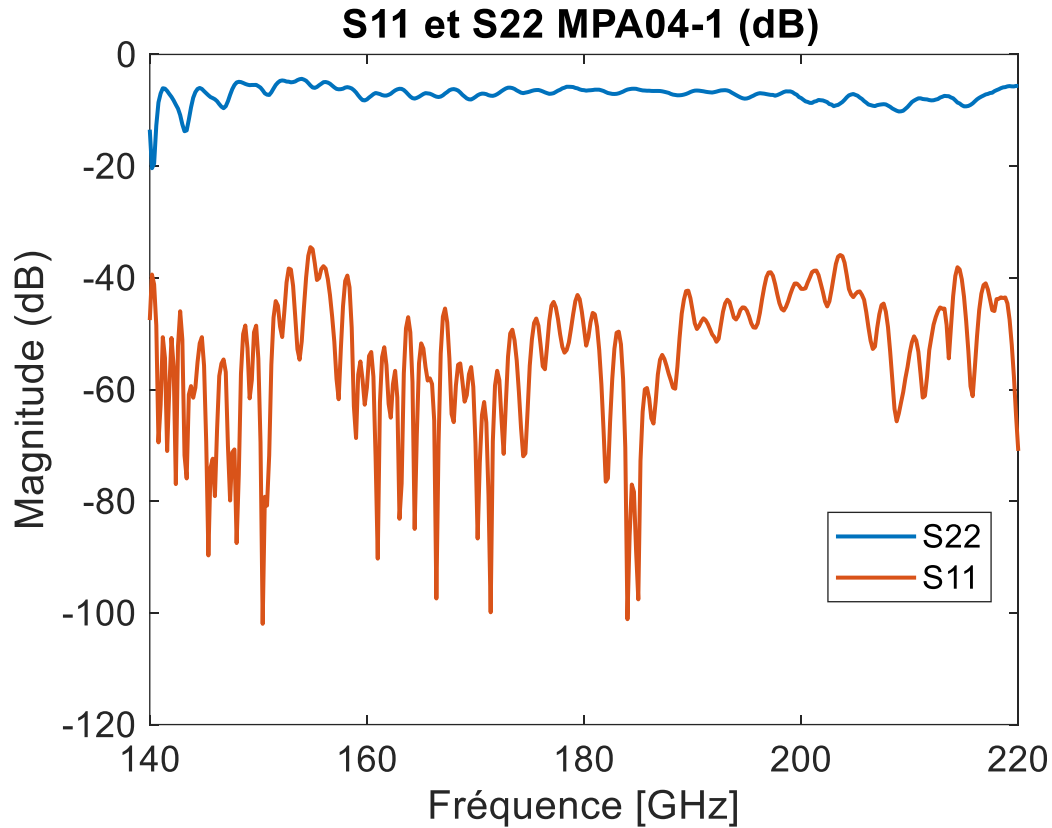


Figure 162 : Coefficients de réflexion en entrée et en sortie de l'amplificateur MPA04-1 dans la bande de fréquence 140-220 GHz.

Cet amplificateur est naturellement désadapté en sortie. Cela est pris en compte lors de l'extraction du gain disponible du DST. Lors de l'étape de mesure de puissance de bruit, le récepteur de bruit utilisé possède un isolateur à son entrée.

D'autre part, l'ensemble {tronçon WR5-isolateur-tronçon WR5} a été mesuré en paramètres S afin de pouvoir calculer les paramètres S du DST global constitué par l'ensemble {tronçon WR5-isolateur-tronçon WR5-MPA04-1-tronçon WR5}. Les paramètres S de l'ensemble {tronçon WR5-isolateur-tronçon WR5} sont représentés sur la Figure 163. Les pertes sont en moyenne de 2,25 dB en bande G.

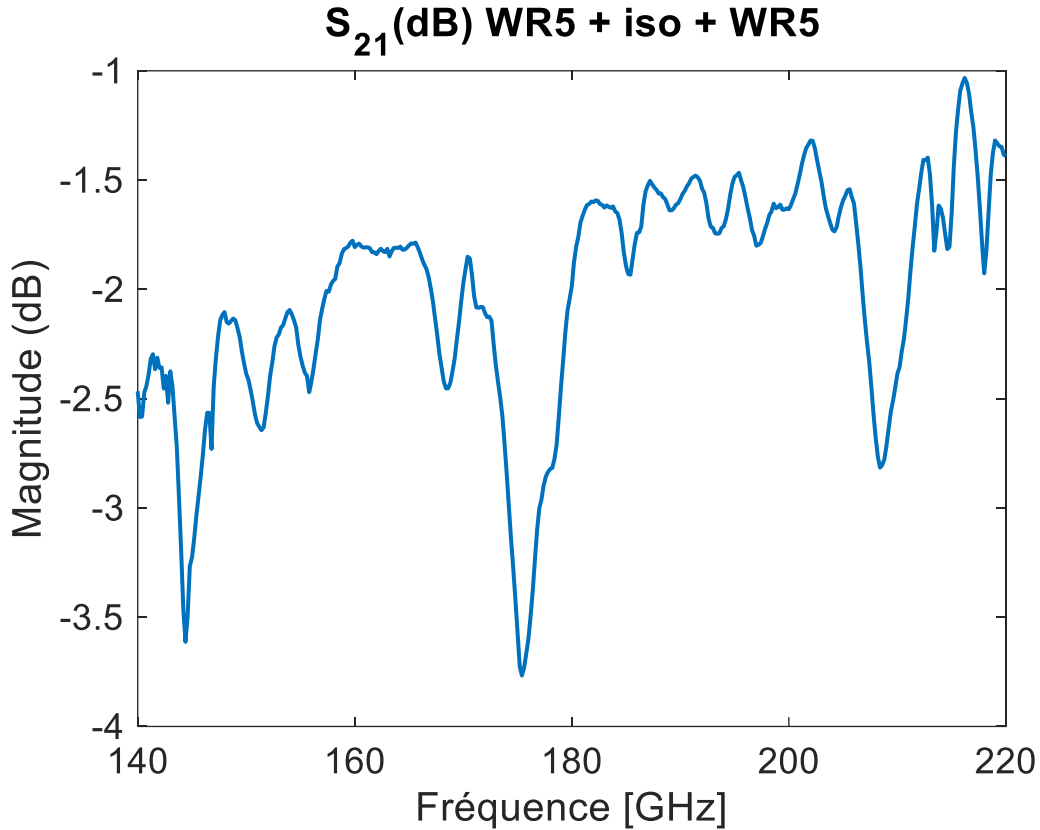


Figure 163 : Paramètre S_{21} de l'ensemble {tronçon WR5-isolateur-tronçon WR5}.

La seconde méthode d'extraction de F_{DST} s'appuie sur le calcul du facteur de bruit F_{tot} correspondant à l'ensemble {DST+Récepteur de bruit}.

$$F_{tot} = 1 + \frac{T_{tot}}{T_{cold}}$$

Avec T_{tot} la température équivalente de bruit à l'entrée de l'ensemble {DST+Récepteur de bruit}, T_{cold} la température de bruit lorsque la source de bruit est à l'état OFF, ici égale à $T_0 = 290K$.

T_{tot} s'exprime à partir des températures équivalentes de bruit correspondantes aux états ON ($T_{hot,av}$) et OFF (T_{cold}) de la source de bruit et à partir du facteur Y_2 calculé en présence du DST :

$$T_{tot} = \frac{T_{hot,av} - Y_2 T_{cold}}{Y_2 - 1}$$

$T_{hot,av}$, la température équivalente de bruit disponible à l'état ON, s'exprime à partir des puissances de bruit effectives $T_{hot,eff}$, et du facteur de désadaptation M entre la source de bruit et le récepteur de bruit. Ce coefficient est très proche de 1 du fait de la présence d'un isolateur en sortie du boîtier de la source de bruit.

$$T_{hot,av} = T_{hot,eff} M$$

La température effective $T_{hot,eff}$ correspond à la configuration où la source de bruit est directement reliée au récepteur de bruit. Cette température de bruit s'exprime donc à l'aide d'un facteur Y_1 qui est le ratio des puissances de bruit non calibrées mesurées sans le DST.

$$T_{hot,eff} = T_{rcv}(Y_1 - 1) + Y_1 \frac{T_{cold}}{M}$$

Avec $T_{rcv} = T_0(F_{rcv} - 1)$ la température équivalente de bruit du récepteur de bruit, qui s'exprime à partir de son facteur de bruit F_{rcv} issu de précédentes mesures.

Finalement, la formule de Friis appliquée à l'ensemble {DST+Récepteur de bruit} permet de calculer F_{DST} , connaissant le gain en puissance disponible du DST G_{avDST} .

$$F_{DST} = F_{tot} - \frac{F_{rcv} - 1}{G_{avDST}}$$

Les schémas associés à ces calculs sont représentés Figure 164.

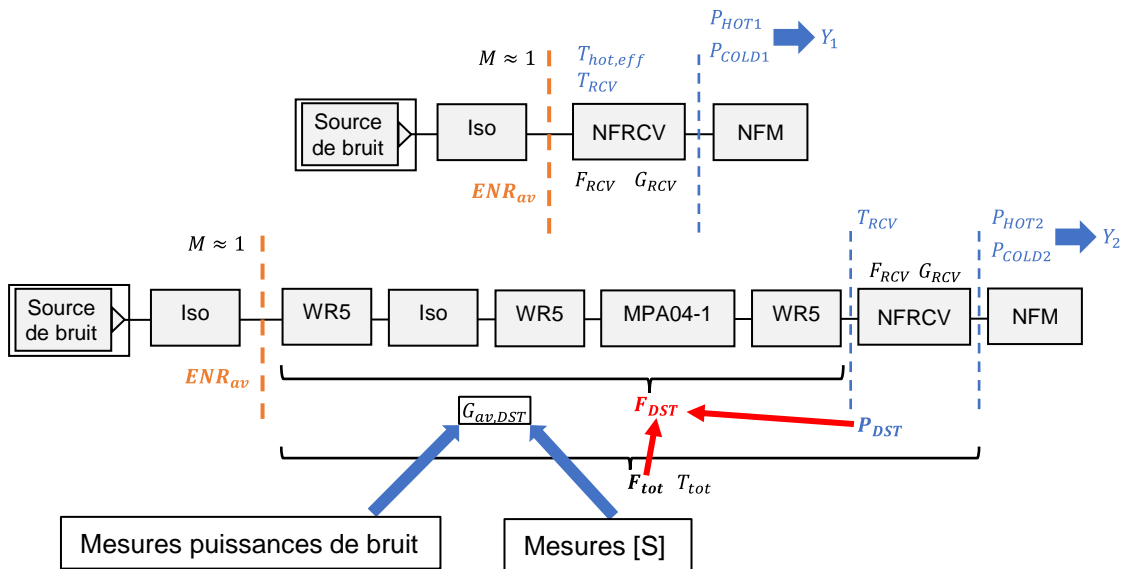
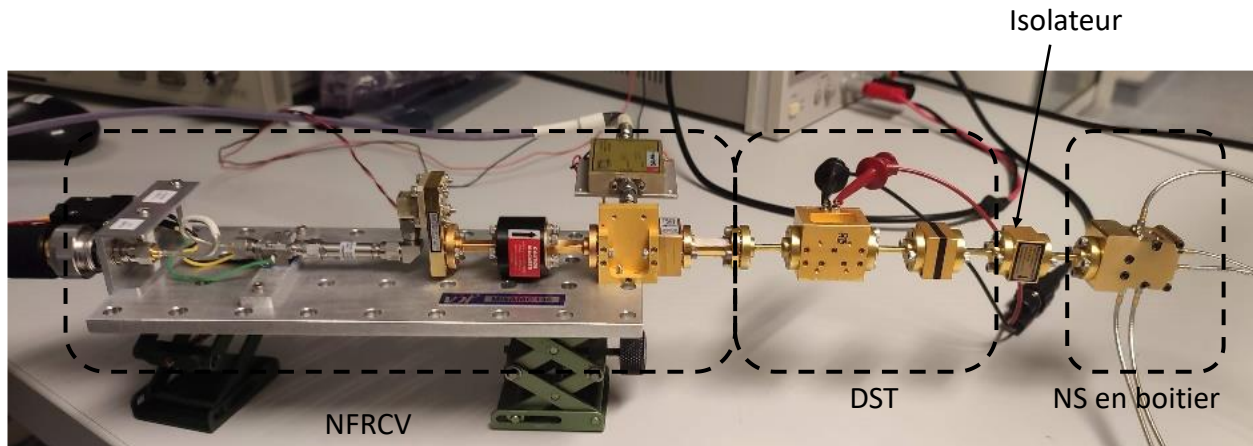
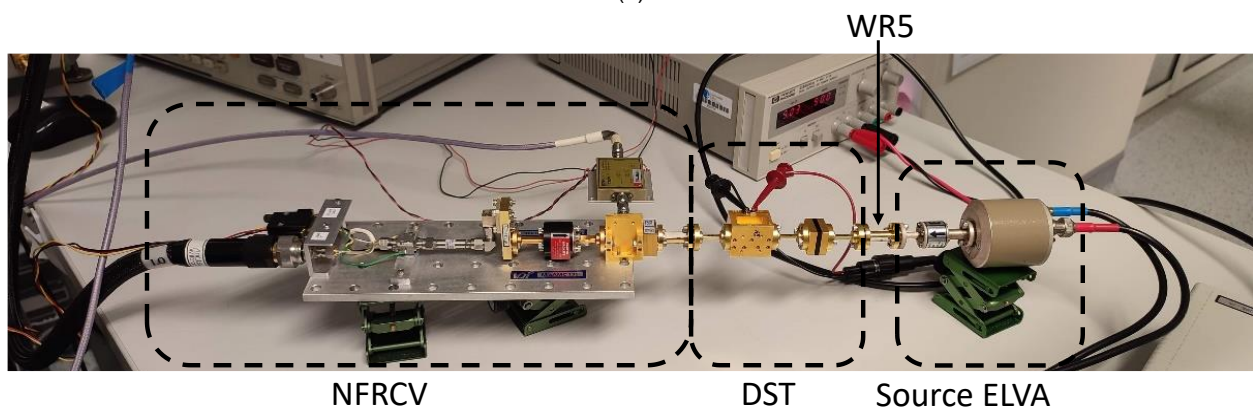


Figure 164 : Schémas des bancs de test avec et sans DST menant à l'extraction de F_{DST} .

Ces 2 méthodes d'extraction ont été appliquées aux puissances de bruit non calibrées mesurées à la fois pour la source de bruit en boîtier et la source de bruit ELVA, afin de valider le procédé d'extraction. En complément, des mesures en puissance de bruit calibrées faites avec la source ELVA permettent d'obtenir un point de référence supplémentaire. Les bancs de test associés à ces extractions sont représentés Figure 165.



(a)



(b)

Figure 165 : Bancs de mesure en bruit pour extraction du NF d'un DST connecté en WR5 (amplificateur de puissance MPA04-1) (a) : en bande D (140-170 GHz) avec la source en boîtier développée, (b) : en bande D avec la source commerciale ELVA. Le DST considéré est l'ensemble {WR5+isolateur+WR5+MPA04-1+WR5}.

Au total, des mesures en puissances de bruit non calibrées entre 140 et 170 GHz ont été effectuées à l'aide de 3 sources de bruit amplifiées et une source de bruit non-amplifiée en boîtier afin de faire une comparaison avec la mesure utilisant une source ELVA et de fournir une preuve de répétabilité de mesure. La source ELVA permet de faire des mesures en puissances de bruit calibrées et une mesure directe du NF_{DST} , ce qui permet d'avoir un élément de référence. Les résultats d'extraction sont représentés Figure 166 et Figure 167. Il s'agit d'extraction faites avec les deux méthodes présentées précédemment. Les résultats sont quasi-identiques du fait de la présence d'un isolateur en sortie de NS en boîtier.

Comparaison F_{dut} (dB) NS en boitier et ELVA

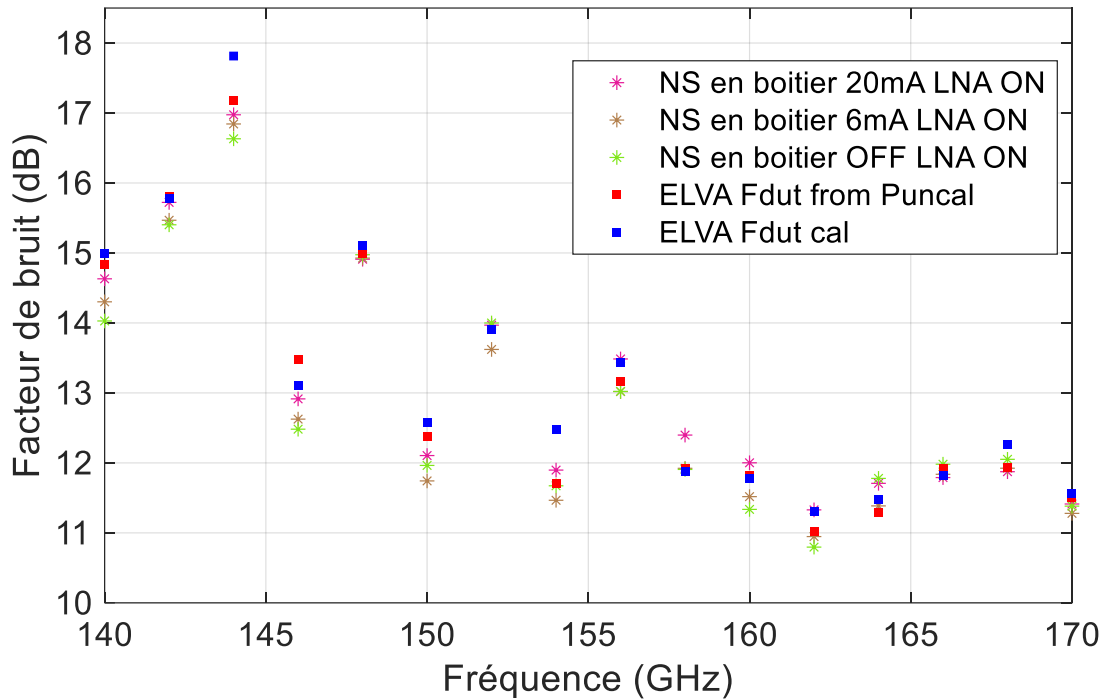


Figure 166 : F_{DST} {WR5+iso+WR5+ampli+WR5} extraits avec la NS en boitier et la source ELVA en puissance non calibrée, comparaison avec la mesure du NF faite avec la source ELVA. La méthode utilisée ici fait intervenir F_{tot} .

Un résultat notable est que la source de bruit en boitier développée permet d'extraire des valeurs de F_{DST} très proches de celles obtenues grâce à la source ELVA. 3 états de polarisation ON ont été utilisés pour étudier l'influence du choix de polarisation de la NS en boitier sur la précision de l'extraction. Utiliser un état ON à forte polarisation permet de minimiser l'incertitude liée à la mesure des puissances de bruit. Ces incertitudes se propagent sur les facteurs $Y_{1,2}$.

Ces résultats permettent également de valider les calculs d'extraction du F_{DST} à partir de puissances de bruit non calibrées. L'écart observé entre le facteur de bruit mesuré avec la source ELVA et les autres points peut s'expliquer par une variation de l'ENR de la source de bruit ELVA, qui au moment de la mesure ne correspond pas strictement aux valeurs renseignées par le fournisseur. Une incertitude liée aux serrages lors des différents montages doit également être prise en compte et peut être évaluée à 0,2 dB à ces fréquences.

Du fait des fréquences de travail et des multiples montages, ces résultats permettent de valider l'utilisation de la source de bruit développée pour la mesure du NF50 de ce DST.

Comparaison F_{dut} (dB) NS en boîtier et ELVA

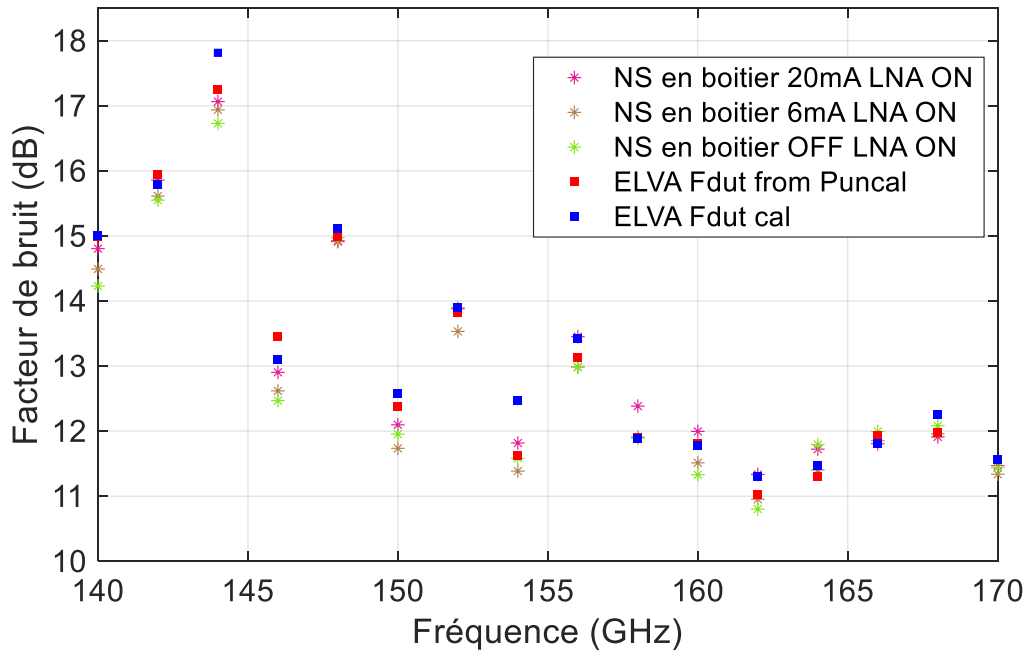


Figure 167 : F_{DST} {WR5+iso+WR5+ampli+WR5} extraits avec la NS en boîtier et la source ELVA, comparaison avec la mesure du NF faite avec la source ELVA. La méthode utilisée ici faite intervenir P_{DST} .

Les deux méthodes ont été comparées afin de valider les étapes de calcul, avec la référence des mesures calibrées grâce à la source ELVA. La figure suivante donne l'écart obtenu sur le F_{DST} à l'aide des 2 méthodes. Le faible écart observé permet de valider les calculs effectués. La vérification a été faite pour la source de bruit développée et la source ELVA.

Ecart 2 méthodes (NS en boîtier et ELVA)

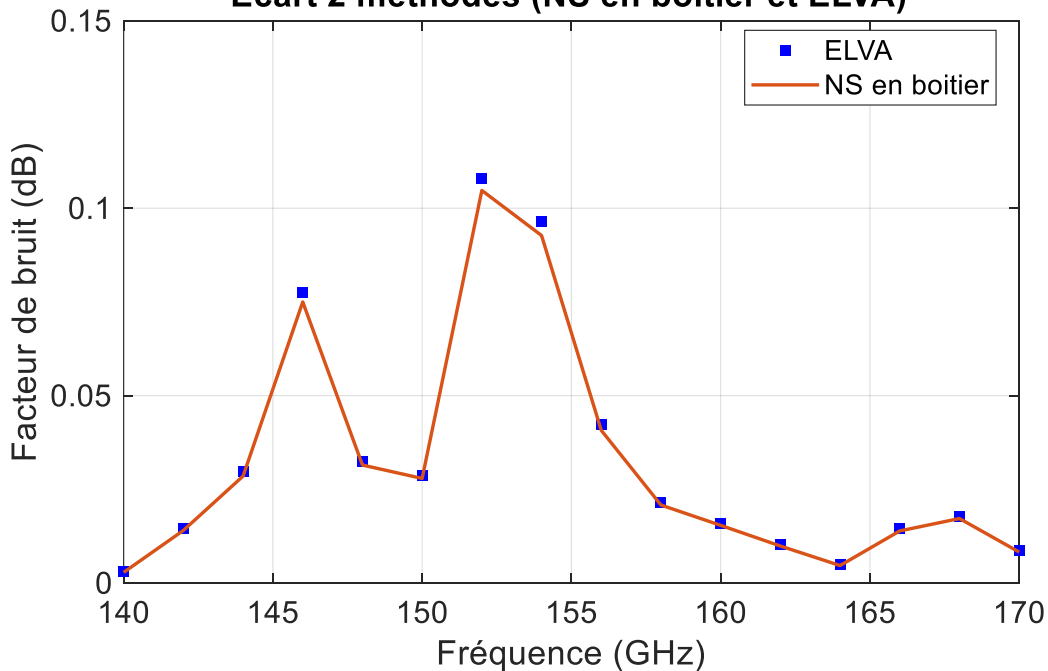


Figure 168 : Écart sur les valeurs de F_{DST} extraites avec les 2 méthodes de calcul.

IV.6.2 Extraction du NF d'un transistor bipolaire NPNVHS *on wafer* en technologie BiCMOS 55 nm

Une extraction du facteur de bruit d'un transistor *on wafer* en technologie B55 de type NPNVHS a été faite à l'aide de la source de bruit en boîtier développée et de la source ELVA entre 140 et 170 GHz.

Le banc de test associé à cette extraction est donné sur la figure suivante, ainsi que le schéma explicitant les variables utilisées lors des calculs. Le transistor est polarisé avec un courant de collecteur de 7,8 mA.

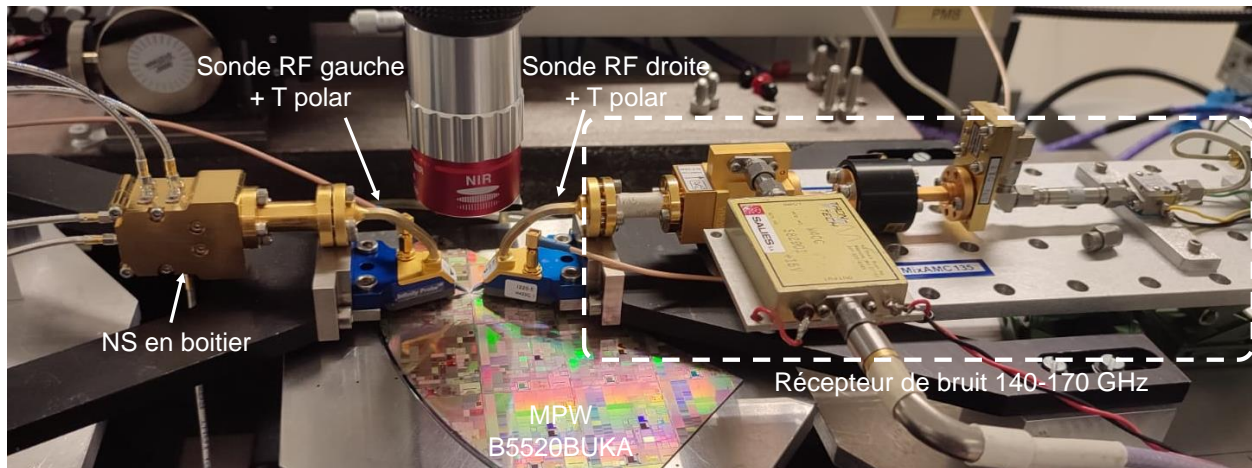


Figure 169 : Photographie du banc de test utilisé pour la caractérisation du NF50 *on wafer* d'un transistor bipolaire en technologie BiCMOS 55 nm à l'aide de la source de bruit en boîtier développée.

Une comparaison de la mesure du facteur de bruit a été faite avec la celle obtenue en utilisant la source de bruit ELVA, entre 140 et 170 GHz.

Le schéma du banc de test avec les variables permettant d'extraire le facteur de bruit du transistor est donné ci-après en Figure 170 :

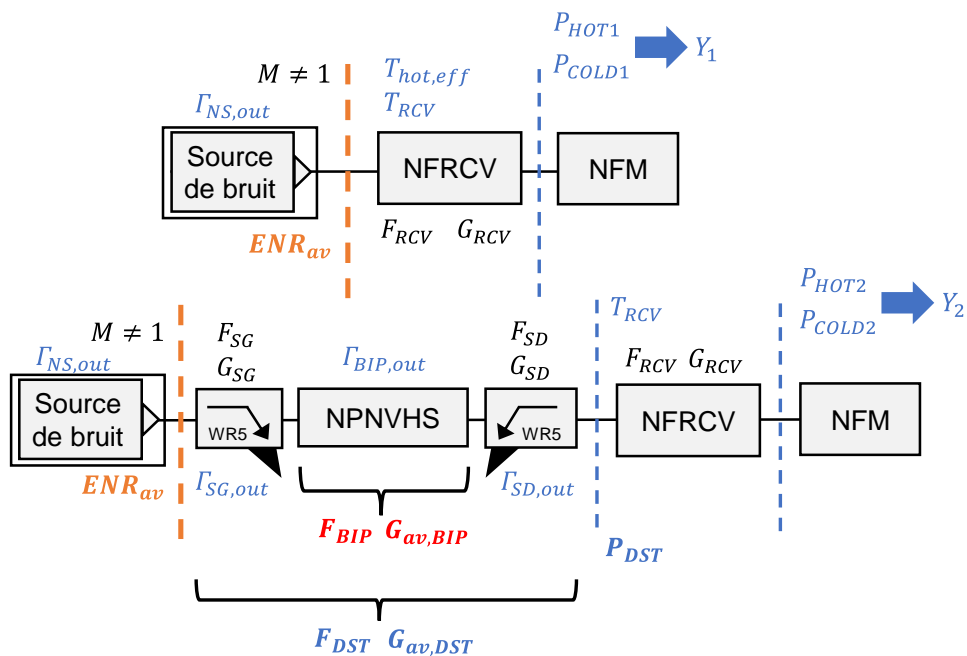


Figure 170 : Schéma des bancs de mesures menant à l'extraction du facteur de bruit dans le cas de la mesure d'un transistor NPNVHS B55 *on wafer*.

Comme pour l'amplificateur connecté MPA04-1, l'extraction de F_{BIP} repose sur la mesure de puissances de bruit non calibrées lors de deux étapes, en présence et en absence de DST. Le terme DST désigne ici l'ensemble {sonde RF gauche+transistor NPNVHS+sonde RF droite}. Les paramètres S des sondes d'entrée (SG) et de sortie (SD) sont récupérés sur le site web du fournisseur (FormFactor Inc.) et permettent de calculer leurs gains en puissance disponibles G_{SG} et G_{SD} ainsi que leurs facteurs de bruit F_{SG} et F_{SD} . La mesure en paramètres S du transistor bipolaire permet de calculer son gain disponible $G_{av,BIP}$, de l'ordre de 1,5 dB entre 140 et 170 GHz. Le transistor n'est pas épluché de ses plots RF dans cette étude. L'absence d'isolateur en sortie de la source de bruit en boîtier implique la prise en compte de désadaptations entre les différents éléments du banc. Les coefficients $\Gamma_{NS,out}$, $\Gamma_{SG,out}$, $\Gamma_{BIP,out}$ et $\Gamma_{SD,out}$ permettent de calculer les gains en puissance disponibles des sondes et du transistor avec ses plots d'accès. Le facteur de bruit F_{DST} de l'ensemble {sonde RF gauche+transistor NPNVHS+sonde RF droite} est donné par l'équation suivante :

$$F_{DST} = \frac{P_{DST}}{G_{av,DST} T_{COLD} k \Delta f}$$

Le choix de cette méthode d'extraction s'explique par l'absence d'isolateur en sortie de source de bruit, ce qui impose de travailler avec des valeurs disponibles afin de tenir compte des désadaptations d'impédance. Les résultats de l'extraction de F_{DST} sont donnés ci-après en Figure 171 :

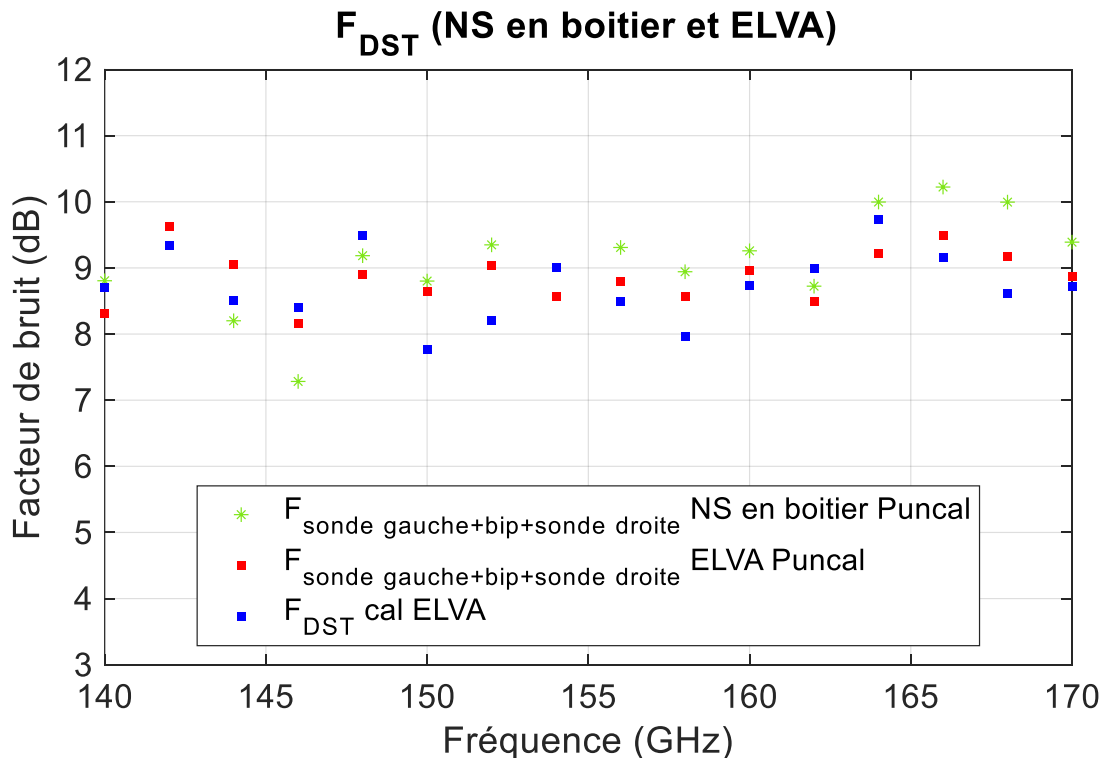


Figure 171 : Extraction de F_{DST} à l'aide de la source de bruit développée et de la source commerciale ELVA en bande D (140-170 GHz).

Les 2 sources de bruit utilisées dans le même mode de mesure, c'est-à-dire en puissances de bruit non calibrées montrent des résultats d'extraction similaires en bande D avec un écart maximal de 0,8 dB atteint en fin de bande, là où le gain disponible du transistor tend à décroître.

IV.6.3 Études autour de la précision de mesure de NF

La suite naturelle à la démonstration de faisabilité d'une mesure est l'étude portant sur sa précision. Plusieurs mesures ont été effectuées en faisant varier volontairement certains paramètres clés du banc de test en bruit, à savoir l'ENR disponible de la source de bruit et le gain disponible du DST.

Des extractions ont été menées plus haut en fréquence à l'aide du récepteur de bruit couvrant la bande 170-220 GHz. A ces fréquences, il n'y a pas de solution de source de bruit commerciale disponible à l'IEMN pouvant servir d'élément de référence aux valeurs de NF extraites avec la source de bruit en boîtier développée. Une manière de se convaincre de la validité des résultats est d'observer la continuité interbande à 170 GHz. La valeur de F_{DST} obtenues à 172 GHz avec ce récepteur (11,5 dB) est proche de celle obtenue avec le récepteur en bande D à 170 GHz (11,6 dB). Le gain en puissance disponible du DST est relativement constant dans l'ensemble de la bande de fréquence, tout comme ses adaptations d'impédance d'entrée et de sortie (cf. Figure 162).

La dispersion des valeurs de F_{DST} extraites augmente avec la fréquence, là où l'ENR disponible de la source de bruit en boîtier décroît pour atteindre des valeurs nulles autour de 210 GHz.

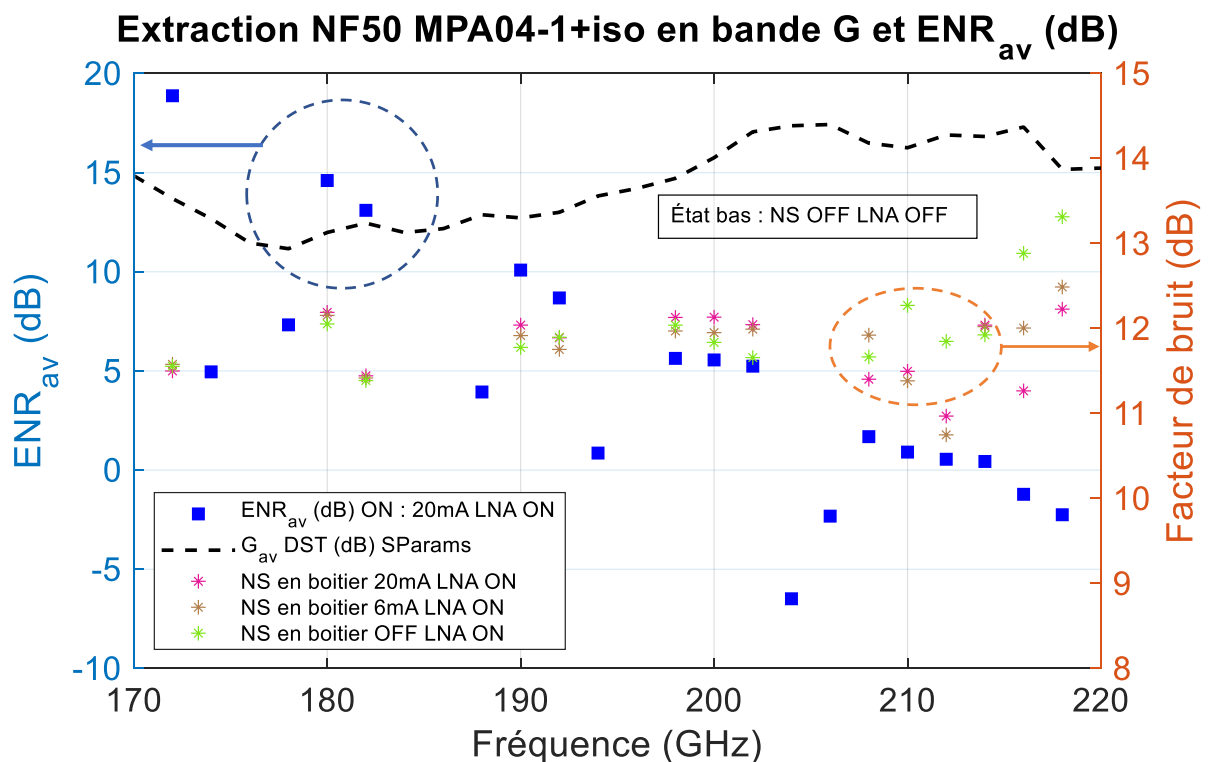


Figure 172 : Extraction du facteur de bruit du DST {WR5+iso+WR5+MPA04-1+WR5} entre 170 et 220 GHz à l'aide de la source de bruit en boîtier développée.

L'effet d'une réduction des niveaux d'ENR est visible sur la précision des mesures de facteur de bruit à partir de 200 GHz. Des statistiques ont pu être générées en utilisant la source de bruit amplifiée dans 12 états de polarisation (1 état de polarisation bas correspondant à NS OFF LNA OFF et 11 états de polarisation hauts) pour chaque point de fréquence entre 170 et 220 GHz. La dispersion sur la mesure des

facteurs de bruit mesurés augmente avec la fréquence pour atteindre des écarts d'au moins 1,5 dB dès 210 GHz (cf. Figure 173). Le fait que le DST présente un gain en puissance disponible moyen de 15 dB entre 170 et 220 GHz permet d'obtenir des dispersions maximales de 0,5 dB jusqu'à 200 GHz, ce qui constitue une performance intéressante à ces fréquences. La source de bruit en boîtier possède une impédance de sortie constante quelle que soit la polarisation choisie de par la présence de l'isolateur. Une manière d'améliorer la précision de ces mesures serait d'augmenter le niveau de l'ENR disponible en sortie de boîtier. Les croix rouges sont des points considérés comme des valeurs aberrantes d'un point de vue statistique et sont particulièrement présentes en fin de bande.

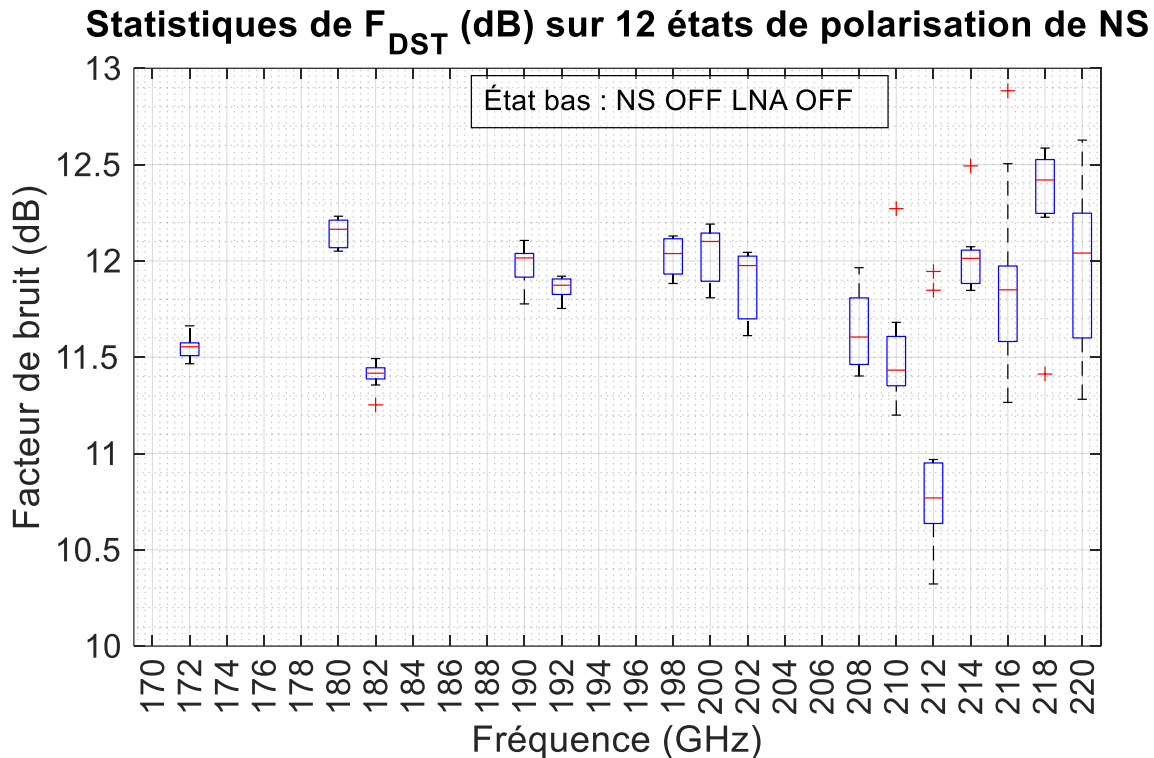


Figure 173 : Dispersion statistique de F_{DST} entre 170 et 220 GHz pour plusieurs états de polarisation de la source de bruit à l'état haut.

Le traitement de l'incertitude de mesure est un problème complexe dès lors que la corrélation entre les variables en jeu est prise en compte. Plusieurs fournisseurs d'équipements de test proposent de la documentation et un ensemble de bonnes pratiques pour réduire au maximum l'incertitude de mesure de bruit aux fréquences millimétriques. Des outils de calcul permettent d'obtenir une incertitude sur la mesure de facteur de bruit en renseignant plusieurs paramètres d'entrée comme l'ENR disponible de la source de bruit, le gain du DST, le facteur de bruit du récepteur. De plus, l'adaptation d'impédance en entrée du DST est critique pour la précision de mesure de bruit. Le point-clé est de garantir une faible variation de l'impédance de sortie de la source de bruit si celle-ci peut fonctionner selon différents états de polarisation. Cependant, les outils de calcul disponibles à l'heure actuelle font l'hypothèse d'une non-corrélation entre les variables en jeu au cours de la mesure de bruit, par exemple une non-corrélation entre F_{tot} et F_{DST} . Une perspective à ces travaux est de proposer une étude d'incertitude de la mesure de bruit aux fréquences millimétriques en prenant en compte la propagation des incertitudes entre les variables à travers la prise en compte de coefficients de corrélation.

Principaux résultats

- Mesure de l'ENR disponible d'une source de bruit en boîtier en technologie BiCMOS 55 nm et de sa version amplifiée entre 140 et 220 GHz. Le niveau maximal observé entre 140 et 170 GHz est de 25 dB pour une polarisation à l'état haut de la source de bruit de 20 mA et le LNA allumé.
- Ces valeurs d'ENR placent la solution développée parmi les meilleures sources de bruit à ces fréquences, avec une planéité de l'ENR meilleure que l'état de l'art. La capacité à piloter les niveaux d'ENR démarque cette source de bruit des solutions proposées par les fournisseurs ELVA et VDI.
- Les pertes liées à la mise en boîtier sont estimées à 10 dB entre 140 et 170 GHz.
- Preuves de répétabilité sur une dizaine de pièces s'appuyant sur des études statistiques. Plusieurs études de variabilité ont été menées.
 - La mesure de l'ENR disponible de 4 sources de bruit amplifiées différentes au cours de 4 montages séparés montre une variation maximale de 2 dB entre 140 et 170 GHz.
 - 3 mesures successives accompagnées d'un montage/démontage d'une même pièce dans le même boîtier donnent une variabilité de 0,7 dB de l'ENR disponible à un état haut correspondant à une polarisation de la NS à 20 mA, avec le LNA ON.
 - 40 mesures faites en allumant et éteignant la source de bruit amplifiée, au cours d'un seul et même montage montrent une variation maximale de 0,13 dB de l'ENR disponible, sur 20 valeurs d'ENR.
 - La dispersion observée en paramètres S est meilleure que 0,2 dB pour différents assemblages d'une pièce dans les 2 boîtiers à disposition.
- Extraction du facteur de bruit sous 50 Ω d'un amplificateur connecté en WR5 en technologie III-V (MPA04-1) entre 140 et 170 GHz. Comparaison avec la solution commerciale de source de bruit à disposition à ces fréquences. La différence maximale observée sur les NF mesurés avec ces deux sources de bruit est de 0,3 dB entre 140 et 170 GHz
- Extraction du facteur de bruit sous 50 Ω d'un transistor bipolaire NPNVHS *on wafer* en technologie BiCMOS 55 nm entre 140 et 170 GHz. Comparaison avec la solution commerciale ELVA. La différence maximale observée sur les NF mesurés avec ces deux sources de bruit est de 0,9 dB entre 140 et 170 GHz, à 168 GHz.

Perspectives

- Recherches pour identifier la cause des 10 dB de pertes observés sur l'ENR disponible en sortie de boîtier par rapport aux valeurs mesurées *on wafer*.
 - Mesures d'une puce B55 assemblée au niveau des *bumps*.
 - Usinage au laser femtoseconde pour émuler une structure *short* sur silicium.
 - Etude par simulation de l'effet du $\tan(\delta)$ du diélectrique sur les pertes de la transition
- Études de précision de l'extraction du NF50 d'un DST avec la source de bruit en boîtier proposée.
- Calibration du récepteur de bruit 140-170 GHz de l'IEMN à l'aide de la source de bruit en boîtier pour rendre possibles des mesures de NF directes. Comparaison avec la source ELVA.
- Ajout de protection anti-ESD aux circuits mesurés en boîtier.
- Mesures *on wafer* des structures équivalentes en technologie BiCMOS 55X.
- Intégration des circuits dans le corps d'une sonde dont la structure est en cours de développement par le biais des travaux de Maya Alawar. Cette solution permet de s'affranchir d'une transition entre un substrat et un guide d'ondes et d'envisager l'intégration de fonctions à pertes de type synthétiseur d'impédances.

Références bibliographiques du Chapitre 4 :

- [1] ELVA-1, «ISSN-03 / ISSN-05 MM-WAVE HIGH ENR CW NOISE SOURCES,» 2022. [En ligne]. Available: <https://elva-1.com/products/sub-terahertz-noise-sources-140-to-330-ghz>. [Accès le 31 Mai 2022].
- [2] Virginia Diodes Incorporation, «https://www.vadiodes.com/images/Products/AmpsandFilters/VDI-792.34_VDI_Waveguide_Amplifier_Product_Manual.pdf,» 2022. [En ligne]. Available: <https://www.vadiodes.com/en/products-6/amplifier>. [Accès le 1 Juin 2022].
- [3] J. H. S. M. K. e. a. Henrik Forstén, «Millimeter-Wave Amplifier-Based Noise Sources in SiGe BiCMOS Technology,» *Transactions on Microwave Theory and Techniques*, vol. 69, n° %111, pp. 4689-4696, 2021.
- [4] Noisecom, «Products,» 2022. [En ligne]. Available: <https://noisecom.com/products/calibrated-sources/nc346-broadband-awgn-up-to-67-ghz>. [Accès le 4 Juillet 2022].

Conclusion du Chapitre 4

La conception et la fabrication de la source de bruit et de sa version amplifiée ont pu être menées à leurs termes. Les niveaux de puissances de bruit disponibles générés par cette source de bruit en boîtier ont pu être mesurés entre 140 et 220 GHz et mettent en évidence des valeurs s'échelonnant jusqu'à 25 dB d'ENR disponible. En outre, une adaptation d'impédance constante en sortie de boîtier a été observée quelle que soit la polarisation appliquée à la source de bruit.

Des preuves de répétabilité et de robustesse de l'assemblage sont apportées au travers de mesures en paramètres S et en bruit d'une dizaine de pièces. Des études de variabilité de l'ENR sur différents assemblages et commutations de la source de bruit sont proposées et montrent une réelle fiabilité des performances obtenues.

Cette source de bruit a été confrontée à la solution commerciale ELVA entre 140 et 170 GHz afin de confirmer son utilisation lors de l'extraction de facteurs de bruit de différents DST. Le NF d'un amplificateur III-V a ainsi pu être mesuré à l'aide d'une source de bruit SiGe en boîtier ainsi que celui d'un transistor NPNVHS en technologie BiCMOS 55 nm *on wafer*. Dans les deux cas, de faibles écarts de mesure ont été observés entre la mesure utilisant la source ELVA et celle s'appuyant sur la source de bruit développée au cours de cette thèse.

Plusieurs perspectives peuvent être proposées autour de l'amélioration des pertes d'insertion de la transition entre le substrat organique et le guide d'ondes WR5 afin d'identifier la cause exacte des pertes liées à la mise en boîtier. De nouveaux matériaux de substrats qui seraient davantage adaptés à de la mise en boîtier à ces fréquences sont à l'étude. Une possibilité est d'intégrer directement les circuits dans un corps de sonde de manière à s'affranchir d'une transition entre un substrat de report et un guide d'ondes, laissant entrevoir la possibilité d'intégrer un synthétiseur d'impédance et d'effectuer des mesures de bruit multi-impédances pour extraire les 4 paramètres de bruit d'un DST entre 140 et 220 GHz.

Des études de précision d'extraction de NF sont également envisageables et permettraient d'avoir un recul sur les conditions nécessaires à une mesure précise de NF, se traduisant par des valeurs d'ENR pour une source de bruit, de NF du récepteur de bruit, de gain de DST et d'adaptation d'impédance en entrée de DST. Bien qu'il existe des documents traitant de ces sujets, les hypothèses de non-corrélation de variables mériteraient d'être revues en faisant intervenir des coefficients de corrélation.

Conclusion générale et perspectives

Le premier chapitre a permis de décrire la caractérisation en bruit aux fréquences millimétriques et a donné une vision globale d'applications et de l'intérêt à développer ce type de mesures. Les notions élémentaires liées au bruit et utilisées au cours de ce manuscrit ont été définies. Un rappel des méthodes usuelles de mesures et d'extraction des paramètres de bruit a été fait. La limitation fréquentielle et fonctionnelle des solutions commerciales ou présentes à l'échelle des laboratoires ont mis en exergue l'intérêt de ce sujet de thèse, dont l'objectif est de disposer de moyens de caractérisation en bruit et en puissance intégrés dans des sondes afin de pouvoir adresser la mesure de plusieurs technologies de circuit avec une répétabilité et une fiabilité industrielles.

Le deuxième chapitre décrit les développements sur silicium en technologie B55 liés à la mesure en bruit selon la méthode multi-impédance dans le but d'extraire les 4 paramètres de bruit d'un transistor bipolaire NPNVHS en topologie CBEB. La première étape de ce travail a été de concevoir une source de bruit sur silicium en utilisant les précédents développements liés à cette thématique. Une mise à jour du layout a permis d'être en ligne avec les nouvelles exigences du DRC. La seconde étape a consisté à mettre en perspective la mise en boîtier de la diode de bruit précédemment développée. Les pertes liées aux interconnexions et aux transitions entre le silicium et le substrat d'une part et entre le substrat et les accès guide d'ondes d'autre part sont compensées par la présence d'un LNA 2 étages permettant de mettre en évidence des niveaux d'ENR de l'ordre de 35 dB entre 140 et 170 GHz. L'ajout du LNA permet également d'améliorer de manière significative l'adaptation d'impédance en sortie et ce quel que soit le courant de polarisation appliqué à la diode utilisée en tant que source de bruit. Cela a permis de mettre en évidence des niveaux d'adaptation en sortie meilleurs que -8 dB dans la bande 140-170 GHz. Ces aspects permettent de placer cette source de bruit active parmi les solutions les plus intéressantes en termes de sources de bruit sur silicium, de par les niveaux d'ENR mis en exergue et la constance de l'adaptation d'impédance de sortie.

Enfin, des travaux liés au caractère multi-impédance de la méthode d'extraction des 4 paramètres de bruit ont été menés. La première phase a été de concevoir un jeu de réseaux d'adaptation afin d'émuler une mesure de type *source-pull*. Bien que les mesures n'aient pas permis d'extraire les 4 paramètres de bruit du transistor NPNVHS entre 140 et 170 GHz, la méthode mise en place est valide et pourrait être appliquée à des fréquences inférieures à 140 GHz.

L'étape qui suivrait ces développements serait la conception d'un tuner d'impédances permettant de générer au minimum 16 impédances placées autour de l'impédance de source optimale en bruit du transistor NPNVHS en B55. Cette étape doit intervenir après l'étape ayant recours aux réseaux d'adaptation sur silicium qui permet de valider l'application de l'algorithme de Lane à des fréquences inédites.

En parallèle, des conceptions en technologie B55X ont été menées afin de quantifier l'intérêt d'utiliser un niveau de métallisation plus élevé qu'en B55 pour les lignes de transmission. Un nouveau *front-end* de diode de bruit a également été proposé. Ce nouveau *front-end* B55X utilise des couches d'implants équivalents à ceux proposés en B55. A l'heure actuelle, le silicium contenant ces contributions en B55X n'a pu être mesuré.

Le troisième chapitre a rendu compte de l'ensemble des travaux effectués en rapport avec les étapes d'assemblage et de *packaging* inhérentes à ce sujet de thèse. La mise en boîtier de circuits fonctionnant en bande G nécessite de véhiculer l'énergie en gamme d'onde mmW par des cavités de type guides d'ondes rectangulaires. Ces guides d'ondes servent d'interface entre le milieu extérieur au boîtier d'une

part via une connectique de type *flange* (bride), mais aussi entre la puce silicium via une transition avec un substrat organique accueillant différents circuits silicium. Dès lors, l'enjeu a été de minimiser les pertes au niveau de la transition substrat vers guide d'ondes, et de la puce silicium vers le substrat. Les premiers pas ont consisté à déterminer une nature de substrat permettant d'adresser l'intégration de puces en technologie BiCMOS 55 nm, en ayant à l'esprit une volonté de réduire le coût du prototype final. Une première géométrie de substrat à deux couches métalliques en configuration *back-to-back* mesurée au sein d'un boîtier fabriqué par micro-usinage classique a permis de valider les transitions réalisées et de quantifier les niveaux de pertes dans la transition substrat vers guide d'ondes, mettant en évidence des pertes d'insertion de l'ordre de 1,5 dB à 180 GHz. De multiples essais de découpe, effectués à l'aide de trois technologies lasers effectuées chez trois fournisseurs différents ont permis de générer une base de données significative permettant de quantifier la sensibilité des performances électriques en fonction de la précision d'usinage et d'assemblage.

Ce premier résultat a permis de figer une géométrie de transition, utilisée de nouveau dans la version suivante de substrat à six couches métalliques, ayant pour but d'accueillir différents circuits par procédé *flip chip*. La conception de ce substrat à six couches métalliques a été menée de pair avec la conception du boîtier correspondant. De nombreux échanges avec les fournisseurs et concepteurs ont permis de converger vers un mode d'assemblage du substrat dans le boîtier permettant d'assembler et de retirer plusieurs types de substrats dans une seule géométrie de boîtier.

En parallèle des développements liés aux substrats, des investigations ont été menées sur des méthodes alternatives de fabrication de guides d'ondes fonctionnant en bande G. Des essais d'impression 3D métallique par procédé de MLS ont permis de poser de nouveaux jalons en géométrie WR5. Ces essais encourageants ont montré des limites lors de l'usinage de section droites de guides d'ondes WR5 pour des longueurs excédant 7.2 mm. Cependant, des perspectives d'impression 3D de boîtiers avec une géométrie adaptée sont en train d'être adressées et présentent des coûts compétitifs par rapport à de l'usinage standard.

Le quatrième chapitre fait la synthèse des mesures effectuées des puces B55 assemblées dans les boîtiers de type split blocks. De nombreuses mesures en DC, paramètres S et en bruit entre 140 et 220 GHz permettent de valider l'assemblage des circuits de source de bruit et étendent les capacités de sources de bruit en technologie silicium en boîtier à ces fréquences. Les niveaux d'ENR disponibles obtenus en sortie de boîtier sont de l'ordre de 22 dB entre 140 et 170 GHz et permettent d'améliorer l'état de l'art. L'adaptation d'impédance est de l'ordre de -7 dB dans cette même bande de fréquence et reste insensible aux changements de polarisation de la source de bruit. La variabilité de l'ENR extraite sur 3 mises en boîtier successives d'une même pièce est meilleure que 0,6 dB. La caractérisation du NF d'un DST en connectique WR5 et d'un DST *on wafer* permettent de valider l'utilisation de cette source de bruit. Une comparaison de l'extraction du NF est faite avec celle obtenue à l'aide de la solution commerciale existante (ELVA). Ce chapitre est la concrétisation de nombreux échanges avec plusieurs entreprises partenaires, mais aussi des équipes internes à STMicroelectronics et à l'IEMN. En outre, la mesure des circuits dessinés en technologie B55X reste encore à faire et devrait permettre d'étendre l'offre de sources de bruit sur silicium aux fréquences millimétriques. Des axes d'amélioration de la transition entre le substrat organique et le guide WR5 sont adressables afin d'améliorer les performances de cette source de bruit en boîtier. La fonctionnalité de mesure en puissance reste à adresser afin d'être capable de mener des études de linéarité de nombreux circuits aux fréquences millimétriques et de disposer d'un outil dit intelligent pouvant couvrir différents types de mesures.

Liste des Figures

<i>Figure 1 : Prédiction de l'évolution du trafic mondial de données fourni par l'ITU (International Telecommunication Union). Une croissance annuelle de 55% est attendue entre 2020 et 2030 pour atteindre 5 016 Exabytes en 2030 [4].....</i>	<i>13</i>
<i>Figure 2 : Comparaison des principales caractéristiques de la 5G et de la 6G. [4]</i>	<i>13</i>
<i>Figure 3 : Vision de la 6G et de ses potentielles utilisations. [4]</i>	<i>14</i>
<i>Figure 4 : Interfaces de communication sans fil satellitaire déployées dans le cadre de la 5G. (a) : E-band communication LLC. (b) : Ericsson et Deutsche Telekom.</i>	<i>15</i>
<i>Figure 5 : Evolution de l'absorption atmosphérique des ondes électromagnétiques en fonction de la longueur d'onde. [9].....</i>	<i>15</i>
<i>Figure 6 : MetOp-SG A [29].....</i>	<i>17</i>
<i>Figure 7 : MetOp-SG B [29]</i>	<i>17</i>
<i>Figure 8 : Banc générique de mesure en bruit</i>	<i>19</i>
<i>Figure 9 : Contribution au bruit d'un système à plusieurs étages [30]</i>	<i>20</i>
<i>Figure 10 : Allure de $F(Y_S)$ d'un transistor.....</i>	<i>23</i>
<i>Figure 11 : Schéma équivalent avec sources de bruit non corrélées d'un transistor MOS utilisé dans le cadre d'une extraction par la méthode NF50. [39].....</i>	<i>24</i>
<i>Figure 12 : Source de bruit ELVA ISSN-06 disponible à l'IEMN.....</i>	<i>25</i>
<i>Figure 13 : Schéma-bloc d'illustration du concept de génération de bruit sub-terahertz à partir d'une source photonique utilisant un amplificateur dopé à l'Erbium (EDFA) et un convertisseur opto-électrique. [43]</i>	<i>26</i>
<i>Figure 14 : Température équivalente de bruit générée à la sortie d'une photodiode UTC sous différents photocourants. [40].....</i>	<i>26</i>
<i>Figure 15 : Photographie et schéma équivalent d'une photodiode GeHSPD adaptée connectée par wire-bonding au TBH BiCMOS 55 nm mis en plot pour sa caractérisation en bruit.[44]</i>	<i>27</i>
<i>Figure 16 : Niveaux d'ENR disponibles générés par une diode Schottky en technologie SiGe BiCMOS 55 nm sous différents courants de polarisation. [50]</i>	<i>28</i>
<i>Figure 17 : Vérification de la validité des 4 paramètres de bruit extraits en bande D, les points noirs sont considérés comme invalides [53].</i>	<i>29</i>
<i>Figure 18 : Résultats d'extraction des 4 paramètres de bruit d'un transistor NPN B55 en bande D pour un courant de polarisation $I_b = 10 \mu A$ [32] La géométrie est de type CBEB, une longueur d'émetteur $L_e = 5 \mu m$ et une largeur d'émetteur $W_e = 0,2 \mu m$.....</i>	<i>30</i>
<i>Figure 19 : Schéma bloc du récepteur de bruit sur table opérant au-delà de 170 GHz disponible à l'IEMN [30].</i>	<i>30</i>
<i>Figure 20 : Etat de l'art de la couverture fréquentielle de la mesure de facteur de bruit. La contribution de cette thèse à l'échelle de la source de bruit est de proposer une solution sur silicium intégrée avec des niveaux d'ENR excédant les solutions commerciales.....</i>	<i>31</i>
<i>Figure 21 : Couverture fréquentielle des synthétiseurs d'impédances.....</i>	<i>31</i>
<i>Figure 22 : Illustration des 3 techniques de mise en boîtier répondant aux nouvelles exigences des applications émergentes aux fréquences mmW. De gauche à droite : SoC, SiP et SoP.</i>	<i>32</i>
<i>Figure 23 : Principes illustrés des approches d'intégration SiP, Soc, SOP et MCM.</i>	<i>33</i>
<i>Figure 24 : Exemple de mise en boîtier en technologie III-V aux fréquences millimétriques.</i>	<i>34</i>
<i>Figure 25 : Evolution de l'approche on-wafer vers une approche de sondes de mesures hyperfréquences instrumentées.</i>	<i>34</i>
<i>Figure 26 : Setup standard de mesure de figure de bruit selon la méthode du facteur Y.</i>	<i>35</i>
<i>Figure 27 : Schéma représentatif de la condition du MDS [30].</i>	<i>35</i>

Figure 28 : Schéma bloc du setup d'une mesure en bruit avec la future source de bruit mise en boîtier pour expression du bilan de puissance.....	36
Figure 29 : Vue schématique d'une transition plan E entre une ligne FGC (finite-ground coplanar) et un guide d'onde "diamant" sur silicium en bande W [62].	37
Figure 30 : Contribution de la thèse : réalisation de sondes de mesures instrumentées pour la mesure en bruit et puissance en bande G.	40
Figure 31 : Vision globale des applications liées aux différentes générations des technologies BiCMOS sous propriété STMicroelectronics.....	46
Figure 32 : Vue schématique du BEOL de la technologie B55 8ML	47
Figure 33 (a) : Imagerie TEM d'un transistor bipolaire. (1) : Emetteur. (2) : Base intrinsèque en SiGe. (3) : Collecteur. (5) : Espaceurs internes. (6) : STI [2]. (b) : Vue CAD layout d'un transistor NPNVHS de topologie Nx(CBEB)-C en technologie SiGe BiCMOS 55 nm	49
Figure 34 : Méthode d'extraction de la fréquence de transition à partir du gain en courant en petit signal [2].....	49
Figure 35 : Schéma équivalent linéaire petit signal du TBH. LB, LC, LE sont les inductances d'accès de base, de collecteur, d'émetteur. RB, RC, RE sont les résistances parasites de base, de collecteur et d'émetteur. Ce schéma prend en compte les parasites intrinsèques et extrinsèques du composant.	50
Figure 36 : Méthode d'extraction de f_{max} en fonction du gain de Mason U.....	52
Figure 37 : Schéma équivalent d'un transistor bipolaire NPNVHS en technologie SiGe BiCMOS 55 nm selon le modèle HICUM Level 2. Issu d'une communication interne à STMicroelectronics.	53
Figure 38 : (a) : Vue 3D layout du plot RF hybride bande G et bande J. (b) : Vue layout du plot RF avec les ports d'excitation utilisés pour les simulations EM Momentum.	54
Figure 39 : Schémas équivalents en T et en π des plots RF. [4].....	55
Figure 40 : Eléments parasites des plots RF extraits en bande G. (a) : Capacité parasite. (b) : Inductance parasite. (c) : Résistance parasite.	57
Figure 41 : Vue en coupe des lignes microstrip du DK B55. [5] La gamme de largeurs proposées par la Pcell du DK varie entre 0.6 μm et 18.6 μm , ce qui correspond, à 180 GHz, à une gamme d'impédances allant de 32.3 Ω à 86.2 Ω	58
Figure 42 : Schéma électrique équivalent d'une ligne microruban et vue 3D associée avec un plan de masse en M1.	58
Figure 43 : Vues 2D d'une capacité MIM en technologie B55. [4]	59
Figure 44 : Schéma équivalent d'une capacité MIM. [4]	60
Figure 45 : Vue 3D d'une capacité MOM.	60
Figure 46 : Vue layout top d'une résistance Rhiorpo en technologie BiCMOS 55 nm.	61
Figure 47 : Vue en coupe du frontend des diodes de bruit B55 de précédente génération [3].....	61
Figure 48 : Vue en coupe du frontend des diodes de bruit (Schottky) nouvelle génération.....	62
Figure 49 : Vue layout des interconnexions réalisées (BEOL seul) du métal 1 au métal 8	62
Figure 50 : Vue layout du DOE de diodes en 2 ports.....	63
Figure 51 : Frontends utilisés pour l'utilisation en diode de bruit et modélisation entre 140 et 220 GHz. (a): PN STI P+. (b) : Schottky N poly. (c) : Schottky N STI.	65
Figure 52 : Schéma équivalent générique d'une diode à jonction Schottky ou PN. La résistance série R_S , la capacité de jonction C_{j0} et la résistance de jonction R_j modélisent le comportement intrinsèque de la diode. La capacité liée aux accès backend est notée C_{BE}	65
Figure 53 : Structure de diode série en 2 ports pour l'extraction de la capacité totale et schéma équivalent en mode bloqué.....	66
Figure 54 : Vue layout d'une structure d'open M1 dédiée et schéma équivalent associé	67
Figure 55 : Vue layout d'une structure de diode en shunt et schéma équivalent associé.....	68

Figure 56 : Caractéristique courant-tension d'une diode Schottky ou PN.....	69
Figure 57 : Caractéristiques I(V) des diodes L5N5 en régime (a) : inverse. (b) : direct.....	70
Figure 58 : Banc de mesures du DOE de diodes 2 ports en DC et paramètres S	70
Figure 59 : Caractéristiques courant-tension de l'ensemble des diodes du DOE en régime direct.....	71
Figure 60 : Caractéristiques courant-tension de l'ensemble des diodes du DOE en régime inverse	72
Figure 61 : Caractéristique courant-tension des diodes PN STI PP en régime inverse	73
Figure 62 : Caractéristique courant-tension des diodes Schottky N à espaceur poly silicium en régime inverse	73
Figure 63 : Contributions capacitives parasites du backend pour les différentes topologies considérées.....	74
Figure 64 : Plans de références obtenus après épluchages et extraction des paramètres associés. L'exemple donné sur la figure est celui d'une diode PN à espaceurs STI.	75
Figure 65 : Cj0 extraites pour les diodes en topologie L1N2	76
Figure 66 : Cj0 extraites pour les diodes en topologie L2N5	76
Figure 67 : Extraction de la résistance série à l'aide des mesures en paramètres S des diodes Schottky N STI (a), Schottky N poly (b), PN STI PP (c).....	78
Figure 68 : Schéma bloc du banc de test utilisé à l'IEMN pour la mesure en puissance de bruit des diodes en configuration série. Un premier récepteur de bruit couvre la bande 140-170 GHz, un deuxième la bande 170-220 GHz. Pour émuler une mesure en 1 port, une source de bruit ELVA a été reliée à la sonde de gauche. Son isolateur garantit la présentation d'une impédance très proche de 50 Ω.	79
Figure 69 : Photo du banc de mesure en puissance de bruit des diodes 2 ports pour extraction des ENR. La photo illustre la mesure réalisée dans la bande 140-170 GHz.	79
Figure 70 : ENR disponibles extraits pour les diodes PN STI P+ dans différentes topologies. (a) : L1N2, (b) L2N2, (c) : L2N5, (d) : L5N5, (e) : L10N5.	84
Figure 71 : ENR disponibles extraits pour les diodes Schottky N STI dans différentes topologies, de gauche à droite L1N2 et L2N5.	84
Figure 72 : ENR disponibles extraits pour les diodes Schottky N Poly dans différentes topologies : (a) : L1N2. (b) : L2N2. (c) : L2N5. (d) : L5N5.	86
Figure 73 : Evolution des niveaux d'ENR en fonction de la densité de courant de cathode pour l'ensemble des diodes du DOE. (a) : A 166 GHz. (b) : A 200 GHz.	87
Figure 74 : Schéma électrique équivalent d'une diode de bruit en régime d'avalanche. [12]	88
Figure 75 : Allure de l'ENR généré pour les diodes en topologie L2N5 en fonction de la densité de courant totale....	89
Figure 76 : Schéma électrique du LNA à deux étages. [4].....	91
Figure 77 : Paramètres S mesurés et simulés du LNA deux étages. [4]	91
Figure 78 : Comparaison de l'adaptation d'impédance de sortie de la source de bruit avec et sans LNA, sous 3 courants de polarisation (OFF, 14 mA et 25 mA) en bande G.....	92
Figure 79 : S22(dB) de la source de bruit amplifiée pour l'ensemble des courants de polarisation.....	93
Figure 80 : Schéma bloc du banc de mesure en puissance de bruit de la source de bruit amplifiée entre 140 et 170 GHz.	93
Figure 81 : Niveaux d'ENR disponibles extraits entre 140 et 170 GHz dans le plan d'entrée de la sonde RF (plot inclus). L'état OFF correspond à un état où la diode et le LNA sont éteints.....	95
Figure 82 : État de l'intégration des circuits pour la caractérisation en bruit multi-impédance en bande G.	96
Figure 83 : Réseaux de matching réalisés en technologie BiCMOS 55 nm pour la caractérisation multi-impédances d'un transistor NPNVHS. La surface physique équivalente est 8,2 mm ²	97
Figure 84 : Mesures des S22 générés par les 16 réseaux d'adaptation avec le plot de sortie, comparaison avec le Sopt du NPN VHS B55 à caractériser.	98
Figure 85 : Descriptif des mesures en bruit réalisées en bande D (140-170 GHz). Le DST est constitué ici de la sonde gauche+MN+BIP+sonde droite.	98

Figure 86 : Schéma de principe de la mesure en bruit en bande D des réseaux d'adaptation avec transistor bipolaire.	99
Figure 87 : Éléments constituant le package. À gauche, une vue HFSS du substrat d'accueil à 6 couches métalliques. Une vue du layout des puces destinées à être assemblées sur le substrat est donnée. À droite, une vue de modélisation Solidworks de la partie inférieure du boîtier.	106
Figure 88 : Vue d'ensemble du procédé standard de fabrication d'un substrat organique laminé à multiples couches métalliques [12]	108
Figure 89 : Description des étapes soustractives de métallisation du cœur d'un substrat organique laminé [12]	109
Figure 90 : Exemple de circuit imprimé avec un traitement de surface de type OSP [13]	110
Figure 91 : Vue en coupe du substrat organique à 2 couches métalliques	111
Figure 92 : Ligne stripline suspendue (vue en coupe) [14]	112
Figure 93 : Photographie de substrat avec fil de contact de masse thermo compressé.	112
Figure 94 : Cliché HFSS du substrat organique à 2 couches métalliques comportant deux transitions E-plan en configuration back-to-back	113
Figure 95 : Substrats découpés en géométrie back-to-back. La méthode B montre des zones de brûlures partielles au niveau de la probe plan E	114
Figure 96 : Illustration du plan d'expérience réalisé sur i) le shift et ii) l'offset de la probe plan E	115
Figure 97 : Photographies des assemblages des substrats à deux couches métalliques découpés par trois fournisseurs	115
Figure 98 : Configuration du substrat 6 couches au niveau de la transition optimisée vers le guide d'onde WR5	116
Figure 99 : Vue détaillée de la transition puce B55 vers guide d'ondes WR5 par l'intermédiaire du substrat organique multicouches.	117
Figure 100 : Vue 3D du layout du substrat 6 couches métalliques pour la mise en boîtier d'une source de bruit standalone. Seuls 2 accès DC sont requis dans cette configuration.	118
Figure 101 : Paramètres S simulés de la transition entre substrat 6L et guide d'ondes WR5 en bande G	118
Figure 102 : Schéma d'un copper pillar bump utilisé dans l'assemblage par flip chip [15]	119
Figure 103 : Modélisation HFSS de la transition silicium vers substrat organique laminé à 6 couches métalliques.	120
Figure 104 : Champ E simulé à 200 GHz dans la transition silicium vers substrat à 6 couches métalliques (vue de face côté silicium).	120
Figure 105 : Paramètres S simulés de la transition silicium vers substrat 6L	121
Figure 106 : Modélisation des bumps : schéma équivalent	121
Figure 107 : Capacités et inductance parasites extraites par simulation EM de la transition silicium vers substrat à 6 couches métalliques.	122
Figure 108 : Schéma équivalent de la transition silicium vers substrat 6L avec choix de valeurs parasites	123
Figure 109 : Analyse de l'impact des bumps sur l'impédance de sortie silicium de 50 Ohms à 180 GHz	124
Figure 110 : Illustration du procédé laser de frittage de poudre [38]	127
Figure 111 : Modèle CAD du guide d'ondes WR5 en configuration back-to-back et dimensions associées	127
Figure 112 : Résultat de l'analyse EDX de l'échantillon imprimé par SLS intégrant une cavité WR5. Ces résultats sont représentatifs de la surface (a) et de l'intérieur (b) de l'alliage analysé. Une image obtenue par SEM à la surface de l'échantillon est donnée en (c).	129
Figure 113 : Illustration du module WR5 en cours de mesure petit signal en bande G. À gauche une photographie de l'échantillon analysé par SEM EDX puis mesuré en paramètres S à STMicroelectronics Crolles et à l'IEMN.	130
Figure 114 : Comparaison simulation mesure du matching du module WR5 imprimé par procédé MLS [39]	130
Figure 115 : Comparaison des pertes d'insertion simulées et mesurées [39]	131
Figure 116 : Comparaison de mesures en paramètres S (matching) en bande G du module WR5 back-to-back entre deux bancs de mesure	132

Figure 117 : Comparaison des pertes d'insertion simulées et mesurées sur deux bancs du module WR5 en configuration back-to-back.....	133
Figure 118 : Simulation HFSS du split block intégrant le substrat à 2 couches métalliques en configuration back-to-back	134
Figure 119 : Modèle CAD du boîtier split block.....	134
Figure 120 : Vue d'un des deux split-block micro-usiné et positionnement du substrat en cours d'assemblage (droite)	135
Figure 121 : Split-block micro-usiné en mesures de paramètres S 140-220 GHz.....	135
Figure 122 : Comparaison des pertes d'insertion simulées et mesurées pour trois découpes lasers et les valeurs extrêmes de shift et d'offset	136
Figure 123 : Influence du shift sur les pertes d'insertion de la transition substrat vers guide d'ondes.....	137
Figure 124 : Comparaison des pertes mesurées et simulées d'une transition entre stripline suspendue et guide d'onde WR5 et thru.....	138
Figure 125 : Stack détaillé du substrat organique à 6 couches métalliques	139
Figure 126 : Vue HFSS simplifiée du module intégrant le substrat 6 couches métalliques avec les différents accès RF et DC.	139
Figure 127 : Vue en coupe schématique du substrat 6L mis en boîtier.....	140
Figure 128 : Vue CAD du demi-split block inférieur avec le substrat à 6 couches métalliques en position.....	141
Figure 129 : Split blocks fabriqués par CNC après dorure.	143
Figure 130 : Puces assemblées sur substrats organiques : plan expérimental associé aux découpes laser femtoseconde.	147
Figure 131 : Photographies explicitant les paramètres de longueur et d'épaisseur de diélectrique au niveau de la transition substrat vers guide d'ondes.....	147
Figure 132 : Nomenclature des substrats d'accueil des puces B55 destinés à la mise en boîtier.	148
Figure 133 : Photographie d'un des deux split blocks. La dénomination utilisée est SBA et SBD pour split block A et split block D.....	149
Figure 134 : Photographie des 36 substrats avec puces B55 sur taper dans un scanner à rayons X pour vérification de la qualité du report flip chip et des routages au sein des substrats. Il s'agit de la dernière étape de vérification avant envoi à l'IEMN pour les mesures en boîtier.	149
Figure 135 : Substrat organique sans puce mis en boîtier ouvert.....	150
Figure 136 : Vue post-assemblage d'une puce B55 (NS standalone) en boîtier : soudures des broches DC et compression du papier graphène supérieur.	151
Figure 137 : Vue des soudures déposées sur les ouvertures de solder mask dédiées des substrats organiques. Les contacts de masse s'effectuent à travers ces soudures d'un dimensionnel d'environ 800µm x 600 µm x 80 µm.	152
Figure 138 : Contrôle du dimensionnel des bumps et vue d'une puce B55 du MPW Buka découpée et bumpée.....	153
Figure 139 : Inventaire des puces mises en boîtier testées. Détail des tests réalisés et fonctionnalités observées. ...	154
Figure 140 : Tests de vérification DC effectués sous pointes.	155
Figure 141 : Paramètres S mesurés entre (a) 140 et 220 GHz et (b) entre 140 et 170 GHz en abaque de Smith. La source de bruit est en configuration standalone.	156
Figure 142 : Comparaison du S22 (dB) en sortie de boîtier de deux sources de bruit. L'une est amplifiée, l'autre est une diode de bruit standalone.	157
Figure 143 : Mesures des structures short réalisées. Déduction du niveau de pertes pour un aller simple dans la transition substrat vers guide d'ondes WR5.	158
Figure 144 : Profil de la probe plan E obtenu à l'aide du microscope électronique de l'IEMN.....	159
Figure 145 : Retraits progressifs de diélectrique par usinage et ablation au laser femtoseconde de l'IEMN.....	160
Figure 146 : Paramètres S mesurés après différents retraits de diélectrique.	160

Figure 147 : Vérification du positionnement de la probe plan E lors des assemblages réalisés. Le jeu fonctionnel autorise une variation de 10 μm de gauche à droite et de 100 μm de bas en haut.	161
Figure 148 : Test de répétabilité de la mesure en paramètres S sur 3 assemblages successifs d'une source de bruit amplifiée dans un même boitier.	162
Figure 149 : Test de répétabilité de la mesure en paramètres S sur une même pièce assemblée dans les deux split blocks SBA et SBD.	163
Figure 150 : Photographie d'une partie du banc de test en paramètres S d'une source de bruit amplifiée en boitier. Le tronçon WR5 a été pris en compte lors de l'étape de calibration en 1 port.	163
Figure 151 : Comparaison des coefficients de réflexion mesurés sur silicium et en sortie de boitier de la source de bruit amplifiée.	164
Figure 152 : Extractions d'ENR disponibles de la source de bruit en boitier. (a) : Schéma des bancs utilisés. (b) : Photographie du banc de mesure de bruit en bande G. (c) : Photographie du banc de mesure de bruit en bande D.	165
Figure 153 : ENR_{avdB} d'une source de bruit amplifiée en boitier.	166
Figure 154 : Effet de la mise en boitier sur le niveau d'ENR disponible d'une source de bruit amplifiée.	168
Figure 155 : $ENR_{av}(dB)$ extraits de 3 montages successifs d'une source de bruit amplifiée pour un courant de 20 mA.....	169
Figure 156 : Représentation statistique de l'extraction d'ENR pour un état bas de source de bruit amplifiée éteinte.	170
Figure 157 : Représentation statistique de l'extraction d'ENR pour un état bas de source de bruit éteinte LNA polarisé.	170
Figure 158 : Comparaison de l'ENR disponible de 4 sources de bruit amplifiées assemblées dans le même split block (SBA). L'état haut est pris pour NS 20 mA LNA ON, l'état bas correspond à NS OFF LNA OFF.	171
Figure 159 : S22 (dB) mesuré pour plusieurs variantes d'assemblages avec et sans papier graphène.	172
Figure 160 : ENR disponibles extraits pour plusieurs variantes d'assemblages avec et sans papier graphène.	173
Figure 161 : Gains disponibles du DST, extraits à partir des puissances de bruit et des paramètres S.....	175
Figure 162 : Coefficients de réflexion en entrée et en sortie de l'amplificateur MPA04-1 dans la bande de fréquence 140-220 GHz.	176
Figure 163 : Paramètre S21 de l'ensemble {tronçon WR5-isolateur-tronçon WR5}.....	177
Figure 164 : Schémas des bancs de test avec et sans DST menant à l'extraction de FDST.	178
Figure 165 : Bancs de mesure en bruit pour extraction du NF d'un DST connecté en WR5 (amplificateur de puissance MPA04-1) (a) : en bande D (140-170 GHz) avec la source en boitier développée, (b) : en bande D avec la source commerciale ELVA. Le DST considéré est l'ensemble {WR5+isolateur+WR5+MPA04-1+WR5}.....	179
Figure 166 : $FDST \{WR5+iso+WR5+ampli+WR5\}$ extraits avec la NS en boitier et la source ELVA en puissance non calibrée, comparaison avec la mesure du NF faite avec la source ELVA. La méthode utilisée ici fait intervenir F_{tot}	180
Figure 167 : $FDST \{WR5+iso+WR5+ampli+WR5\}$ extraits avec la NS en boitier et la source ELVA, comparaison avec la mesure du NF faite avec la source ELVA. La méthode utilisée ici fait intervenir $PDST$	181
Figure 168 : Écart sur les valeurs de FDST extraites avec les 2 méthodes de calcul.....	181
Figure 169 : Photographie du banc de test utilisé pour la caractérisation du NF50 on wafer d'un transistor bipolaire en technologie BiCMOS 55 nm à l'aide de la source de bruit en boitier développée.	182
Figure 170 : Schéma des bancs de mesures menant à l'extraction du facteur de bruit dans le cas de la mesure d'un transistor NPNVHS B55 on wafer.....	182
Figure 171 : Extraction de $FDST$ à l'aide de la source de bruit développée et de la source commerciale ELVA en bande D (140-170 GHz).....	183

Figure 172 : Extraction du facteur de bruit du DST {WR5+iso+WR5+MPA04-1+WR5} entre 170 et 220 GHz à l'aide de la source de bruit en boîtier développée.....184

Figure 173 : Dispersion statistique de FDST entre 170 et 220 GHz pour plusieurs états de polarisation de la source de bruit à l'état haut.....185

Liste des publications

Conférences

JNRDM 2019

Victor Fiorese, Joao Azevedo Goncalves, Daniel Gloria, Frédéric Gianesello, Guillaume Ducournau, Emmanuel Dubois, Christophe Gaquière, François Danneville. Packaging d'une source de bruit en diode Schottky BiCMOS55 et d'une transition plan E pour caractérisation en bruit dans la bande 130-260 GHz. JNRDM 2019, Juin 2019, Montpellier, France

IMS 2020

Victor Fiorese, Cybelle Belem-Gonçalves, C del Rio Boccio, D. Titz, Frederic Gianesello, et al.. Evaluation of micro laser sintering metal 3D-printing technology for the development of waveguide passive devices up to 325 GHz. IEEE/MTT-S International Microwave Symposium, IMS 2020, Aug 2020, Los Angeles, United States. pp.1168-1171, ff10.1109/IMS30576.2020.9224102ff. fhal-03091222f

EUMW 2021

V. Fiorese, F. Laporte, J-F. Caillet, D. Campos, G. Catalano, F. Gianesello, G. Ducournau, E. Dubois, C. Gaquière, B. Tricoteaux, M. Werquin & D. Gloria. 220 GHz E-Plane Transition from Waveguide to Grounded Coplanar Waveguide Line Integrated on Industrial Organic Laminate Substrate Technology. EUMW 2021, Feb 2022, London, United Kingdom.

Victor Fiorese, Joao Carlos Azevedo Goncalves, Simon Bouvot, Emmanuel Dubois, Christophe Gaquiere, Guillaume Ducournau, François Danneville, Sylvie Lépilliet & Daniel Gloria. A 140 GHz to 170 GHz Active Tunable Noise Source Development in SiGe BiCMOS 55 nm Technology. EUMW 2021, Feb 2022, London, United Kingdom.

Brevets

19-GR2-0900 V. Fiorese, F. Laporte, J-F. Caillet, F. Gianesello. Low-Cost Organic Packaging Technology for THz applications.

V. Fiorese, E. Dubois, F. Laporte, J-F. Caillet, A Novel Ground Contact Technic for Multiple Packaging at mmW Frequencies (en cours)

Article dans une revue

Victor Fiorese, Joao Carlos Azevedo Goncalves, Simon Bouvot, Jean-François Caillet, Matthieu Werquin, Benoît Tricoteaux, Sylvie Lépilliet, Emmanuel Dubois, Christophe Gaquiere, Guillaume Ducournau, & Daniel Gloria. A 140-220 GHz Packaged Noise Source in SiGe BiCMOS 55 nm Technology. (en cours)

Annexe : Algorithme de Lane

L'algorithme de Lane a été introduit par Richard Q. Lane et permet d'extraire les valeurs des quatre paramètres de bruit dans le cas où la méthode d'extraction employée est la méthode multi-impédances. Cet algorithme utilise l'équation suivante qui donne la dépendance de la figure de bruit d'un DST en fonction des quatre paramètres de bruit et de son admittance d'entrée :

$$F(Y_S) = F_{min} + \frac{R_n}{G_S} |Y_S - Y_{opt}|^2$$

Où $Y_{opt} = G_{opt} + jB_{opt}$ est l'impédance de source associée à la valeur minimale de facteur de bruit du DST F_{min} et $Y_S = G_S + jB_S$ est l'admittance de source du DST.

Cette équation est ensuite linéarisée et exprimée en fonction de 4 paramètres A, B, C et D de la manière suivante :

$$F = A + BG_S + \frac{C + BB_S^2 + DB_S}{G_S}$$

Avec $F_{min} = A + \sqrt{4BC - D^2}$; $R_n = B$; $G_{opt} = \frac{\sqrt{4BC - D^2}}{2B}$; $B_{opt} = \frac{-D}{2B}$.

Ces quatre paramètres sont déterminés par la méthode des moindres carrés pondérés, qui s'appuie sur la définition d'un terme d'erreur ε :

$$\varepsilon = \frac{1}{2} \sum_{i=1}^n W_i \left[A + B \left(G_i + \frac{B_i^2}{G_i} \right) + \frac{C}{G_i} + \frac{DB_i}{G_i} - F_i \right]^2 = \frac{1}{2} \sum_{i=1}^n W_i P_i^2$$

Avec F_i le facteur de bruit mesuré pour chaque impédance de source d'index i et $W_i = \frac{1}{F_i^2}$ un facteur de pondération qui permet d'éliminer des valeurs mesurées F_i non pertinentes, c'est-à-dire éloignées de F_{min} pour l'extraction des quatre paramètres de bruit. En théorie, 4 mesures de facteur de bruit sous quatre admittances de source suffisent pour déterminer les quatre paramètres de bruit. En pratique, un nombre de mesure plus élevé est nécessaire pour effectuer un moyennage statistique de l'erreur et garantir une précision d'extraction. Le calcul des paramètres A, B, C et D passe par la résolution du système suivant :

$$\begin{cases} \frac{\partial \varepsilon}{\partial A} = \sum_{i=1}^n W_i P_i = 0 \\ \frac{\partial \varepsilon}{\partial B} = \sum_{i=1}^n W_i \left(G_i + \frac{B_i^2}{G_i} \right) P_i = 0 \\ \frac{\partial \varepsilon}{\partial C} = \sum_{i=1}^n W_i \frac{P_i}{G_i} = 0 \\ \frac{\partial \varepsilon}{\partial D} = \sum_{i=1}^n W_i \frac{B_i}{G_i} P_i = 0 \end{cases}$$

La détermination de A, B, C et D donne accès aux valeurs de F_{min} , R_n , G_{opt} et B_{opt} .

Résumé

Les technologies avancées sur silicium visant des Ft/Fmax supérieures à 400 GHz permettent la conception de circuits sur silicium dans la plage de fréquence 130-260 GHz. Afin de pousser le développement de ces technologies et l'extraction des facteurs de mérite des transistors tels que le facteur de bruit, l'efficacité en puissance et leur modélisation, il est nécessaire de disposer de moyens de caractérisation hyperfréquences associés. À ces fréquences, les outils large bande tels que les sources de bruit, les récepteurs de bruit, les adaptateurs d'impédances et les sondes de puissance ne sont pour l'instant pas disponibles pour faire ces études à une échelle industrielle. Plusieurs thèses ont prouvé la possibilité de placer ces fonctions de caractérisation au plus proche du composant en technologie BiCMOS 55 nm de STMicroelectronics à tester, directement sur Silicium. Cette approche *in situ* montre certaines limitations notamment en termes de surface de Silicium allouée aux seuls circuits de tests et à la répétabilité des mesures pour différents composants. Une industrialisation des mesures est visée dans le cadre de cette thèse, poussant l'intégration des fonctions circuits associées à la caractérisation dans des boîtiers de type *split blocks*.

Pour mener ces travaux, 3 axes d'études ont été développés visant la réalisation d'un boîtier fonctionnalisé en source de bruit bande G : la conception de circuits silicium en bande G utilisés dans la fonctionnalisation de ce boîtier, la conception de substrats organiques accueillant par assemblage *flip chip* les circuits silicium, enfin la conception des *split blocks* intégrant ces substrats.

Au sujet des boîtiers, les principales transitions mises en jeu ont pu être caractérisées à l'aide de prototypes en configuration back-to-back. La transition de type *E-plane* entre la ligne *strip-line* suspendue du substrat et la cavité WR5 a pu être caractérisée en bande G, mettant en évidence un niveau de pertes d'insertion moyen de 2,5 dB dans cette plage de fréquence. De nouveaux essais d'impression 3D métallique utilisant le procédé MLS ont également été réalisés au-delà de 110 GHz pour l'usinage d'un guide d'ondes WR5. Les pertes d'insertion mesurées en bande G sont de l'ordre de 90 dB/m contre 20 dB/m pour des guides WR5 commerciaux. Cependant, un dépôt de cuivre par électrolyse sur les faces internes de la cavité est rendu possible après usinage et permet de rivaliser avec les guides d'ondes du commerce avec des niveaux de pertes d'insertion simulées de 15 dB/m. Cette intégration en boîtier repose sur un assemblage de type *flip chip* des différents circuits en technologie SiGe BiCMOS 55 nm (Source de bruit, LNA, adaptation d'impédance) sur un substrat organique multicouches inséré dans des cavités réalisées par micro-usinage. Une source de bruit active a été réalisée et mesurée en bruit et en paramètres S en bande G, mettant en évidence des niveaux d'ENR disponibles s'échelonnant entre 0 et 37 dB. Cette source de bruit en technologie SiGe BiCMOS 55 nm présente l'avantage de la facilité d'intégration en boîtier et une adaptation d'impédance de sortie meilleure que -8 dB dans la bande de fréquence considérée, quel que soit le courant de polarisation de la diode.

Finalement, des essais d'assemblages de source de bruit SiGe BiCMOS 55 nm à large gamme d'ENR ont été menés. Plusieurs prototypes de boîtier ont été réalisés ainsi que les substrats d'accueil des fonctions circuits associées. Une connectique de type bride WR5 permet de relier le boîtier à des pointes de mesures commerciales de type *Infinity Waveguide Probe* et cela permet d'envisager la mesure des paramètres de bruit d'un transistor HBT et du facteur de bruit d'un LNA sous pointes. Il devient alors possible d'envisager ce type de mesure à l'échelle industrielle pour de nombreuses technologies de circuits en bande G avec ces développements proposés de boîtier fonctionnalisé en source de bruit.

Abstract

Cutting-edge Silicon technologies targeting F_t/F_{max} above 400 GHz allow circuit design in the 130-260 GHz frequency range. To enhance development of bipolar transistors in such technologies, figure of merit extraction such as noise figure, power efficiency and associated modelling require high frequency characterization tools. At hyper frequencies, wide-band circuits such as noise sources, noise receivers, impedance tuners are not industrially speaking available yet. Several thesis demonstrated the ability to place these characterization means *on-wafer*, close to the STMicroelectronics SiGe BiCMOS 55 nm DUT. This *in situ* approach shows limitations in terms of Silicon surface consumption due to design of dedicated test circuits and measurement repeatability for diverse components. This thesis aims at industrializing such measurements by packaging associated circuits functionalities in split blocks.

In order to develop this approach, 3 fields have been covered to elaborate a packaged noise source in G band: design of silicon functions, design of organic substrates for flip chip circuits report and design of split blocks integrating these substrates.

The key transitions at play in the packages have been characterized in back-to-back configuration in G band, such as an E-plane transition between suspended strip line and WR5 cavity. This transition has demonstrated an average insertion loss level of 2.5 dB in G band, placing it among the most promising demonstrators of millimeter-wave packaging. Moreover, low-cost considerations have to be underlined, since this package leverages low-cost materials, contrarily to traditional III-V based on quartz substrates. New trials of metallic 3D-printing using MLS process have been led above 110 GHz for WR5 waveguide machining. Measured insertion loss in G band are around 90 dB/m against 20 dB/m for commercial waveguides. However, a post-process copper plating by electrolysis can be performed, reducing insertion losses to a simulated 15 dB/m.

The package integration relies on flip chip assembly technique of several SiGe BiCMOS 55 nm (noise source, LNA, impedance matching) on a multi-layer organic substrate inserted in micromachined cavities. First, circuits have been characterized on wafer in G band in S parameters and noise. An amplified noise source made of a Schottky diode polarized in avalanche regime in series with a LNA has been designed and characterized in noise and S parameters in G band, demonstrating available ENR levels from 0 dB to 37 dB. This noise source is compatible with silicon packaging integration and offers an output matching better than -8 dB whatever the diode biasing current value and frequency considered. Besides, multi-impedance noise characterization approach has been sustained based on pre-matched bipolar transistors.

Finally, assembly trials of developed noise source have been led. Several package prototypes and substrates were machined for the corresponding circuits functions. A WR5 flange permits the connection of this package to commercially available probes such as Infinity Waveguide Probe. This paves the way to noise figure and noise parameters extraction of a DUT for various circuit technologies in G band following an industrial approach.